

Cat 6 网络接口信号完整性设计及分析

胡玉琛 刘一清

(华东师范大学 信息科学与技术学院 上海 200241)

摘要:介绍了六类线标准(Cat 6)中网络信号在印制电路板(PCB)中的走线设计方法。在六类线标准中带宽达到了250 MHz,比通常使用的五类线标准整整高出了1.5倍,因此随之而来的信号串扰问题也更为严重。本设计采用了微波射频领域中使用的交指电容滤波器,成功地解决了信号串扰问题,并且本文提出了一种在PCB中设计交指电容的全新方法。同时由于没有采用实体电容,有效地降低了PCB的设计成本。最终结合三维高频电磁仿真软件CST对本设计进行了仿真,提高了设计效率和精度^[7]。

关键词:印制电路板(PCB);六类线标准(Cat 6);交指电容;串扰

中图分类号: TN811 **文献标识码:** A **国家标准学科分类代码:** 510.50

Signal integrity design and analysis of Cat 6 network signals

Hu Yuchen Liu Yiqing

(School of Information Science and Technology, East China Normal University, Shanghai 200241, China)

Abstract: This paper introduces the method of network signal routing in printed circuit board (PCB) for Cat 6. The bandwidth in Cat 6 reaches 250 MHz, which is 1.5 times higher than Cat 5, so the problem of crosstalk is more serious. This design utilize interdigital capacitors which are widely used in microwave and radiofrequency field to successfully solve the problem of crosstalk, and this paper proposes a new method of designing interdigital capacitors in PCBs. Meanwhile, solid capacitors are not used in the design that it can reduce the cost of PCB effectively. Finally, the design is simulated by 3-D high-frequency electromagnetic simulation software CST, which improves the efficiency and precision of the design.

Keywords: printed circuit board (PCB); Cat 6; interdigital capacitors; crosstalk

1 引言

网络在人们的日常生活中起着举足轻重的地位,随着高度信息化的今天人们越来越离不开网络。最初以太网的速度只有10 Mbps,后来升级到了100 Mbps,同时针对100 M的网络提出了Cat 5,即五类线标准,它是市场中最成熟、主流的类线标准。但是,当今社会需要及时快速地处理庞大的数据量,对于网络速度提升的要求也在日益加剧,因此千兆以太网的使用成了迫不及待的需求。

在开发千兆以太网之时,原本打算在五类线标准之上运行千兆以太网,但是在实际操作中发现有30%左右的信息点通不过电气性能测试。因此针对千兆以太网需要制定新的标准,于是Cat 6,即六类线标准应运而生。六类线标准的传输频率为1~250 MHz,其在200 MHz时综合衰减串扰比(PS-ACR)应该有一定的余量。并且它提供的带宽大大超过了五类线标准提供的带宽,同时六类线标准改

善了在串扰以及回波损耗方面的性能。对于新一代全双工的高速网络应用而言,优良的回波损耗性能就显得非常重要。

原本在五类线标准下工作正常的网络接口PCB在六类线标准之下无法正常工作,因此需要重新设计网络接口PCB,使信号的性能符合Cat 6电气性能标准。本设计中采用交指电容滤波器滤除信号之间的串扰,从而达到六类线标准。

2 PCB板层结构及交指电容滤波器设计

在网络接口信号中有4对差分信号线,由于Cat 6中相比于Cat 5中传输频率的提高,差分信号线之间的串扰也会随之增大,需要设计特定的滤波器将串扰的大小控制在六类线标准所规定的范围之内。

在常规设计中,一般使用电容将信号噪声的干扰进行

滤除。本设计中依然采用电容滤波的思想将差分信号对之间的串扰进行滤除。为了有效地降低成本与提高设计的灵活性,本设计中并未采用实体电容进行滤波^[6],而是采用PCB走线构造交指电容进行滤波。并且在交指电容滤波器的设计上并非采用传统繁杂的方式,而是提出了一种新颖、简介且可靠的设计方法。

2.1 PCB叠层结构和阻抗控制

根据设计方的要求将此网络接口PCB设置为四层板,每一层均为走线层,具体叠层结构如表1所示。

表1 叠层结构与阻抗控制

Layer Name	Type	Thickness /mm	Width /mm	Spacing /mm	DifZ0 /ohm
	AIR				
TOP	COP	0.0508	0.3270	0.13	100.4
	FR-4	0.185			
SIG1	COP	0.0305	0.1622	0.13	101.5
	FR-4	0.185			
SIG2	COP	0.0305	0.1625	0.13	100.1
	FR-4	0.185			
BOT	COP	0.0508	0.3420	0.13	100.0
	AIR				

表1中的数据均由EDA软件内部仿真得出,因此是可靠的数据。此网络接口PCB中共有4对差分信号,共8根信号线,阻抗控制主要是针对差分信号而做。从表1中可以看出每对差分信号的阻抗控制在100Ω,并且在走线约束控制器中将差分线的误差控制在10mil之内。在这里每一走线层的铜厚均设置为1OZ(盎司)。1OZ的铜厚对于外层和内层的定义是不同的。对于外层而言,1OZ铜厚约为2.0mil,即50.8μm;对于内层而言,1OZ铜厚约为1.2mil,即30.5μm^[1]。本设计中每一层的厚度均按照1OZ铜厚设计。

2.2 滤波电容阻抗随频率变化特性的分析

对于理想电容来说,只存在电容分量,由

$$Z = \frac{1}{f\omega C} \quad (1)$$

可知,电容器的阻抗随着频率的升高而逐渐降低;可是实体电容还存在电感分量,我们称之为ESL(equivalent series inductance)分量,即等效电感分量,由

$$Z = j\omega L \quad (2)$$

可知,阻抗会随着频率的升高而逐渐增加。因此,对于阻抗而言,电容分量与ESL分量的作用恰好是相反的。在电容分量与ESL分量的共同作用下,电容器的整体阻抗表现为:随着频率的升高,首先是电容分量起主导作用,使阻抗逐步变小,器件表现为电容的阻抗特性,滤波效果渐强;当频率升高到某一点时发生谐振,此时电容分量和ESL分量对阻抗的效果正好抵消,并且在谐振点上,电容

器件阻抗最小,等于ESR(equivalent series resistance)分量,即等效串联电阻分量;此后,随着频率继续升高,ESL分量起主导作用,使阻抗逐步增大,器件表现为电感的阻抗特性,滤波效果逐渐减弱,如图1所示。

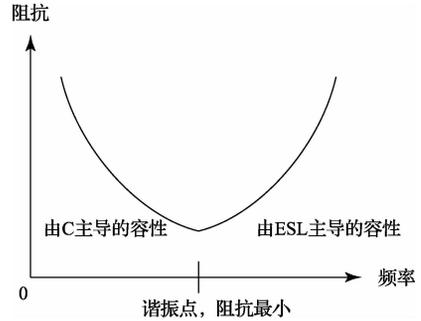


图1 电容器件的阻抗——频率变化曲线

滤波电容的作用机制是为噪声等干扰提供一条低阻抗回路,在噪声频率点上,要求滤波电容的阻抗较小,即当噪声频率落在谐振点附近时,滤波效果最好^[2]。如图1所示,谐振点由两条曲线交会而成,左边的曲线由电容器件的电容分量C主导,右边的曲线由电容器件的ESL分量主导。由谐振频率公式:

$$f = \frac{1}{\sqrt{ESLC}} \quad (3)$$

可知,C和ESL越大,则谐振频率越低,即电容对高频干扰的滤波效果越差;C和ESL越小,谐振频率越高,即电容对高频干扰的滤波效果越好。

在高速电路设计中,信号噪声往往不是处于同一个频率点上,而是占据了一段频带,因此需要将一段频段内的噪声干扰滤除。这就需要利用多种不同的电容构造一个比较宽的低阻抗频带,从而尽可能地覆盖噪声频带^[2]。如图2所示,采用三种不同的电容并联得到的阻抗——频率图,它的作用是构成一段比较宽的低阻抗频带。

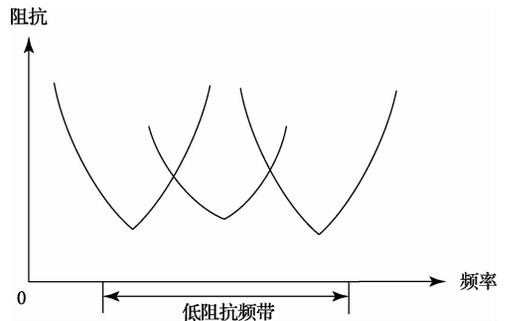


图2 多种电容并联构成低阻抗频带

2.3 PCB走线构造交指电容

交指电容一般应用于微波射频领域,常作为滤波器使用^[8]。在千兆以太网中,有4对差分信号线同时进行数据的传输。由于运行的频率较高,差分信号对与差分信号对

之间的干扰也比较大,影响到数据的正常传输,导致接收端出现误码,从而影响通信系统的性能。六类线标准的传输频率在 1~250 MHz 范围之内,因此需要设计合适的电容滤波器将该频段内的串扰进行滤除。

两条耦合紧密的 PCB 传输线之间有互感和互容的特性。因此可以利用传输线之间的互感和互容作用,构造相应的电容器进行滤波。两条 PCB 传输线的互感和互容的大小与 PCB 走线的宽度、间距、铜厚以及 PCB 的叠层结构等参数均有关系。

互感 L_m 由已驱动的传输线,通过磁场在干净的传输线上感应出电流。本质上,如果干净的走线与已驱动的传输线足够接近,已驱动的传输线的磁场会包围干净的走线,并在上面感应出电流。通过磁场产生的电流耦合在电路模型中用互感 L_m 表示。互感在被感应的传输线上引入了电压噪声^[3]。该噪声与驱动器传输线上的电流变化率成正比,其幅值可由下式计算:

$$V_{noise,Lm} = Lm \frac{dI_{driver}}{dt} \quad (4)$$

互容就是两条导线通过电场产生的耦合。在电路模型中,由电场激发的耦合表示互容^[3]。互容在被感应的传输线上引入电流,该电流与驱动器传输线上的电压变化率成正比:

$$I_{noise,Cm} = Cm \frac{dV_{driver}}{dt} \quad (5)$$

由(4)、(5)两式可知,只要测出电压噪声、电流噪声以及它们的变化率就可以计算出互感 L_m 和互容 C_m 的大小。但实际上计算传输线的互感和互容是比较困难的,一般采用 PCB 走线阻抗计算软件来计算传输线之间的互感和互容。本设计中采用的是 Transmission Line Calculator 软件计算两根传输线之间的电感和电容。这里针对其中一组差分对进行交指电容设计,如图 3 所示即为软件界面。

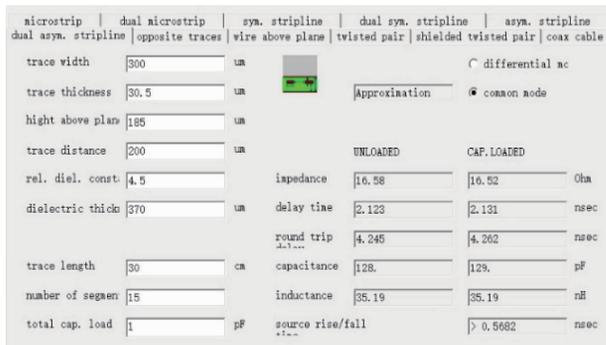


图 3 Transmission Line Calculator 软件界面

此处,走线厚度、介电常数、介质厚度都根据叠层结构确定,可以调整以改变互感和互容值的参数有:trace width(走线宽度),trace distance(走线间距)和 trace length(走线长度)。这里的互感和互容对应实体电容中的电容分量 C

和 ESL 分量^[11]。在本设计中需要滤波的频段为 1~250 MHz,因此至少需要设置两个谐振频率点以拓展滤波器的滤波频段,这两个频率点为 1 MHz 和 250 MHz。为了设计的准确性,本设计中另外增加了两个频率点 65 MHz 和 130 MHz,这也就意味着需要 4 种电容并联。

根据谐振频率公式(1),可以得到 ESL 与 C 的乘积值,之后通过 Transmission Line Calculator 软件就能够得到 PCB 的走线宽度、走线间距与走线长度的参数值。如此便可以在 PCB 上按照这些参数值进行 PCB 的布局走线,如图 4 所示,4 种颜色的走线代表 4 个不同的走线层。

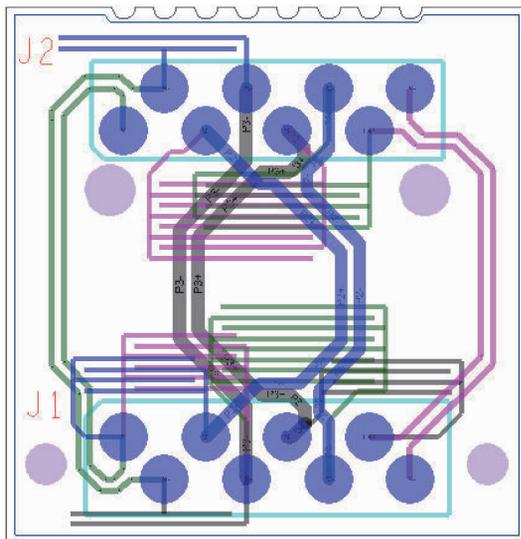


图 4 PCB 布局走线图

3 信号仿真及分析

完成设计之后,为了确保设计的正确性,需要对电路进行仿真,由此分析是否符合 Cat 6 标准提供的电气性能^[4]。主要的测试项目有以下几项:插入损耗(Insertion Loss)、回波损耗(Return Loss)、近端串扰(NEXT)、远端串扰(FEXT)^[5]。

由 Cat 6 标准提供的电气性能可知插入损耗的标准如下式所示:

回波损耗的标准如下表所示:

$$InsertionLoss \leq 0.02 \sqrt{f} dB$$

表 2 回波损耗的标准

Frequency/MHz	Return Loss/dB
$1 \leq f \leq 50$	30
$20 \leq f \leq 250$	$24 - 20 \log(f/100)$

近端串扰的标准如下式所示:

$$NEXT \geq 54 - 20 \log(f/100) dB$$

远端串扰的标准如下式所示:

$FEXT \geq 43.1 - 20 \log(f/100) \text{ dB}$

这里针对其中一对信号使用 CST 软件进行仿真分析, 得到以下图形:

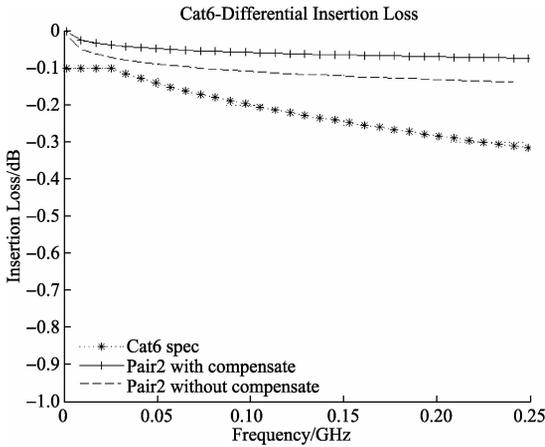


图 5 插入损耗

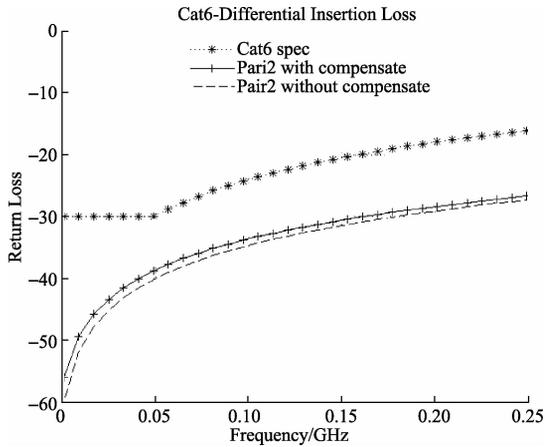


图 6 回波损耗

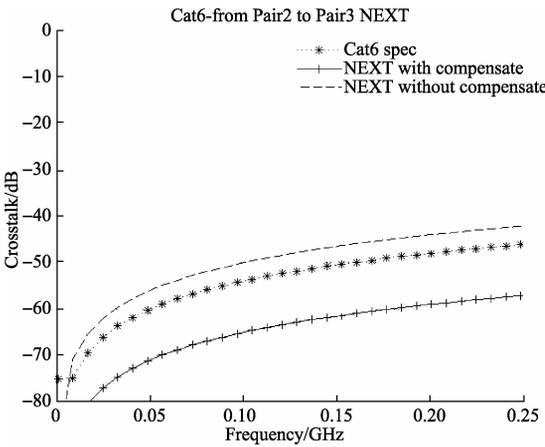


图 7 近端串扰

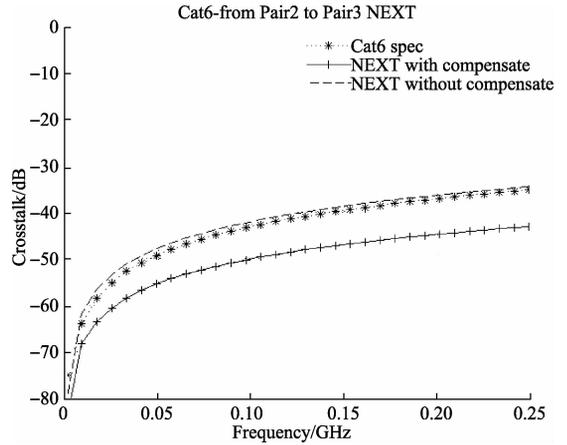


图 8 远端串扰

在上述四幅图形中, (---) 线表示的是 Cat 6 标准, (---) 线表示未添加补偿(即未滤波)的情形, (---) 线表示添加补偿(即经过滤波)后的情形。可以看到添加补偿之后, 信号的电气性能有明显的改善, 说明设计是成功的^[10]。

4 结 论

本文完整地分析并且设计了符合 Cat 6 标准的网络接口 PCB。设计方法非常灵活、实用, 无须经过交指电容滤波器传统复杂的设计方法, 而是结合软件的使用, 提供了一种全新的交指电容滤波器的设计方法, 准确便捷地设计出交指电容滤波器^[9]。并且最终依托软件仿真验证了设计的正确性。

参 考 文 献

- [1] 吴均, 王辉, 周佳永. Cadence 印刷电路板设计——Allegro PCB Editor 设计指南[M]. 北京: 电子工业出版社, 2012: 205-206.
- [2] 王剑宇, 苏颖. 高速电路设计实践[M]. 北京: 电子工业出版社, 2012: 23-26.
- [3] 张兰勇, 刘黎明, 李冰. 印制电路板电磁辐射等效偶极子建模与预测[J]. 仪器仪表学报, 2013, 34(4): 942-947.
- [4] 吕强, 韩警, 侯旭洁. ARINC659 底板总线设计与仿真[J]. 电子测量技术, 2014, 37(12): 14-18.
- [5] 周喜权, 金玉梅, 惠鹏飞. 微波传输线信号完整性分析与仿真[J]. 信息通信, 2012(1): 6-7.
- [6] 姜彦南, 庞靖, 于新华, 等. 交指电容加载槽环天线研究[J]. 电波科学学报, 2013, 28(6): 1000-1004.
- [7] 窦垭锡, 陈星, 高群福. 高速 DAC 与 FPGA 接口信号完整性的仿真分析[J]. 电子测量技术, 2012, 35(8): 120-124.

(下转第 142 页)