

基于FPGA的精密时间测量系统设计

袁春 王飞 陈娟
(长春工业大学 长春 130012)

摘要:设计了一种在FPGA中基于时间内插技术而实现的高精度时间测量系统。在分析传统数字计数法原理与误差的基础上,从误差源头出发,为精确测量“细”时间即传统数字计数法中待测信号上升沿与下一个计数时钟上升沿的时间差,提出用4个同频、相位依次相差 45° 的内插时钟测量,通过待测信号上升沿锁存4个内插时钟状态来估算这部分时间差。“粗”时间用高速时钟直接计数,可以保证有大的测量量程,详细分析了该方法测量原理误差。通过实验验证表明,精度高达312.5 ps,误差小于300 ps,该设计具有测量范围大、测量精度高、占用资源少、体积小等优点。

关键词:数字内插法;时间间隔测量;FPGA实现

中图分类号: TP216 **文献标识码:** A **国家标准学科分类代码:** 510.1050

Design of precise time measurement system based on FPGA

Zhong Chun Wang Fei Chen Juan
(Changchun University of Technology, Changchun 130012, China)

Abstract: High resolution time measurement system was implemented in a single FPGA based on time interpolation. On the basis of analyzing the principle of traditional digital counting method and its error, from the sight of error source, the fine time is the time difference between rising edge of the measured signal and next rising edge of counting clock, in order to measure the fine time accurately, we proposed a method that measures it with 4 interpolation clock signals, which have the same frequency and phase difference of 45 degrees in turn, estimating the fine time by latch clock state at rising edge of the signal to be measured. Meanwhile, a high-speed clock is used to measure the coarse time directly. The principle error of this method is discussed in detail. The experimental results show that this method can achieve a precision of 312.5 ps and the error less than 300 ps. The design has advantages of large measurement range, high accuracy, small size, and with less resource.

Keywords: digital clock interpolation; time interval measurement; FPGA implementation

1 引言

高精度时间测量技术不论在科学技术研究还是实际工程应用中都有着广泛的应用,尤其是雷达测距的核心部分,此外在靶场测试^[1]和频率测量^[2-3]、激光遥感技术^[4]中也有广泛应用。在雷达测距中,时间间隔的测量精度对激光测距系统有着重要的决定作用,时间的精度决定了距离的精度^[5-6]。现有的时间间隔测量方法有传统数字计数法、模拟法、插值法和延迟线法^[7-9]。最简单的传统数字计数是利用一个计数器在待测时间范围内,对已知频率的时钟脉冲做计数,结果是计数值的整数倍,但有一个周期的误差,单纯的高频率计数难以实现,且对芯片破坏力大,高频率的代价往

往是巨大的功率消耗,所以其使用范围受到了限制。模拟内插法时根据电容充放电电荷相等的原理设计而成的模拟电路^[10],目的是为了克服数字计数法的缺点,这种模拟测量方法结构简单,精度高达100 ps^[11],但是对环境的要求很严格,在高频下不稳定,而且由于在电容充放电过程中,温度对电容性能的影响很大,所以在实际应用中也受到一定限制。专用集成芯片应用内插延迟线技术,精度高达50 ps^[12],且有8通道,有的集成芯片能做到64通道,分辨率100 ps^[13]。但成本昂贵,通用性和灵活性略有不足。

权衡上述优缺点,本文提出基于时间内插技术,通过FPGA实现“粗”时间加“细”时间结合的方法提高测量精度,具有占用逻辑资源少,设计简单等优点。

2 “粗”时间加“细”时间测量原理与误差分析

测量原理波形如图 1 中所示, start 为时间测量的开始信号, 当这个信号由低电平跳变到高电平时开始时间测量, stop 是时间测量的停止信号, 当这个信号由低电平跳变到高电平时停止时间测量, 如果应用传统数字计数法, 计数时钟 clk0, 则测量的时间是图中的 nT_0 。计数值, T_0 是计数时钟 clk0 的周期, 而实际时间为 T , 且满足

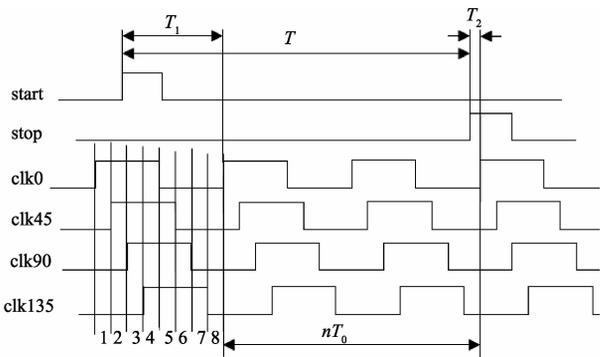


图 1 原理波形图

$$T = nT_0 + T_1 - T_2 \quad (1)$$

式中: T_1 是 start 信号上升沿与随后的计数时钟 clk0 第一个上升沿的时间差, T_2 是 stop 信号上升沿与随后的计数时钟 clk0 第一个上升沿的时间差, 且 T_1 、 T_2 都小于一个时钟周期, 由此引起的测量误差:

$$\Delta t = T - nT_0 = T_1 - T_2 \quad (2)$$

本文从误差源头 T_1 、 T_2 出发, 采用“粗”时间加“细”时间的测量方法提高测量精度。其中“粗”时间 nT_0 采用前文提到的传统数字计数法测量, 计数时钟 clk0。“细”时间 T_1 、 T_2 由数字插值法测量, 原理如图 1 所示, clk0、clk45、clk90、clk135 是内插时钟, 频率 400 MHz, 相位彼此相差 45° , 这 4 个内插时钟把基准时钟 clk0 均匀的分成 8 个区间, 每一区间的标号 1~8, 每个区间对应 4 个内插时钟有四种状态且各个区间的的时间间隔都为 $2.5/8 = 312.5$ ps, 细时间的测量是在 start 信号或 stop 信号上升沿的瞬间把内插时钟 clk0、clk45、clk90、clk135 的状态锁存起来, 然后通过分析 4 个时钟的状态值来确定“细”时间 T_1 、 T_2 , 最后根据式 (1) 计数得到测量值。取每个区间的中间点为该状态值下的时间, 表 1 是时钟状态对应的“细”时间值, 时钟状态值依次为 clk0、clk45、clk90、clk135。

表 1 时钟状态对应的的时间取值

区间	时钟状态值	“细”时间/ns
1	1000	2.344
2	1100	2.032
3	111	01.719
4	1111	1.407
5	0111	1.094
6	0011	0.782
7	0001	0.469
8	0000	0.156

虽然采用这种方法比直接计数法精度高很多(8 倍), 但是也存在原理误差, 这种误差无法消除, 只能通过增加内插时钟个数或增大脉冲频率来减小误差。在开始信号和结束信号上升沿锁存时钟状态的时候, 可能恰巧碰到时钟的边沿, 例如, 开始信号上升沿刚好和 clk3 上升沿重合时, 此时, 锁存的时钟状态可能是 1100 也可能是 1110, 这时细时间 T_1 达到最大误差, $\Delta T_1 = 312.5/2 = 156.25$ ps, 同理 $\Delta T_2 = 156.25$ ps, 根据式 (2) 得, 测量值误差 $\Delta T = \Delta T_1 + \Delta T_2 = 312.5$ ps。

3 系统整体设计

通过 FPGA 实现“粗”时间加“细”时间的计时方法的主要优点是系统结构简单, 占用资源较小, 特别适合于多个时间测量, 因为 FPGA 有大量的 I/O 口, 相互独立。其中 4 个内插时钟可以列化片内 PLL(或 DCM)直接生成, 同时可以保证各时钟间的相位关系固定。通过全局时钟布线资源, 可以保证时钟信号到达各个目标单元的时延基本相同, 从而最大限度的保证到达细测模块的时钟相位具有一致性, 降低系统校准需求。设计的系统整体结构如图 2 所示。

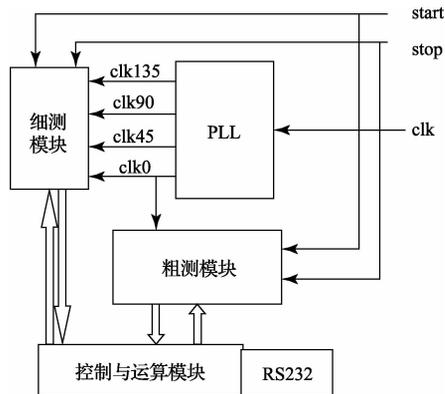


图 2 系统整体结构

其中,clk 是 FPGA 外部晶振时钟信号,经过 PLL 倍频移相后产生 4 路时钟信号,clk0、clk45、clk90、clk135,频率 400 MHz,占空比 50%,相位依次为 0° 、 45° 、 90° 、 135° ,同时,clk0 作为粗测模块的计数时钟。开始信号标志粗测模块计时的开始,同时细测模块锁存开始信号上升沿时 4 个时钟的状态值,结束信号标志粗测模块计时的结束,细测模块锁存结束信号上升沿时 4 个时钟的状态值,同时,控制与运算模块完成对数据的计算,通过异步串行通信协议输出到计算机,复位这两个模块,等待下一次计时。

4 实验验证与分析

采用本文原理,实验电路板上核心器件是 Xilinx 公司的 Spartan6 系列(速度等级-3)芯片 xc6slx16,内部集成了多个 PLL,最高工作频率 450 MHz,具有丰富的全局布线资源,电路板上 RS232 接口和 RJ45 网口,实验采用简单的异步串行通信协议,考虑到 Verilog HDL 运算小数的局限性,分别将粗计数值、开始信号和结束信号锁存的时钟状态输出到串口调试助手,图 4 是搭建的实验测量装置。



图 4 实验测量装置

待测时间间隔信号由信号发生器(泰克 AFG3012,采样率 1 GS/s,100 MHz 带宽)产生,采用方波信号,其上升沿作为计时开始信号,下降沿作为结束信号,粗测模块采用 16 位计数器,理论可测量最大时间为 $163 \mu\text{s}$,若要增大测量时间范围,改变计数器位宽即可。串口数据发送完毕后发出复位信号,粗测模块清零,细测模块时钟状态清零,串口复位,准备下一次测量。

信号发生器采用 burst 模式输出,手动触发,触发一次一个周期,其输出信号同时由实验电路板和示波器(安捷伦 MSO7104B,最高采样率 4 GS/s,1 GHz 带宽)进行测量,同时进行对比,通过改变脉冲宽度,对不同的时间间隔进行了实际测量,对于时钟计数测时方法,时钟频率的稳定性对于最终计时分辨率和计时精度至关重要,为降低偶然时钟频率波动的影响,对每个脉冲宽度测量的数据均在 10 次,取其数据期望作为测量结果。

表 2 是实验测量数据,其中, R 是信号发生器给的时间间隔,单位 ns, M 是实验测量值,单位 ns, A 是 10 次测量值的平均值,单位 ns。

表 2 实验测量数据

R	50	500	1 000	2 000
M	52.233	502.188	1 002.188	2 002.188
	52.500	502.500	1 002.500	2 002.188
	52.233	502.188	1 002.188	2 002.500
	52.188	502.188	1 002.188	2 002.188
	52.188	502.180	1 002.500	2 002.188
	52.563	502.500	1 002.188	2 002.188
	52.188	502.188	1 002.500	2 002.500
	52.188	502.188	1 002.188	2 002.188
	52.188	502.188	1 002.188	2 002.500
	52.500	502.500	1 002.188	2 002.188
A	52.296	502.280	1 002.300	2 002.280
C	50.296	500.280	1 000.300	2 000.280
σ	296	280	300	280

考虑到信号在 FPGA 芯片内部路径延迟,它们在芯片内部的布线可能会有的长的短,带来比较大的误差,造成测量的数据不真实。但是,从测量的 40 次数据来看,每次的测量值都会比真实值大 2 点多个 ns,说明信号在 FPGA 芯片内部路径延迟会有一个固定的值,且最大值和最小值之差不超过 312 ps,我们完全可以修正测量值,只需在每次测量后把测量值减去路径延迟的固定值 2 ns,表 2 中 C 是修正后的值,单位 ns,误差 σ 是修正后的值与真实值之差,单位 ps,可见,误差整体小于 300 ps,实现了高精度测量。

5 结 论

本文利用 FPGA 自带的锁相环倍频、移相得到较高频率且稳定的内插时钟,采用“粗”时间加“细”时间两种测量方法相结合,提高了测量精度且测量范围大、设计简便、体积小,可以应用于雷达测距和阵列光电探测器的信号处理系统中,实现目标的激光三维成像。由于实验板的 FPGA 属于中低端产品,最高工作频率不高(450 MHz),现在 Xilinx 公司高端产品 Virtex5 和 Virtex7 最高工作频率高达 500 MHz 以上,如果应用本文测量方法在高端产品上实现,精度将进一步提高。

参考文献

- [1] 李亚胜,尚杨.基于 SOPC 的高精度时间间隔测量仪设计[J].国外电子测量技术,2014,33(3):62-67.
- [2] 李炎,赵伟,黄巧巧,等.多通道高精度动态频率测量系统的研究与实现[J].电子测量技术,2012,35(12):75-80.
- [3] 陈丽锋,孟瑞,冯希.频率测量研究综述[J].电力电

- 子,2011,31(2):50-54.
- [4] 黄武煌,王厚军,叶芑. 一种高速全波形采集与高精度定位技术研究[J]. 仪器仪表学报,2013,34(1):73-79.
- [5] 宋建辉,袁峰,丁振良. 脉冲激光测距中高精度时间间隔的测量[J]. 光学精密工程,2009,17(5):1046-1050.
- [6] 冯志辉,刘恩海,岳永坚. 基于 FPGA 延迟线插入法的半导体激光测距[J]. 光电工程,2010,37(4):53-59.
- [7] 吴劲松. 时间间隔测量技术研究与应用[J]. 通信技术,2011,44(4):184-186.
- [8] 冯志辉,刘恩海. 用于激光测距的高精度时间数字转换电路[J]. 光学精密工程,2010,18(12):2665-2671.
- [9] 陈瑞强,江月松. 脉冲激光测距的时间间隔测量方法[J]. 光学学报,2013,33(2):41-46.
- [10] 张廷锋,许少衡. 一种基于电容充放电的时间间隔测量方法[J]. 理论与方法,2011,30(11):30-35.
- [11] 王洪喆,辛德胜,张剑家,等. 脉冲激光测距时间间隔测量技术[J]. 强激光与粒子束,2010,22(8):1751-1754.
- [12] 辜新宇,郭际,施韶华,等. 多通道精密时间间隔测量系统的研制[J]. 电子测量与仪器学报,2013,27(1):69-75.
- [13] 徐圣法. 基于 TDC_GPX 的高精度时间间隔测量方法[J]. 国外电子测量技术,2012,31(12):40-41.

作者简介

袁春,1990 年出生,工学硕士,现中国科学院长春光学精密机械与物理研究所实习,主要研究方向激光测距与光电探测等。

E-mail:cczhong2015@163.com

王飞,1981 年出生,毕业于哈尔滨工业大学,现任中国科学院长春光学精密机械与物理研究所助理研究员,目前主要研究方向为激光三维成像技术与光电探测理论。

E-mail:felixw@163.com

(上接第 75 页)

- [6] 周国祥,朱蕴璞,孟令刚. 基于 VUSB 的数控直流稳压电源的设计[J]. 电子测量技术,2012,1(2):128-131.
- [7] 张兴. 高等电力电子技术[M]. 北京:机械工业出版社,2011.
- [8] 黄海宏,韦伟,沈冷萍,等. 并联型有源电力滤波器电压环优化设计[J]. 电子测量与仪器学报,2015,10(1):1529-1535.
- [9] 普利斯曼,莫瑞. 开关电源设计[M]. 3 版. 北京:电子工业出版社,2010.
- [10] 韩伟,王大志,刘宝成. 基于复合预测的无差拍谐波电流跟踪控制[J]. 仪器仪表学报,2014,6(2):1425-1432.
- [11] 朱桂萍,陈建业. 电力电子电路的计算机仿真[M]. 北京:清华大学出版社,2008.
- [12] 张益齐,徐祯祥,闫丽媛. 基于 DSP 的空间电源变换器的冗余调压设计[J]. 电子测量技术,2015,9(1):66-68.
- [13] 何亮. 三电平功率因数校正变换器的数字控制[D]. 南京:南京航空航天大学,2007:7-8.

作者简介

俞鹏飞,1992 年出生,硕士,研究方向为电力电子。

E-mail:ypfhust92@163.com