

两通道多级信道化接收机的设计

郝绍杰 何鹏 赵新明

(中国电子科技集团公司第四十一研究所 青岛 266555)

摘要: 为满足测向接收机对两个同时到达的不同带宽雷达信号的测量和跟踪需求,提出了一种双通道、多级信道化的高效宽带数字接收机结构,该接收机采用了宽窄两种带宽、奇偶两种信道排列形式,三级信道化结构的方案。经过三级的频带分割可提供多种频率分辨率,可以适应不同带宽信号的输入,改善了单级信道化同时处理窄带信号和宽带信号的性能局限性,并通过有效信道检测机制实现了对两个同时到达的不同带宽的雷达信号的接收跟踪。仿真结果表明,该双通道多级信道化接收机功能正确,具备硬件实现的可行性。

关键词: 测向接收机;多级信道化;有效信道检测

中图分类号: TN971.1 **文献标识码:** A **国家标准学科分类代码:** 510.51040

Design of dual-channel multistage channelized receiver

Hao Shaojie He Peng Zhao Xinming

(The 41st Institute of China Electronic Technology Group Corporation, Qingdao 266555, China)

Abstract: To meet the demand of the direction finding receiver measuring two radar signals, two different radar signals arriving simultaneously and having different bandwidths. Proposes a dual-channel multistage channelized receiver, it has high efficient digital receiver structure. The receiver uses two bandwidths; two types of channels are arranged in the form of parity, three-stage channel structure. It may provide a variety of frequency resolution after three band division. It may adapt to the different bandwidth input signal. Compared with the single-stage channel scheme, it improves the processing capacity of two different radar signals arriving simultaneously and having different bandwidths. And through the effective channel detection mechanism, it can receive two different radar signals arriving simultaneously and having different bandwidths. The simulation results illustrated the validity of the dual-channel multistage channelized receiver.

Keywords: direction finding receiver; multistage channelization; effective channel detection

1 引言

随着现代电子技术的高速发展,新体制雷达不断出现,雷达发射信号的调制方式和参数都日趋复杂,典型的有线性调频信号、非线性调频信号、相位编码信号、频率步进信号、频率捷变信号、重频捷变/抖动信号等等,这些具有大时宽-带宽积的扩谱信号具有低截获概率(low probability of intercept, LPD)的特征,由于此类辐射信号的增多,加上各类干扰源,使得现代信号侦察需要面对的环境日趋密集和复杂,主要表现在辐射源的数量多、密度大、范围宽,信号混叠严重,信噪比低、信号调制复杂,信号综合威胁程度高等方面。为适应如此复杂的信号环境,侦察测向接收机需要具有宽频率覆盖范围、高灵敏度、大动态范围、同时到达信号检测和实时信息处理能力,信道化接收机就是可以满足这些要求的一种接收机^[1-2]。

文献[3]通过无盲区的均匀信道划分,研究了一种基于两级数字信道化的高效宽带数字信道化接收机结构,文献[4]通过基于DFT的高效数字信道化结构,实现了 $F=2$ 时的偶型堆栈信道化接收机,文献[5]分析了基于原型滤波结构的数字信道化接收机结构和其缺陷。文献[6]介绍了一种高效结构的数字信道化接收机,实现了双通道瞬时带宽480 MHz和单通道瞬时带宽960 MHz的信道化接收机。文献[7]介绍了一种采用模拟信道化和数字信道化技术完成的超宽带信号搜索接收机,并重点讨论了数字信道化接收机的高速FPGA数字系统设计。文献[8]推导了数字信道化接收机的数学模型,得到一种数字信道化接收机的高效结构。与一般的数字信道化接收机结构相比,该高效结构节省了硬件资源,减小了计算复杂度,提高了数字信道化接收机的吞吐量。

本文提出了一种双通道、多级信道化的高效的宽带数

字接收机结构,通过采用宽窄两种带宽、奇偶两种排列形式的信道化结构,并通过有效信道检测机制实现了对两个同时到达的不同带宽的雷达信号的接收跟踪。

2 总体技术方案

接收机接收到的信号中,不仅有常规窄带雷达信号,还有大时宽带宽信号,并要求接收机具有分离同时到达信号的能力。对于同时到达的多个脉冲信号,可根据其时域重叠而频域不重叠的特性,采用信道化结构在频域进行滤波实现信号分离^[9]。为近匹配不同带宽的雷达信号,需采用宽窄不同的数字信道化,使其可提供多个频率分辨率,适应不同带宽信号的输入。基于上述要求,确定了三级信道化的接收机结构,三级信道化结构可改善单级信道化同时处理窄带信号和宽带信号的性能局限性,并可减小滤波器器的设计压力,增加了硬件实现的有效性。

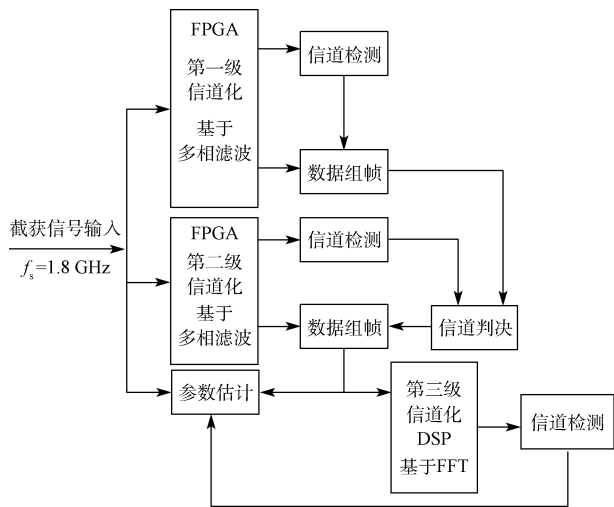


图1 三级信道化结构

2.1 硬件技术方案

硬件方案主要由两部分组成,以大规模高速 FPGA 为核心构成的数字信道化板和以高速 DSP 为核心构成的 DSP 处理板。

数字信道化板主要完成双路中频信号数字信道化接收,中频信号输入后先经过 800 MHz 带通滤波器,然后使用双巴伦结构将信号转换为 LVDS 格式的差分信号送入 ADC 进行数字化,ADC 输出的数据进入 FPGA (XC7VX485T) 芯片,首先通过 IDDR 技术对数据进行恢复,然后依此完成多级并行数字信道化处理、信号检测、部分参数测量、数据组帧,最后通过高速 GTX 串行接口将数据传输给 DSP 处理板。

DSP 处理板主要完成数字信道化的后续处理,由一片 FPGA 和两片多核 DSP 芯片组成。FPGA 为 Xilinx 公司 K7 系列芯片 XC7K325T,通过 GTX 接口接收信道化采集模块发送过来的数据包,然后根据特定调度算法,将有效信

道化数据分配到不同的 DSP 内核进行数据运算。DSP 采用 TI 公司的多核系列 DSP 芯片 TMS320C6678,该芯片可提供 20GFLOPS 的处理能力。硬件架构具有灵活的互联方式,FPGA 和 2 片 DSP 分别通过高速串行总线 (SRIO) 接口互联;两片 DSP 之间通过 HyperLink 接口互联。

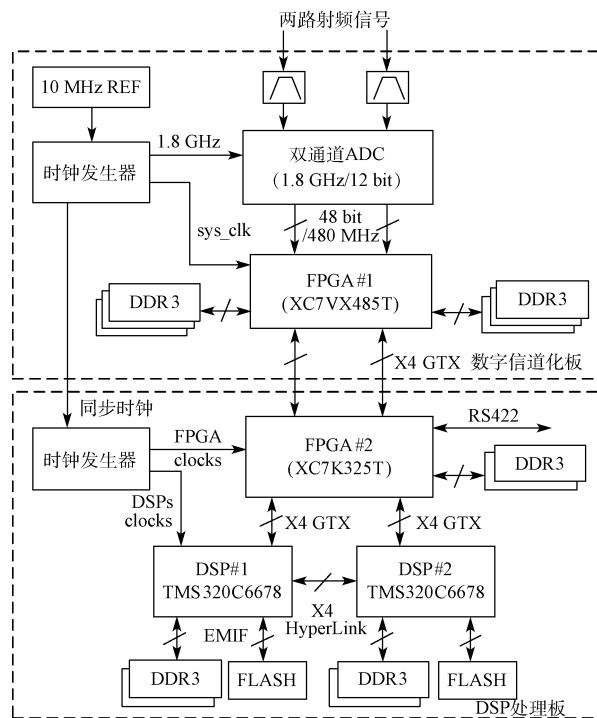


图2 硬件方案框图

2.2 软件工作流程

系统上电后首先进行自检,对电源系统、时钟系统、FPGA 加载状况、DSP 自启动状态进行检测,并给出自检通过或失败的标志;各电路单元正常启动后进入空闲状态,当中控单元接收到开机命令后,启动双通道 ADC 对中频进行采样,将数字中频信号送入信道化处理单元;数字信道化软件采用宽、窄两种不同带宽信道化,并同时使用奇、偶两种不同排列形式的信道化结构,以匹配不同带宽的雷达信号。信道化输出的数据经过信号检测和信道判决后,打包送入中控模块,由中控分发到 DSP 内核完成后续数据处理。

3 多级数字信道化

采用多级信道化结构,先对监视频带进行粗划分,在确定信号所在的大概频率范围后,再按照系统所需的频率分辨率对分析带宽进行系划分,逐级信道化不需要将大宽带信号割裂再重构,可最大程度防止雷达脉冲信息的丢失^[10-12]。

3.1 数字信道化的多级结构

双通道多级信道化接收机的瞬时分析带宽为 800

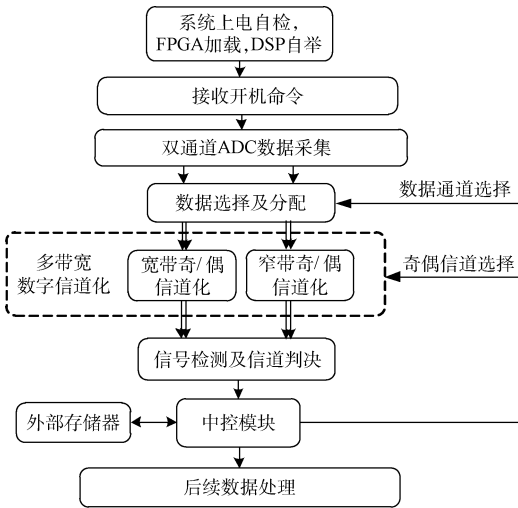


图 3 软件工作流程

MHz, ADC 采样频率为 1 800 MHz, 基于 FPGA 设计了三级信道化结构, 各级信道数和抽取倍数的关系为 $K_i = 2M_i$, 数字 FIR 滤波器阶数为 N_i , 频率性能指标为 $\omega_{pi} = \pi/K$, $\omega_{si} = 2\pi/K, i = 1, 2, 3, \dots$, 根据硬件平台特点, 选用了基于 FPGA 和 DSP 实现串并结合的信道化结构, 如图 1 所示。基于 FPGA 的并行结构实现宽、窄两级信道化结构, 对整个监视带宽进行不同信道数的频带划分, FPGA 部分信道化结构独立工作, 互不影响。通过前两级信道化处理后, 有效信道数据变为低速率数据, 在 DSP 即可实现更小带宽的信号检测与分离。

3.2 并行结构信道化的 FPGA 实现

数字信道化的原型结构如图 4 所示。

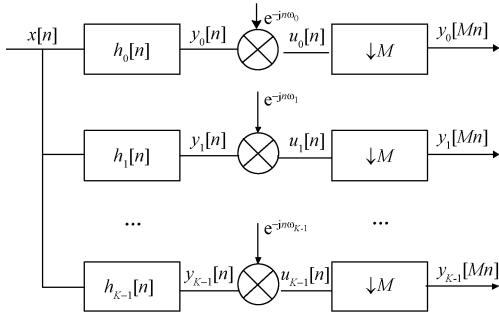


图 4 数字信道化原型结构

在图 4 所示的原型结构中^[13-15], 第 k 个信道的输出为:

$$y_k[Mn] = e^{-j2\pi Mn k/K} \sum_{i=0}^{N-1} h_k[i] x[Mn-i] = e^{-j2\pi Mn k/K} \sum_{i=0}^{N-1} h_0[i] x[Mn-i] e^{j2\pi ki/K} \quad (1)$$

为满足信道化实时处理要求, 充分发挥 FPGA 并行运算的优势, 同时考虑运算速度和资源的最优化, 对信道化的具体 FPGA 实现架构进行优化。下面分别对 64 道信道化和 16 道信道的的优化结构进行推导。

3.2.1 64 道信道化实现架构

为充分利用 FPGA 资源, 利用并行设计思想, 将式(1)按 $L=2$ 进行展开:

$$y_k(2nM) = \left[\sum_{r=0}^{K-1} \epsilon_r(2nM) e^{j\frac{2\pi}{K}kr} \right] (-1)^{k2n} = \sum_{r=0}^{K-1} \epsilon_r(2nM) e^{j\frac{2\pi}{K}kr} \quad (2)$$

$$y_k(2nM - M) = \left[\sum_{r=0}^{K-1} \epsilon_r(2nM - M) e^{j2\pi/Kkr} \right] (-1)^{k(2n-1)} = \left[\sum_{r=0}^{K-1} \epsilon_r(2nM - M) e^{j2\pi/Kkr} \right] (-1)^k \quad (3)$$

其中,

$$\epsilon_r(2nM) = \sum_{p=0}^{P-1} x(2Mn - pK - r) h_0(pK + r)$$

$$\epsilon_r(2nM - M) = \sum_{p=0}^{P-1} x(2Mn - M - pK - r) h_0(pK + r)$$

式中: K 为信道数, $h(n)$ 为低通滤波器, 阶数 $N = KP$, M 为抽取倍数, 且 $M = K/2$, ω_k 为第 k 个子信道的中心频率。

由以上推导可知, M 倍抽取的数字信道化可以分解为 2 个 $2M(2M=K)$ 倍抽取的数字信道化。由于采样率为 1.8 Gsps, 如果奇偶部均采用串行处理方式, 那么器件工作速率等于采样率, 显然不可能实现, 所以对于上述奇偶部也分别采用 8 路并行处理, 下面以偶部为例说明, 第 k 个信道输出信号可表示为:

$$y_k(2nM) = \sum_{r=0}^{K-1} \epsilon_r(2nM) e^{j2\pi/Kkr} = \sum_{q=0}^{Q-1} \sum_{h=0}^{H-1} \epsilon_{Qh+q}(2nM) e^{j2\pi k/K(Qh+q)} = \sum_{q=0}^{Q-1} e^{j2\pi kq/K} \sum_{h=0}^{H-1} \epsilon_{Qh+q}(2nM) e^{j2\pi k/KQh} = \sum_{q=0}^{Q-1} W_K^{-kq} \cdot IDFT [\epsilon_{Qh+q}(2nM)]_H \quad (4)$$

式中, $H=K/Q$, 取 $Q=8$, 其结构如图 5 所示。

在图 5 所示结构中, 采用串并结合的结构来实现 64 道信道化, 将数据先分配到 8 路并行处理, 每路数据内采用串行计算, 对于所需的 64 点 FFT 计算, 先调用 8 个串行 FFTIP 核同时计算 8 组串行 8 点 FFT, 再通过手工编写的三级蝶形运算单元实现并行 IFFT 运算。

3.2.2 16 道信道化实现架构

为减小系统的处理延时, 16 道宽带信道化采用全并行处理的处理方式。

$$y_k(nM) = \sum_{r=0}^{K-1} \epsilon_r(n) e^{j\omega_k r} e^{-j\omega_0 nM} \quad (5)$$

其中,

$$\epsilon_r(n) = \sum_{p=0}^{P-1} x(nM - pK - r) h(pK + r) e^{j\omega_0 pK}$$

则有:

$$\epsilon_{M+r}(n+1) = \sum_{p=0}^{P-1} x(nM - pK - r) h(pK + M + r) e^{j\omega_0 pK} \quad (6)$$

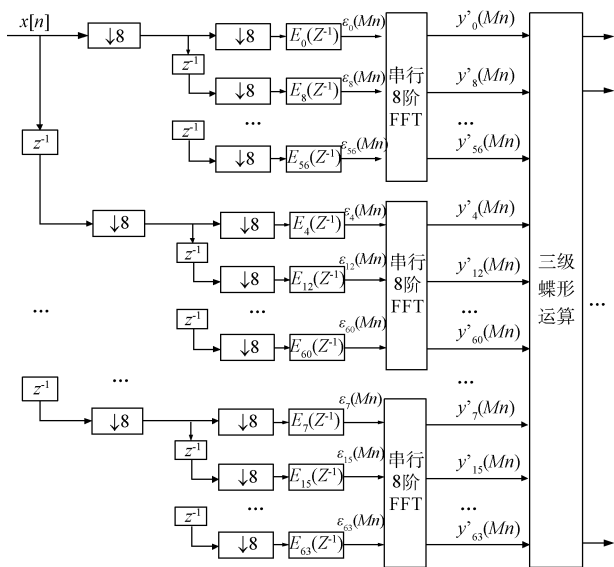


图5 64道数字信道化奇偶并行处理硬件结构

比较式(5)和(6)可知,第 $M+r$ 道子信道的输入数据由第 r 道子信道的输入数据延时一个周期得到,根据此特性,16路并行数字信道化最多可处理8路并行输入数据。

$$\text{当 } \omega_k = \frac{2\pi k}{K} \text{ 时,}$$

$$y_k(nM) = \left[\sum_{r=0}^{K-1} \varepsilon_r(n) e^{j\frac{2\pi}{K}kr} \right] (-1)^{kn} \quad (7)$$

结合并行数据的延时特性,可得偶型滤波器组排列下16道信道化的并行实现架构,如图6所示。

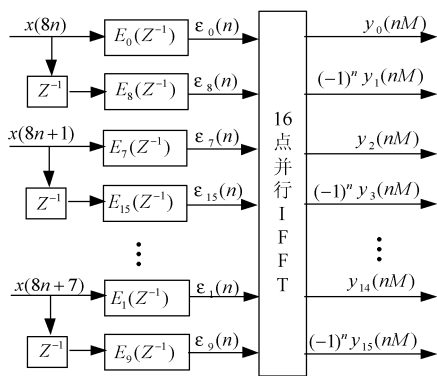


图6 16道信道化并行实现架构

其中16点IFFT由4级蝶形运算完成。将16道数据并行进行,每路数据内采用串行计算。多相滤波器组部分每路消耗8个DSP Slices,16路共128个;4级蝶形运算共24个蝶,每个蝶形运算消耗3个,共72个。那么纯信道化部分消耗的DSP Slices总计约为200个。

综上所述,实现16道数字信道化一共需要203个DSP48E1,64道信道化需要580个DSP48E1,采用这样的实现方式使其数据吞吐率匹配了采样率。同时达到系统工

作频率与资源消耗的平衡,ISE综合结果如图7所示。

Device Utilization Summary (estimated values)			
Logic Utilization	Used	Available	Utilization
Number of Slice Registers	348378	607200	24%
Number of Slice LUTs	92150	303600	30%
Number of Fully used LUT-FF pairs	70058	170470	41%
Number of bonded IOBs	81	600	13%
Number of Block RAM/FIFOs	180	1030	17%
Number of BUFG/BUFGCTRLs	13	32	40%
Number of DSP48E1s	1664	2900	50%

图7 数字信道化 ISE 综合报告图

4 信道化仿真分析

为了验证数字信道化模型及信道划分方案的正确性,在MATLAB中进行了如下的仿真实验:输入信号为单一线性调频信号,信号的采样频率为1.8 GHz。起始频率1.12 GHz,带宽50 MHz,脉宽10 us,调制斜率 50×10^{12} Hz/s。正确的情况下信号将从16道信道化奇型排列滤波器组的第1、2信道跨道,在第13、14信道跨道输出,同时在16道信道化偶型排列滤波器组的第2和14信道输出。

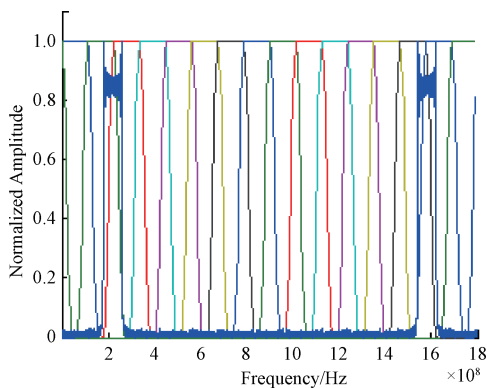


图8 输入信号的频域相对应的奇型滤波器组

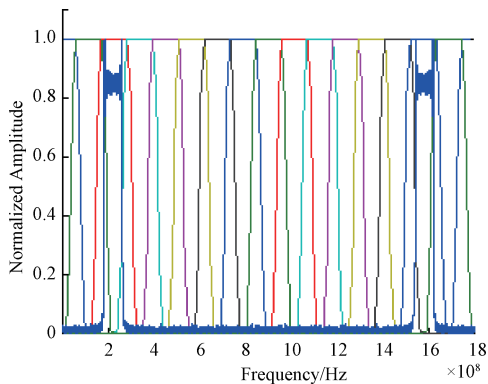


图9 输入信号的频域相对应的偶型滤波器组

通过对比奇型和偶型信道化输出结果,信号最终应从偶型16道信道化第2道输出。

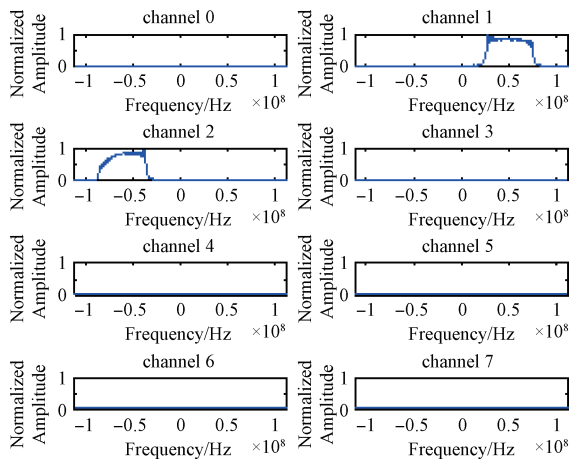


图 10 奇型第 0~7 信道输出

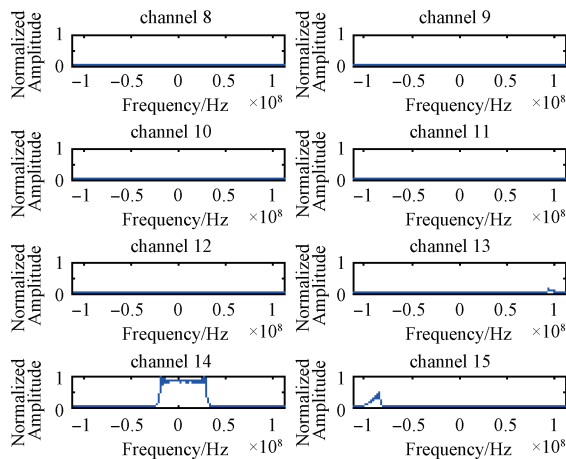


图 13 偶型第 8~15 信道输出

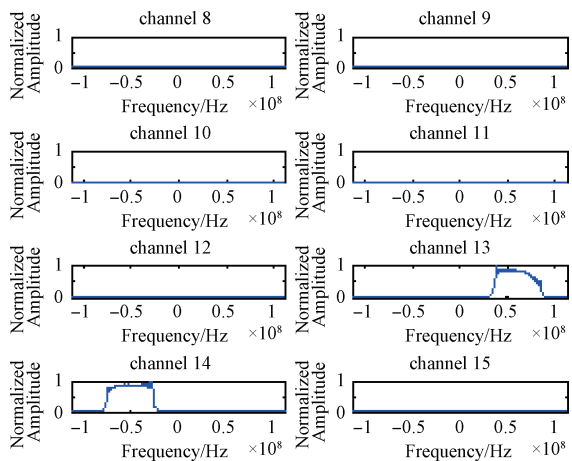


图 11 奇型第 8~15 信道输出

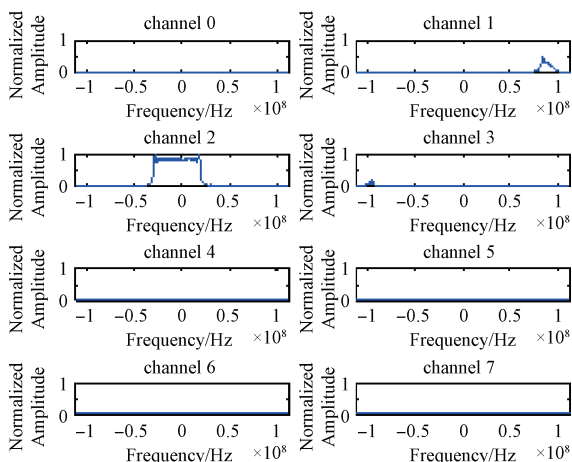


图 12 偶型第 0~7 信道输出

数字接收机方案。该接收机可提供多种频率分辨率,能适应不同带宽信号的输入,有效地改善了单级信道化同时处理窄带信号和宽带信号的性能局限性。文中对优化后的信道化结构进行了详细的描述,通过计算机仿真验证了多级数字信道化可行性,多级信道化的结构也增加了硬件实现的可行性。

参考文献

- [1] JAMES T. 杨小牛,译.宽带数字接收机[M].2版.北京:电子工业出版社,2002:5-20,188-211,242-259.
- [2] 龚仕仙,魏玺章,黎湘.宽带数字信道化接收机综述[J].电子学报,2013,41(5):949-959.
- [3] 丁丽,熊辉,唐斌.基于两级信道化的宽带数字接收机结构[J].电子测量与仪器学报,2010,24(7):673-679.
- [4] 姜冬梅.雷达信号数字侦察接收的FPGA实现[D].成都:电子科技大学,2008:13-18.
- [5] DANIAL R Z. A hardware-efficient, multirate, digitalchannelized receiver architecture [J]. IEEE Transactionson Aerospace and Electronic Systems, 1998, 34(1): 137-144.
- [6] 张文旭,司锡才,孙强毅.一种高效信道化接收机设计与实现[J].电子技术应用,2008,34(11):48-53.
- [7] 王永明,张尔扬,王世练,等.基于多级信道化的超宽带搜索接收机设计与实现[J].信号处理,2010,26(1):121-126.
- [8] 刘光祖,王建新,徐达龙.数字信道化接收机高效结构的设计与实现[J].系统工程与电子技术,2012,34(2):391-395.
- [9] 陈曦,邓振森,焦计平.多通道高速相参同步数据采集与存储系统设计[J].电子测量技术,2013,36(12):104-107.
- [10] 陈大海,王洪,吕幼新.宽带数字下变频器的实现结构[J].电子测量与仪器学报,2008,22(5):43-47

5 结 论

本文详细论述了一种双通道、三级信道化的高效宽带

- [11] 王甲峰,葛晓确. 无盲区数字信道化实现方法[J]. 通信技术,2009,42(3):7-9.
- [12] 陈海红,汪欣. 基于FPGA的宽带数字信道化接收机的设计[J]. 现代雷达,2009,31(12):73-76.
- [13] 常虹,赵国庆,牛新亮. 高效的宽带数字信道化接收机设计[J]. 西安电子科技大学学报,2010,37(3):464-468.
- [14] 冀连营,高梅国,李云杰. 跨信道检测仲裁的信号集合更新算法[J]. 北京理工大学学报,2009,29(6):532-535.
- [15] 郝金光,裴文江,夏亦犁,等. 低复杂度可配置变带宽滤波器组的设计[J]. 电子测量与仪器学报,2015,29(7):1057-1063.

作者简介

郝绍杰,1998年于电子科技大学获得学士学位,现为中国电子集团公司第四十一研究所高级工程师,主要研究方向为微波测量仪器与测试技术。

E-mail:haoshaojie@tom.com

NI 发布进阶版分布式设备大规模在线监控方案

通过 NI InsightCM™ 与工业物联网技术降低操作与维护成本

2016年5月9日,美国国家仪器公司 National Instruments(简称NI)作为致力于为工程师和科学家提供解决方案来应对全球最严峻的工程挑战的供应商,近日推出 NI InsightCM Enterprise 软件进阶版,这项解决方案有助于深入掌握企业的资产设备状态,以便进行机位的维护和操作。

NI具备30年以上的量测经验,持续积极为工业物联网(IIoT)技术做出贡献,现在开发了新版 NI InsightCM Enterprise 端对端软件解决方案,能够解决设备监控产业日趋复杂的难题。种类繁多的传感器、测量速度需求与大量已启用设备产生了模拟数据量巨大(Big Analog Data)的问题。NI InsightCM、DIAdem 与 CompactRIO 等 NI 工业物联网技术平台具备了分布式传感器量测、智能终端处理、分析与开放式通讯、数据管理等功能,可以提供实时信息(而非大量未过滤的数据)给相关主题专家,进而解决巨量模拟资料问题。

这种在线大规模监控解决方案适合多种产业,包含石油与天然气、发电、矿业、铁路与工业制造。通过 NI

InsightCM,可以帮助企业降低维护成本、提升机台效能、延长运作时间。

主要优势如下:

- 1)产能优势:以相同的人员维护更多的设备。
- 2)整合多种量测工具:通过单一企业软件,结合物理振动与温度量测和 MCSA 电子量测功能。
- 3)完整存取:完整存取自己的数据,并且链接至第三方企业软件组合,例如 CMMS、SCADA、数据库记录器与预测性分析软件。
- 4)扩充性:通过 NI InsightCM Server,从最关键、最可能发生问题的设备开始处理,接着继续扩充至厂内上百个次要设备。
- 5)便捷性:通过新的 NI InsightCM 软件开发工具组链接第三方硬件,并且针对 CompactRIO 硬件平台提供的 100 多个传感器模块中的任何模块,进行定制化的分析或支持。
- 6)调整性:NI InsightCM 以开放式技术平台为基础,能够有效针对您的企业营运方式进行调整,而非让您去配合供货商。