

## 参数化的嵌入式乘法器测试技术研究\*

肖景<sup>1,2</sup> 杨会平<sup>1,2</sup> 贺达江<sup>1,2</sup>

(1. 武陵山片区生态农业智能控制技术湖南省重点实验室 怀化 418000; 2. 怀化学院 怀化 418000)

**摘要:** 设计并实现了一种利用内建自测试(built-in self-test, BIST)技术对 Alteral 公司 FPGA 芯片中嵌入乘法器资源实施故障检测与诊断的方法。该方法利用 VHDL 语言设计一种独立于乘法器内部结构测试算法,通过 3 次配置下载,可以检测出芯片中嵌入乘法器资源在工作模式下所有固定故障类型,同时能够对故障乘法器进行定位。最后在被测乘法器测试模型之上设计了完整的 BIST 测试电路,通过对该电路的实测,验证了文中测试方法的准确性与有效性。

**关键词:** FPGA; VHDL; 乘法器; BIST

**中图分类号:** TN710 **文献标识码:** A **国家标准学科分类代码:** 460.4030

## Parameterized method for fault test of embedded multiplier

Xiao Jing<sup>1,2</sup> Yang Huiping<sup>1,2</sup> He Dajiang<sup>1,2</sup>

(1. Hunan Provincial Key Laboratory Agriculture Intelligent Control Technology, Huaihua 418000, China;

2. Huaihua University, Huaihua 418000, China)

**Abstract:** This paper describes a fault detection and diagnosis method with BIST technology to verify the integrity of the embedded multiplier cores in Alteral's FPGAs. This approach uses an architecture independent test algorithm implemented by the hardware description language. Through three configuration download, it can detect all kinds of faults in multipliers at the modes of operation. At the same time, it can identify the location of faulty multiplies. Finally, verifying the effectiveness and accuracy of the proposed method through an integral BIST test circuit which based on the test model of measured multiplier.

**Keywords:** FPGA; VHDL; multiplier; BIST

## 1 引言

FPGA 芯片已被广泛应用于生活、军事等各个领域,目前国内 FPGA 芯片基本依赖于进口。因此,不管是从芯片制造角度,还是对引进芯片故障检测角度都需要有效的嵌入式乘法器资源测试方法,所以实现一种参数化的乘法器测试方法具有及其重要的意义<sup>[1-3]</sup>。

本文利用 FPGA 芯片的可重构性,采用 BIST 的方法,在 FPGA 中设计 BIST 模块对 FPGA 芯片实施测试。通过 3 次编程下载,运行两次配置程序,就可以检测出所有在乘法器中可能发生的故障。同时,利用极具移植性的 VHDL 语言设计 BIST 模块。由于 VHDL 已经参数化,所以能够测试乘法器的数量和需要的配置模式非常容易确定,通过后继合成 VHDL 模块理论上可以测试任何 FPGA 器件中嵌入的乘法器资源。使用 VHDL 此种参数化的方法可以

避开使用测试程序去测试多个乘法器和乘法器内部结构的许多细节设计。由于 FPGA 的全可擦除性和多次编程性,所以每次测试完成后,没有带来任何的硬件开销和延时花费。配置的次数和每次配置所花销时间决定了对 FPGA 进行完全测试所需要的时间,所以测试算法的设计对于测试时间和功耗起着至关重要的作用。

## 2 预备知识

BIST 模块通常由 3 部分组成:测试向量发生器(test pattern generators, TPG)、被测电路(circuits under test, CUT)和输出响应分析器(output response analyzers, ORA)。通常由 TPG 产生测试向量序列,然后将该测试向量序列施加到 CUT 中,利用 ORA 对 CUT 输出的结果进行分析,实现故障检测与诊断目的,所以 TPG 与 ORA 的设计以及怎样将 3 部分无缝共建起来是整个 BIST 技术的

收稿日期:2015-11

\* 基金项目:湖南省自然科学基金(2015JJ6090)、怀化学院校级课题(HHUY2013-03)资助项目

关键。而 TPG 产生何种测试向量序列的算法设计直接关系到整个测试方案的故障覆盖率、测试时间与功耗开销<sup>[4]</sup>。

文献[5]给出一种由 TPG 执行的测试算法,用于布斯型乘法器测试;文献[6-7]给出另一种由 TPG 执行的测试算法,用于修正布斯-华莱士树型乘法器的故障测试。在文献[8]中,给出一种将上述两种测试算法联合起来使用的新算法,该算法可以不关心乘法的内部结构,文献[9]最后还利用此算法对 xilinx 公司 virtex-4 和 virtex-5 芯片中嵌入的乘法器进行测试,实测结果表明:在测试硬件开销和测试时间方面,该算法效率都是非常高的,而且无论乘法器何种结构,它都可以达到 99% 的故障覆盖率。

文献[6-7]中均是利用 VHDL 语言来完成 TPG、CUT 和 ORA 模块设计以及实现他们之间的相互连接,文献[10]使用网格文件(Netlist)来完成上述工作。在文献[6-7]中,由于从上一次测试配置到下一次测试配置 TPG 和 ORA 的位置和路径不能保持恒定不变,所以需要一次完全配置,因此会花费较长测试时间。

由于基于 VHDL 语言的 BIST 测试方法易于参数化,而且移植性非常强,所以本文利用 VHDL 设计语言,同时结合文献<sup>[5]</sup>中的测试方法,给出一种参数化的、独立于嵌入式乘法器内部结构测试方法。

### 3 BIST 测试模型建立

文中参数化的 BIST 模型主要由四部分组成:TPG 模块、ORA 模块、测试控制器、CUT 模块。TPG 用于产生测试向量,施加到 CUT(嵌入乘法器)中,ORA 对 CUT 输出信息进行分析,判断 CUT 单元有无故障发生。图 1 给出了 BIST 模型具体结构,它利用一对 TPG 交替的为 CUT 施加测试向量。由于乘法器结构相同,且同时被测试,施加测试向量又完全一致,如果乘法器没有故障的话,那么其输出结果应该是一致的,将每个乘法器的输出结果输入到一对 ORA 中实施故障检测。ORA 对不同的乘法器输出结果进行比较,如果不匹配的话,其中一个乘法器必定发生故障。

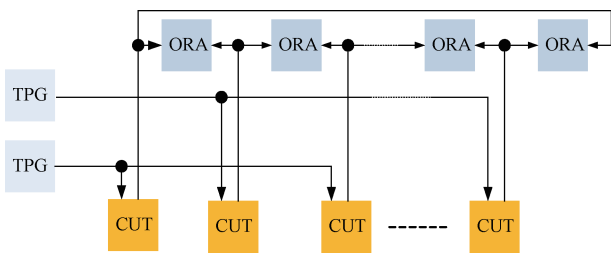


图 1 BIST 测试模型框图

由于所有 CUT 结果都接入到相邻的 2 个 ORA 中,所以该测试模型能够避免相邻乘法器发生相同故障而漏检的情况。如果任何一对 CUT 输出不匹配,将检测出一个故障乘法器。当然,若所有乘法器在同一时间都发生同一种类型故障,该测试模型将无法检测出,考虑出现上述情况概

率问题,所以该方法可以达到 100% 故障覆盖率。关于 TPG 与 ORA 详细设计将在 3.1 小节详细叙述。

#### 3.1 测试向量发生器(TPG)设计

TPG 负责为 CUT 产生必要的测试向量。文中采用文献[8-9]的测试向量算法,为实现该算法,文中设计 1 个 10 位加法计数器作为测试向量发生器。计数器最高 2 位用于控制测试步骤,余下的 8 位用于产生测试向量,这样在每个测试阶段都可以得到 256 个测试向量,当最后一个测试阶段完成,10 位计数器达到最大值,同时产生 1 个标志位表明整个 BIST 测试过程已经全部完成。测试算法具体实施方案如表 1 所示。

表 1 TPG 测试步骤

测试步骤	计数器高 2 位	计数器低 8 位
1	00	施加 $4 \times 4$ 型算法
2	01	施加 $5 \times 3$ 型算法
3	10	施加 $3 \times 5$ 型算法
4	11	测试乘法器功能控制端

由表 1 可以看出:10 位加法计数器最高 2 位用于控制整个测试步骤,当加法计数器最高 2 位输出“00”时,进行步骤 1。加法器低 8 位产生  $4 \times 4$  测试向量到被测乘法器中,最高 2 位输出“01”时,进行步骤 2。加法计数器低 8 位产生  $5 \times 3$  测试向量到被测乘法器中,其余测试步骤,依次类推。

图 2 以施加  $4 \times 4$  型测试算法为例阐述 TPG 工作过程,其余情况的详细说明可参阅文献[5]。

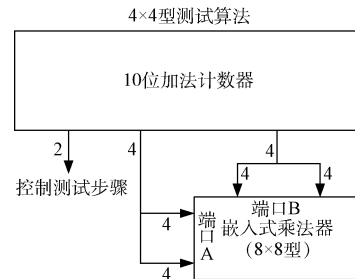


图 2  $4 \times 4$  型测试算法

由图 2 可知 10 位加法计数器最高 2 位输出“00”时,计数器中间 4 位复用 1 次接入到乘法器端口 A 的 8 个输入入口,计数器最后 4 位复用 1 次接入到端口 B 的 8 个输入入口以实现对该  $8 \times 8$  型乘法器的故障测试。TPG 产生的测试向量序列如表 2 所示。

表 2 中 A7~A0, B7~B0 代表乘法器的 2 个 8 位输入端口, J7~J0 代表加法计数器输出口。当运行完  $4 \times 4$ 、 $3 \times 5$ 、 $5 \times 3$  算法之后,最后一个阶段产生的确定性测试向量,被用来测试乘法器的控制寄存器,此类寄存器包括异步清零端(CLR)和时钟使能端(ENA)。

表 2 4×4 型算法测试向量序

乘法器 A 端口		乘法器 B 端口	
A7...A0		B7...B0	
0000	0000	0000	0000
0000	0000	0001	0001
0000	0000	0010	0010
0000	0000	0011	0011
...	...	...	...
0000	0000	1110	1110
0000	0000	1111	1111
0001	0001	0000	0000
0001	0001	0001	0001
0001	0001	0010	0010
...	...	...	...
J7...J4	J7...J4	J3...J0	J3...J0
计数器中 4 位		计数器低 4 位	

3.2 ORA 设计

ORA 通过对 CUT 输出结果进行分析,达到对其故障检测与诊断的目的。文中 ORA 结构如图 3 所示。

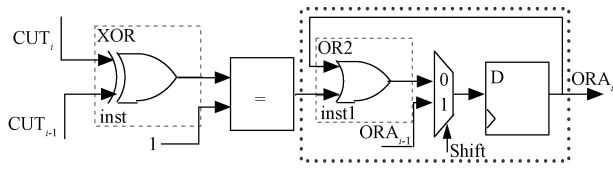


图 3 ORA 电路结构

图 3 中 ORA 电路由异或门、比较器和故障信息存储器 (右侧虚线)3 部分组成。相邻的 2 个乘法器输出作为 ORA 的输入,因为同一时刻,TPG 施加到 CUT 的测试向量完全一致,若 2 个 CUT 都没有故障的话,那么输出结果是一致的。

ORA 通过一个异或门判断二者是否为相同值,如果乘法器输出结果  $CUT_i$  和  $CUT_{i-1}$  任何一位不相同,那么异或门将输出一位逻辑‘1’,为了检测故障情况,将异或门的输出接入到一个比较器,比较器另一端的输入为全‘1’位(比较器输出为‘1’时表示比较器 2 个输入端数值相等),比较器的输出结果即为 ORA 输出。所以  $ORA_i$  为高电平时,表示第  $i$  个 ORA 发生故障。

故障信息存储器(图 3 右侧虚线部分)用来锁存 ORA 输出结果,以便在测试完成时可以再次调用测试数据,实现故障类型的诊断、定位。需要注意的是:最后会将各个 ORA 的输出结果输入到一个  $n$  位( $n$  代表 ORA 个数)输入口的或门中,该或门可以快速检测所有乘法器有无故障,若有乘法器单元存在故障,则或门会输出高电平‘1’。

4 测试方法验证

由于市面芯片中嵌入式乘法器资源都已进行无故障测试,故无法通过实测来验证该测试方法的有效性。文中根据 Altera cyclone II 芯片的数据手册<sup>[11]</sup>利用 VHDL 语言建立一个类似于芯片中嵌入的乘法器门级故障仿真模型来测试该方法的故障覆盖率情况。详细结构如图 4 所示。

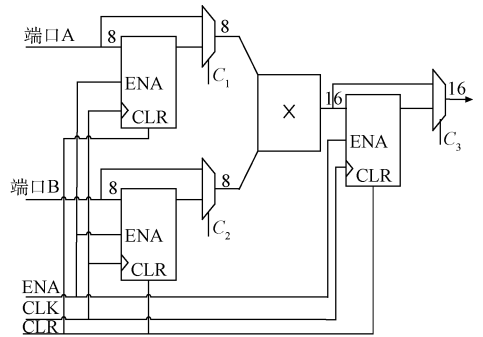


图 4 乘法器故障仿真模型结构

图 4 模型作为 CUT,图 2 模型作为 TPG,图 3 模型作为 ORA 所设计的单个测试模块如图 5 所示。

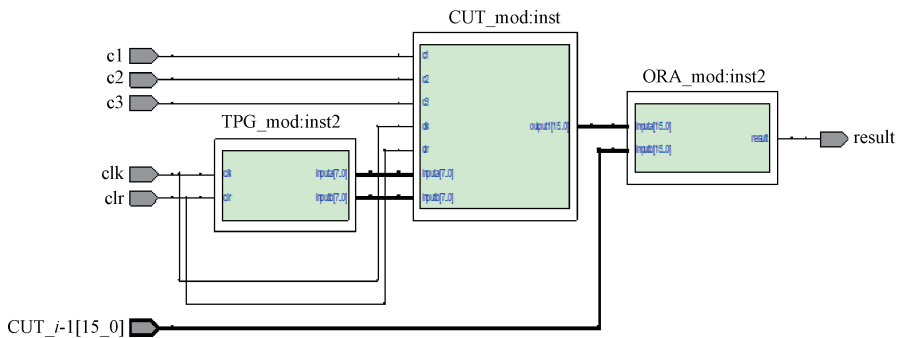


图 5 测试仿真模型 RTL 示意图

图 4 给出了一个被用作故障仿真的 8×8 型乘法器结构图,端口 A、B 即对应图 2 中端口 A、B。3 个配置位  $C_1$ 、

$C_2$ 、 $C_3$  用来控制 8×8 乘法器配置类型。基于该故障仿真模型,利用 VHDL 语言完成整个测试程序设计,测试程序

由配置程序和乘法器控制程序两部分组成。配置程序主要实现 TPG 和 ORA 设计及表 1 中算法;乘法器控制程序主要用来配置乘法器类型。通过对图 5 的测试仿真模型进行 3 次配置程序就能对该故障模型实施完全测试,故障仿真结果如表 3 所示。

表 3 故障仿真结果

	整个电路	乘法器	寄存器
总故障数	5 580	3 564	2 016
未检出故障数	2	1	0
故障覆盖率(4×4 算法)	82.92%	99.97%	54.91%
故障覆盖率(5×3 算法)	93.42%	100%	80.79%
故障覆盖率(3×5 算法)	100%	100%	100%

图 6 给出了对 EP3c5e144c8 芯片实测过程中,在 QuartusII 软件中布局布线情况,TPG 与 CUT 位于乘法器两侧,将该布局布线后的位流(.sof/.pof)文件下载到目标芯片中即可完成实测过程<sup>[12-15]</sup>。

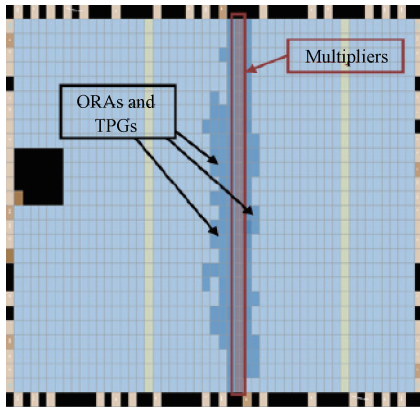


图 5 EP3c5e144c8 实测构造

## 5 结 论

故障实测的结果表明:在对于乘法器工作模式下的固定型故障,文中方法可以达到 100%覆盖率。在 1 024 个时钟周期下就能完成一种测试算法的整个测试过程;而且在测试的 4 个阶段,3 次配置过程中,都是利用乘法器功能特性进行测试,不需要关心乘法器内部结构。每个 CUT 都是利用 VHDL 语言设计的单一 BIST 模块,所以当 CUT 增加时,只需增加 BIST 模块即可;因此极易作为一种参数化嵌入式乘法器故障测试方法。文中提供的方法对 FPGA 芯片的制造及各类嵌入乘法器资源故障测试较有参考意义。

## 参考文献

[1] 刘大伟,鲁昌华. 数模混合电路故障诊断方法的现

状[J]. 仪器仪表学报,2007,28(26):18-21.

- [2] 项传银,阮爱武. 基于故障映射的 FPGA 互联资源故障测试与定位[J]. 仪器仪表学报,2014,32(1):2010-2014.
- [3] 崔晓平. 基于修正 Booth 编码  $32 \times 32$  乘法器设计[J]. 电子测量技术,2014,30(1):76-80.
- [4] 龙兵. 基于多特征模型模拟电路可测性分析方法[J]. 仪器仪表学报,2013,34(4):914-918.
- [5] GIZOPOULOS D, PASCALIS A, ZORIAN Y. An effective BISTS scheme for booth multipliers [C]. Proceedings of IEEE International Test Conference, 2008, 32(5): 824-833.
- [6] PASCALIS A, GIZOPOULOS D, KRANITIS N, et al. An effective BIST architecture for fast multiplier cores [C]. Proceedings of Design, Automation and Test in Europe Conference, 2007, 26(2):117-121.
- [7] BAKALIS D, KALLIGEROS E, NIKOLOS D, et al. Low power BIST for Wallace tree-based fast multipliers[C]. IEEE International Symposium on Quality of Electronic Design, 2006, 12(6):428-433.
- [8] PULUKURI M, STARR G, STROUD C. On built-in self-test for multipliers[C]. Proceedings of IEEE Southeast Regional, 2010, 5(3): 25-28.
- [9] STROUD C, GARIMELLA S. Built-in self-test and diagnosis of multiple embedded cores in SoCs [J]. IEEE Transactions on Embedded Systems and Applications, 2011, 19(12): 130-136.
- [10] GARIMELLA S, STROUD C. A system for automated built-in self-test of embedded memory cores in system-on-chip [C]. Proceedings of IEEE Southeastern Symposium on System Theory, 2012, 21(7): 50-54.
- [11] CORP A. Cyclone III Device Handbook[Z]. 2014, 1(2):13-17.
- [12] 宋保强,王友仁,张岩. 片上可重构阵列容错方法研究[J]. 电子测量与仪器,2015,29(6):830-837.
- [13] 朱敏. 模拟电路内建自测试故障特征提取与优化[J]. 仪器仪表学报,2013,34(3):200-208.
- [14] 孙立波,雷加. 基于 SRAM 型 FPGA 测试技术的研究[J]. 电子测量与技术,2014,37(5): 36-41.
- [15] 曹宁,杨巨前. 一种数字组合电路多故障测试生成的高效算法[J]. 电子测量技术,2013, 36(6): 49-53.

## 作者简介

杨会平,工学在读博士,主要研究方向为数字电路可测性设计、农业信息化、无源互调等。

E-mail: yanghui ping05@163.com