

基于 DSP 和 FPGA 的 LVDS 高速串行通信方案设计

刘喜梅 陈亚斐 覃庆良

(青岛科技大学 自动化与电子工程学院 青岛 266042)

摘要: 电力电子驱动装置在电力系统中运用比较广泛,而在电力电子驱动装置控制系统设计过程中,因为既要对数据进行高速运算,又要对高频信号进行快速处理,因此,控制器通常都采用 DSP 和 FPGA 这样的组合框架。在设计过程中,DSP 和 FPGA 的通信问题一直是一个重点研究问题。提出了一种应用 SPI 协议的串口通信方案,利用 LVDS 线路驱动器/接收器实现 DSP(TMFS28335)中内置的 SPI 模块和多个 FPGA(XC6SLX9)上配置的 SelectIO 差分 IO 模块进行高速串行通信,并通过实验验证了该方案可以正确实现 DSP 与 FPGA 之间的串行通信,并具有通信速度高,抗干扰能力强,DSP 和 FPGA 可以分离较远距离等优点。

关键词: DSP;FPGA;SPI;LVDS

中图分类号: TP2 **文献标识码:** A **国家标准学科分类代码:** 510.8060

Design of LVDS high speed serial communication scheme based on DSP and FPGA

Liu Ximei Chen Yafei Qin Qingliang

(College of Automation and Electronic Engineering, Qingdao University of Science and Technology, Qingdao 266042, China)

Abstract: Electric power electronic device is widely used in power system, and in the process of design of power electronic drive device, because it is not only to carry out high-speed operation, but also to carry on the fast processing of high frequency signal. Therefore, the combination of DSP and FPGA is usually used. In the design process, the communication problem of DSP and FPGA has been a focus of research. In this paper, a serial communication scheme is proposed, which is based on SPI (LVDS), FPGA (IO) and SelectIO (XC6SLX9). The DSP module is configured with SPI (TMFS28335). The scheme has the advantages of high speed of communication, strong anti-interference ability, FPGA and DSP can be separated.

Keywords: DSP;FPGA;SPI;LVDS

1 引言

在电力电子装置控制系统设计中,如何实现不同控制芯片之间准确、高速、实时的通信是一个非常重要的问题。而 DSP 和 FPGA 作为当下最主流的两种控制器,DSP 是专门的微处理器,主要用于高速计算,其优势是软件的灵活性。适用于条件过程,特别是完成复杂的算法任务。而 FPGA 片内有非常多的逻辑门和触发器,具有大规模,高度集成,快速处理,频率高等优点。能满足复杂的时序逻辑设计。适用于高速处理。鉴于二者不同的优势,现在,在电力电子设备中,很多控制系统都选择 DSP+FPGA 框架。如要使两者能够有效而快速的进行数据通信,是需要研究的重要问题^[1-3]。

高速低压差分信号(LVDS)具有高传输速率、低功耗、抗干扰性能优越等特点,在差分 PCB 导线对或平衡电缆上可以达到几百 Mbps 甚至上 Gbps 的传输速率,同时还具有低电压、低辐射、低成本以及内含时钟等优点^[4-5]。再结合串行通信所用传输线少,比较适合长距离传输等优点,本文设计了基于 LVDS 总线的 DSP 与 FPGA 的高速串行通信系统。

2 设计方案

在大型电力电子系统中,往往采用 DSP+FPGA 框架的控制器,如图 1 所示。一般把 DSP 设计成控制器主机,若干个 FPGA 设计成从机。在此框架中,DSP 作为电力电子系统控制系统的的主机,一般完成的工作有直流电压、电

流,三相电压、电流等采集;控制算法,如PID、重复控制等算法、坐标变换等;而各FPGA从机主要承担高速保护,各种调制算法等,如PWM、SPWM、SVPWM等。

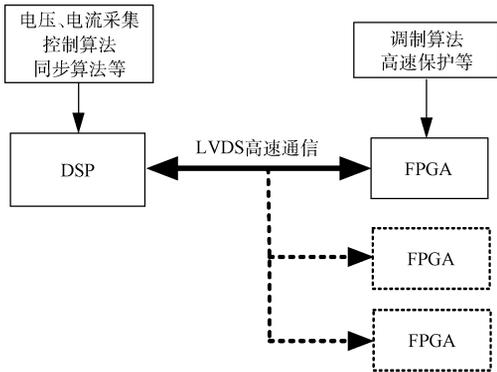


图1 系统结构

从图1可知,DSP和各FPGA之间的高速通信是非常重要的。DSP通过对其自带的SPI串行通信模块进行寄存器配置可以进行电平数据信号的发送和接收;FPGA则通过对其自带的SelectIO模块进行配置,将其配置成差分工作模式,可以进行差分数据信号的发送和接收。在二者的通信线路上通过LVDS线路接收器和驱动器对信号类型进行转换。DSP发出的电平信号经过LVDS驱动器转变为高速的差分信号输入到FPGA,而FPGA发出的差分信号经过LVDS接收器转变为电平信号输入到DSP,这样便能够实现两个控制器之间基于LVDS的高速串行通信,而且,由于使用LVDS方式进行通信,根据需要,DSP主机和各FPGA从机能进行长距离通信,完成分布式控制。

3 硬件设计

3.1 DSP 串行外设接口 SPI

在本设计中,选用了TI公司性能比较优异的一款DSP芯片TMS320F28335(以下简称DSP),这款DSP目前应用比较广泛。该DSP自带一个串行外设接口(SPI)模块,其中,串行外设接口(SPI)是一个高速同步的串行输入输出接口,能够将可编程位长的串行位流(1~16位)按可编程的位传输速率移入或移出设备。SPI模块通常用于DSP和外设以及其他处理器之间的通信^[6-7]。图2为设备的SPI接口示意图。

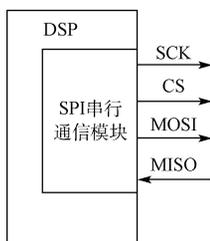


图2 SPI 串行通信模块接口

SPI模块是以主从方式工作的,这种模式通常有一个通信主机以及一个或多个通信从机,其接口包括以下4个外部引脚:1)SPI_MISO(SPI串行数据输入引脚);2)SPI_MOSI(SPI串行数据输出引脚);3)SPI_CS(SPI从传送使能引脚);4)SPI_SCK(SPI串行时钟引脚)。

SPI模块中包含12个(1×16位)的控制寄存器在通信开始之前,先要通过程序对这些控制寄存器的相关位进行赋值来配置所需要的SPI工作方式。SPI模块的12个寄存器控制SPI的操作,其中最主要的包括以下9个:1)SPICCR(SPI配置控制寄存器);2)SPICTL(SPI操作控制寄存器);3)SPISTS(SPI状态寄存器);4)SPIBRR(SPI波特率控制寄存器);5)SPIRXBUF(SPI串行接收缓冲寄存器);6)SPITXBUF(SPI串行发送缓冲寄存器);7)SPIDAT(SPI数据寄存器);8)SPIRXEMU(SPI仿真缓冲寄存器);9)SPIPRI(SPI优先级控制寄存器)^[8]。

3.2 FPGA SelectIO 模块

本设计中的FPGA芯片选择Xilinx公司的Spartan-6系列XC6SLX9,随着半导体工艺进步,FPGA的性能和集成度在不断提高,Spartan-6系列芯片是现在应用比较广泛的FPGA芯片,其内部集成了SelectIO模块,通过配置其逻辑资源和I/O标准,可以生成支持LVDS标准的接口,从而实现高速LVDS接口互联通信^[9-13]。

Spartan-6 FPGA中每个IO模块包括2个IOB,2个ILOGIC,2个OLOGIC,2个IODELAY^[14]。图3是I/O模块结构图。

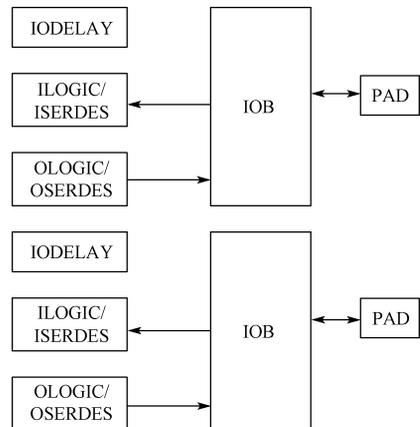


图3 SelectIO 模块结构

IOB内部包含输入、输出以及三态SelectIO信号驱动器。既可以支持单电平I/O标准又可以支持差分电平I/O标准。如果要配置差分IO则需要用到1个IO模块里的2个IOB。Xilinx软件库提供了大量与I/O相关的原语,通过对这些原语进行例化,可以指定I/O标准,本设计中将FPGA SelectIO模块的I/O标准指定为差分标准。

SelectIO模块内部包括基本资源和高级资源两种逻辑资源。这些逻辑资源被组合在一个IO模块内部,在通信开

始之前,通过对其相关寄存器进行赋值来配置所需要的逻辑资源,在单端 IO 模式中,主 I/O 缓冲器驱动 P 极,从 I/O 缓冲器驱动 N 极;在差分 IO 模式中,主 I/O 缓冲器和从 I/O 缓冲器组合起来使用,可以完成串行与并行的输入输出转换^[15]。

3.3 LVDS 线路驱动器/接收器

本设计选用了 ADI 公司的 ADN4665 低压差分信号线路驱动器芯片和 ADN4666 低压差分信号接收器芯片进行配合使用。

ADN4665 是一款 4 路的 LVDS 线路驱动器,ADN4666 是一款 4 路的 LVDS 线路接收器,二者都能达到 400 Mbps (200 MHz) 以上的数据速率,并且功耗非常低。图 4 为 ADN4665D、ADN4666 芯片引脚结构图。

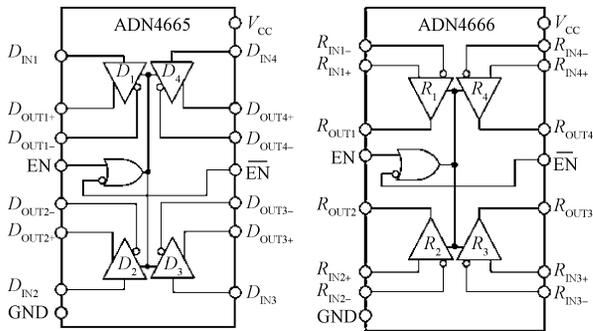


图 4 ADN4665/ADN4666 芯片引脚结构

ADN4665 将接受的低压 TTL/CMOS 逻辑信号转换为典型值为 ± 3.5 mA 的差分信号,输出以便驱动双绞线电缆等传输介质。ADN4666 接受低压(典型值 350 mV)差分输入信号,并将其转换为单端 3 V TTL/CMOS 逻辑电平。

3.4 系统硬件连接

本设计中,将 DSP 设计为通信主机,FPGA 设计为通信从机。时钟信号由 DSP 内部 CPU 提供给 SPI 模块,然后由 SPI 模块 SCK 引脚发送给 FPGA SelectIO 模块,从而使整个系统的高速串行通信过程保持同步。DSP 通过 SPI 串行数据输出引脚 MOSI 发送数据,经 ADN4665 将此电平数据信号变为低电压差分信号送入 FPGA 的输入差分 IO 引脚对 DATA_RX_P 和 DATA_RX_N;FPGA 发送给 DSP 的数据则通过输出差分 IO 引脚对 DATA_TX_P 和 DATA_TX_N 发出,经 ADN4666 将此低电压差分信号变为电平数据信号由 SPI 串行数据输入引脚 MISO 进入 DSP。图 5 为整个系统的硬件连接图。

4 软件设计

在本通信系统设计中,DSP 部分的控制程序通过 C 语言来编写,而 FPGA 部分的控制程序通过 Verilog 硬件描述语言进行编写。软件设计的主要内容包括:初始化 DSP 中 SPI 模块与 FPGA 中 SelectIO 模块,通过程序配置其相应的控制寄存器来获得期望的工作模式;由于本设计中将

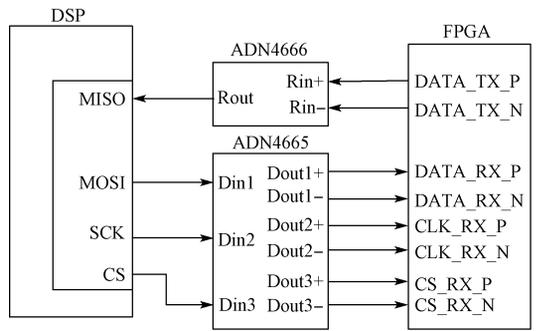


图 5 串行通信系统硬件连接

DSP 设计为通信主机,将 FPGA 设计为通信从机,因此,在对 DSP 与 FPGA 进行初始化和相关寄存器的配置后,DSP 在相应的界面发送数据;FPGA 通过中断程序及时接收到达串口的数据,识别并解析数据。

4.1 DSP 中 SPI 模块的初始化

对于整个通信系统来说,SPI 串行通信模块是其中的核心部分,而其能否正确运行在所期望的工作模式下则依赖于对 SPI 模块的初始化配置。该初始化配置总共包括两个部分。

1) SPI 初始化配置

这部分配置主要是对 SPICCR(SPI 配置控制寄存器)、SPICTL(SPI 操作控制寄存器)、SPIBRR(SPI 波特率寄存器)和 SPIPRI(SPI 优先级控制寄存器)这 4 个寄存器进行配置。通过对这些寄存器的相关位进行配置可以设置 SPI 工作模式(主控制器模式/从控制器模式);对 SPI_SCK 信号的极性和相位进行选择;对 SPI 模块的数据波特率进行设定;使能 SPI 模块中的各种中断以及设定不同种类中断的优先级等等。本设计中 SPI 初始化配置子程序如下。

```
void spi_init( )
{
    SpiaRegs. SPICRR. all=0x000F;
    SpiaRegs. SPICTL. all=0x0006;
    SpiaRegs. SPIBRR=0x007F;
    SpiaRegs. SPICRR. all=0x009F;
    SpiaRegs. SPIPRI. bit. FREE=1;
}
```

2) SPI FIFO 初始化配置

这部分配置主要是对 SPIFFTX(SPI FIFO 发送寄存器)、SPIFFRX(SPI FIFO 接收寄存器)以及 SPIFCT(SPI FIFO 控制寄存器)这 3 个寄存器进行配置。通过对这 3 个寄存器的相关位进行配置可以对 SPI 输入输出 FIFO 的工作模式进行设定。本设计中 SPI FIFO 初始化配置子程序如下。

```
void spi_fifo_init( )
{
    SpiaRegs. SPIFFTX. all=0xE040;
```

```

SpiaRegs. SPIFFRX. all=0x204f;
SpiaRegs. SPIFFCT. all=0x0;
}

```

4.2 DSP 中读写模块的设计

当对 DSP SPI 模块进行初始化配置以后,就可以进行数据的接收和发送了。DSP 首先发送一个数据流,FPGA 收到数据后,对数据进行识别和解析,然后发给 DSP 一个应答数据信号。下面给出 DSP 的通信部分程序,由于前文已经给出了 SPI 初始化子程序以及 SPI FIFO 初始化子程序,在此通信部分程序中直接调用,同时省略了 DSP 初始化程序。

```

void main(void)
{
    Unit16 sdata;    //发送的数据
    Unit16 rdata;    //接收的数据
    spi_fifo_init(); //初始化 SPI FIFO
    spi_init();      //初始化 SPI
    sdata=0xXXXX;   //设置发送数据的初始值
    for(; ;)
    {
        spi_xmit(sdata); //SPI 发送数据
        while(SpiaRegs. SPIFFRX. bit. REFFST! =1)
            //等待接收数据
        rdata=SpiaRegs. SPIRXBUF;
        if(rdata! =sdata)error();
        sdata++; //检测接收的数据
    }
    //插入所有的全局中断服务程序
    void delay_loop()
    {
        long I;
        for(i=0;i<1000000;i++){ }
    }
    void error(void)
    {
        asm("ESTOP0") //错误产生,程序停止
        for(; );
    }
}

```

4.3 FPGA SPI 通信的数据接收模块设计

在本设计中,由于将 DSP 设计为串行通信主机,FPGA 设计为串行通信从机,因此对于 FPGA 的软件部分只设计了其 SPI 数据接收模块。FPGA 作为通信从机,最应关心的是 SPI_CS(SPI 从传送使能引脚)、SPI_SCK(SPI 串行时钟引脚)、SPI_MOSI(主出从入引脚)这 3 个信号。在通信中^[15],FPGA 为了捕获 DSP 发过来的数据,需要通过对比 SPI_CS 与 SPI_SCK 的判断来捕获一定的数据。SPI_CS 为片选使能端,在片选有效时 FPGA 才可以接收数据。此

时,根据 SPI_SCK 的上升沿依次从 MSB 到 LSB 捕获 8 位的 SPI 数据。SPI 数据接收模块的 Verilog HDL 实现包括如下几部分^[13]。

1)定义接收模块的信号列表

```

timescale 1ns/1ps
module spi_receiver
(
    //全局时钟信号
    input  clk,
    input  rst_n,
    //DSP SPI 接口信号
    input  spi_cs,
    input  spi_sck,
    input  spi_mosi,
    input  spi_miso,
)

```

2)SPI 总线接口的数据同步模块设计

由于 SPI 数据从 DSP 输入,与 FPGA 完全不在同一个时钟域,同时 MCU 输入的数据相对于 FPGA 而言速率较低,所以可以直接采用 D 触发器来实现数据的同步。由于篇幅问题信号同步代码在此省略。同步后输出的 SPI 信号说明如表 1 所示。

表 1 同步后的 SPI 输出信号

序号	信号	说明
1	mcu_cs	经 D 触发器同步后的 SPI_CS 信号
2	mcu_data	经 D 触发器同步后的 SPI_MOSI 信号
3	mcu_read_flag	SPI_SCK 同步边沿检测后的上升沿使能信号
4	mcu_read_done	8 位 SPI 数据传输完毕信号

对 DSP 输出的 SPI 信号进行同步处理后,与 FPGA 始终保持一致,可以直接应用在 FPGA 逻辑电路中,提高了片间通信的数据稳定性。

3)8 位 SPI 数据接收。

由于 SPI 通信协议比较简单,所以数据的接收可以不用状态机来实现。在设计中主要根据 mcu_read_flag 信号来捕获 SPI 数据,Verilog HDL 代码如下所示。

```

reg  [3:0] rxd_cnt;
reg  [7:0] rxd_data_r;
always@(posedge clk or negedge rst_in)
begin
    if(mcu_read_flag)
begin

```

```

        rxd_data_r[3'd7-rxd_cnt[2:0]]<=
mcu_data;
        rxd_cnt<=rxd_cnt+1'b1;
    end
else
    begin
        rxd_cnt<=rxd_cnt;
        rxd_data_r<=rxd_data_r;
    end
end
end

```

这一部分的设计中,首先判断 `mcu_cs` 是否有效,当 `mcu_cs` 无效,即 `mcu_cs=1` 时,FPGA 挂起,否则根据使能信号 `mcu_read_flag` 来捕获 8 位数据。8 位 MSB→LSB 数据的捕获根据 `rxt_cnt` 的计数来实现。而当 `mcu_read_flag` 无效时,数据保持不变。

5 仿真实验验证

本设计中为了验证该通信方案的正确性与通信效果,使用 HDL 仿真软件 `modelsim` 对通信系统进行了仿真实验。用 `verilog` 语言编写了 3 个模块: A/D 测试模块,DSP 数据发送模块和 FPGA 数据接收模块。其中 A/D 测试用来模拟外部设备发送给 DSP 的各种 A/D 信号;DSP 数据发送模块用来模拟 DSP 向 FPGA 发送数据;FPGA 数据接收模块用来模拟 FPGA 接收 DSP 发送过来的数据。图 6 和 7 分别为 DSP 数据发送模块和 DSP 数据接收模块的通信时序仿真波形图。

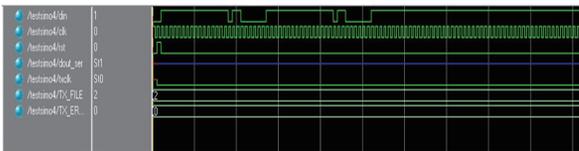


图 6 DSP 数据发送模块时序仿真

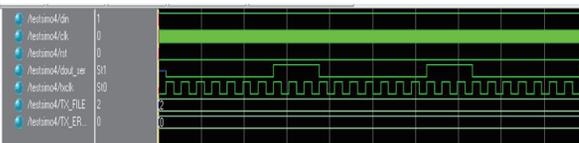


图 7 FPGA 数据接收模块时序仿真

由时序仿真波形图可以看出:该通信方案设计实现了 DSP 与 FPGA 数据的接收和发送,可以实现有效数据位的提取,并能够按照一定的波特率串行输出完整的一帧数据格式。通过预置分频系数,可以产生需要的接收或发送时钟

6 结 语

本文提出了一种应用 SPI 协议实现 DSP 和 FPGA 的

串口通信方案,利用 LVDS 线路驱动器/接收器实现 DSP 中内置的 SPI 串行通信接口模块和 FPGA 上配置编写的 SelectIO 差分 IO 模块进行高速串行通信。通过在实际的硬件电路板上调试以及仿真实验,验证了该方案可以正确地完成任务的串行通信,有效提高了数据传输的速度。此方法为采用 DSP + FPGA 作为硬件平台的系统提供了一种高速串行通信的参考方案。

参考文献

- [1] 汉泽西,孙燕妮. DSP+FPGA 技术[J]. 电子技术, 2007(2): 18-21.
- [2] 高杨,刘荣科,胡伟. 基于 FPGA+DSP 的高清视频图像系统设计与实现[J]. 电子测量技术, 2011, 34(1):69-73.
- [3] 朱军,高清维,韩璐. 基于 DSP 和 FPGA 的数据通信实现方案[J]. 电子测量技术, 2009,32(1):31-35.
- [4] BURTON G. 16 -Channel DDR LVDS interface with Per-channel alignment [Z]. America: Xilinx Inc,2006.
- [5] 孟令军,张国兵,王宏涛,等. 基于 FPGA 的 LVDS 高速差分接口应用[J]. 化工自动化及仪表,2010(5): 94-96.
- [6] 刘陵顺,高艳丽,张树团,等. TMS320F28335 DSP 原理及开发编程[M]. 北京:北京航空航天大学出版社, 2011.
- [7] 林锥王,立德周,洁琼,等. 基于自适应 SPI 总线的列车 PIS 系统研究[J]. 电子测量与仪器学报, 2012, 26(4): 312-319.
- [8] 宋鹏飞,王厚军,曾浩. 高速深存储数据采集系统研究与设计[J]. 仪器仪表学报,2011,32(4):903-912.
- [9] 牛毅,马忠松. 基于 FPGA 的高速 Viterbi 译码器[J]. 国外电子测量技术,2011,30(8):63-65.
- [10] 韩彬,于潇宇,张雷鸣. FPGA 设计技巧与案例开发详解[M]. 北京:电子工业出版社,2014.
- [11] 莫海勇,张申科. FPGA 中双向端口 I/O 的研究[J]. 国外电子测量技术, 2005,24(6): 49-51.
- [12] 张松,李筠. FPGA 的模块化设计方法[J]. 电子测量与仪器学报,2014,28(5):560-565.
- [13] 兰太吉,宁飞,贺庚贤,等. 基于 FPGA 与 DSP 的活塞环漏光度自动测量系统[J]. 电子测量技术, 2015, 38(7):106-109.
- [14] 王少贤,张启荣,彭宇,等. 超越函数 FPGA 计算的最佳等距分段线性逼近方法[J]. 仪器仪表学报, 2014, 35(6):1209-1216.
- [15] 姚君. 基于状态机方法的 CAN 总线通信的 FPGA 实现[J]. 国外电子测量技术,2015,34(3):64 -68.

作者简介

刘喜梅,1961 年出生,博士,博士生导师,研究方向为电力电子智能控制、复杂系统的建模及优化控制。

陈亚斐,1989 年出生,硕士研究生,研究方向为控制科学与工程。

E-mail:swjtuqust@163.com

覃庆良,1975 年出生,讲师,研究方向为电力电子。