

基于扩展格雷码的高速数据传输加固设计

庄 灿 齐 永 石和荣

(南京电子技术研究所 南京 210000)

摘要: 星载雷达系统由于其工作环境和高速信号传输特性,在数据传输过程中无可避免的会因为各种干扰而出现误码。为了加固高速信号抵抗传输过程中的误码干扰,采用能纠错3位的完备码格雷码,经添加一位奇偶校验位扩展得到的扩展格雷码设计了编译码电路。根据扩展格雷码的生成矩阵和校验矩阵,以及一种硬判决译码算法,基于FPGA实现了扩展格雷码的并行信息编译码器以及串行信息编译码器。行为仿真结果表明该扩展格雷码编码器能正常实现连续编码,同时在模拟星载雷达系统因为干扰而出现的误码时,该译码器能自我纠正编码分组内3个以内的任意误码组合,达到了数据传输加固的目的。

关键词: 误码;加固;扩展格雷码;FPGA

中图分类号: TN919.4 **文献标识码:** A **国家标准学科分类代码:** 510.40

The design of high-speed signals transmission reinforce based on extended golay code

Zhuang Can Qi Yong Shi Herong

(Nanjing Institute of Electronic Technology, Nanjing 210000, China)

Abstract: In the data transmission process of the spaceborne radar, it is inevitable to be influenced by various interferences and get bit errors because of its working environment and high-speed transmission characteristics. In order to reinforce the high-speed signal and protect the process of transmission from disturbing, one of the perfect codes called golay code is taken and it can correct include 3 error bits. Extended golay code can be created when a parity check bit is added at the end of golay code, by the way, its encode and decode circuits were designed. According to the extended golay code generate matrix and parity matrix, as well as a hard decision decoding algorithm, the circuits were implemented based on FPGA by verilog hardware description language, including parallel encoder/decoder and serial encoder/decoder. Finally, the behavior simulations showed that the extended golay code's encoder could influentially encode, at the same time the decoder could correct any combination within 3 bit errors when simulate the spaceborne radar was interfered and get error bits, it surely achieved the expected goal to reinforce the data transmission process.

Keywords: bit error; reinforce; extended golay code; FPGA

1 引言

在星载雷达工作的空间环境中,存在大量的空间辐射,包括宇宙辐射,范艾伦带,激光辐射和太阳耀斑等^[1]。在空间辐射环境中的半导体器件容易受到单粒子翻转(single event upset)的影响^[2]。所谓SEU,是由带电粒子轰击到集成电路器件的敏感区域引起的,通常会导致数据传输单元缓存内容改变(即位翻转),造成数据改变。这是一种随机性的非破坏性的差错。同时,自同步传输编码调制(如8B/10B编码)以及高速信号板间或机箱间传输时的串扰、阻抗不连续等所导致的信号完整性差,也会使得误码衍生。

在星载雷达上数据的缓存以及信号处理多使用基于

SRAM(static random access memory, SRAM)的FPGA,针对空间环境SEU干扰事件,Xilinx公司、Sandia国家实验室和其他单位联合推出了Xilinx模块三重冗余(Xilinx triple module redundancy, XMTR)解决办法。除此之外,通过器件冗余的方式也能在一定程度上对抗SEU^[3]。

数据传输加固的概念来源于抗干扰纠错设计,目的是为了提高数据的可靠性。如果说三模冗余和器件是增加硬件资源的冗余,那马纠错编码算法就是增加数据的冗余。

纠错编码技术在卫星通信,移动通信以及数据存储等许多数字系统中已经广泛应用^[4-7]。在众多纠错编码算法中,格雷码是唯一已知的可以纠错多位的二元完备码。扩展格雷码就是在格雷码的基础上加一位奇偶校验位。比起

显然, $P' = P$, 可知

$$s = (x, y) \cdot \begin{pmatrix} P \\ I_{21} \end{pmatrix} = x \cdot P + y \cdot I_{21} = x \cdot P + y \quad (4)$$

利用 $P \cdot P' = I_{12}$ 的性质, 可以用 y, s 和 P 将 x 表示成如下形式:

$$x = (s + y) \cdot P \quad (5)$$

令 w 表示汉明重量, 对于任何一个错误重量 $w(e) \leq 3$ 的可纠正错误模式, 有下面四种可能性:

- 1) $w(x) = 0$ 且 $w(y) \leq 3$, 2) $w(x) = 1$ 且 $w(y) \leq 2$
- 3) $w(x) \leq 3$ 且 $w(y) = 0$, 4) $w(x) = 2$ 且 $w(y) = 1$

这 4 种可能性定义了 4 种不同类型的可纠正错误模式。对于 $0 \leq j \leq 3$, 令 $e_j = (x, y)$, 其中 $w(x) = j$ 且 $w(y) = 3 - j$ 。假设 $e = e_0$, 由式(4)得 $s = y$ 且 $w(s) = w(y) \leq 3$ 。在这种情况下,

$$e = (\vec{0}, s)$$

其中 $\vec{0}$ 是全零的 12 维向量。假设 $e = e_1$ 和 $x = u_i$ 。那么, 由式(4)得:

$$s = y + u_i \cdot P = y + p_i$$

因此, $y = s + p_i$, 且 $w(s + p_i)$, 且 $w(s + p_i) = w(y) \leq 2$ 。在这种情况下

$$e = (u_i, s + p_i)$$

假设 $e = e_2$ 或 $e = e_3$, 且 $w(y) = 0$ 。由式(5)得:

$$x = s \cdot P$$

且 $w(s \cdot P) = w(x) = 2$ 或 3 。对于这种情况, 可以将 e 表达成下式:

$$e = (s \cdot P, \vec{0})$$

现在假设 $e = e_2$ 且 $w(y) = 1$ 。如果 y 的非零分量在第 i 个位置, 那么 $y = u_i$ 。由式(5)得:

$$x = (s + u_i) \cdot P = s \cdot P + u_i \cdot P = s \cdot P + p_i$$

且 $w(s \cdot P + p_i) = w(x) = 2$ 。相应的, 可以将 e 表示成如下形式:

$$e = (s \cdot P + p_i, u_i)$$

根据前面的分析和可纠正错误模式的表达式, 可设计出扩展格雷码的一个译码算法。译码由下列 8 个步骤组成^[10]:

- 1) 由接收向量 r 计算伴随式 s ;
- 2) 如果 $w(s) \leq 3$, 则置 $e = (\vec{0}, s)$, 转到步骤 8);
- 3) 如果对于 P 中的某个行向量 p_i 有 $w(s + p_i) \leq 2$, 则置 $e = (u_i, s + p_i)$, 转到步骤 8);
- 4) 计算 $s \cdot P$;
- 5) 如果 $w(s \cdot P) = 2$ 或 3 , 则置 $e = (s \cdot P, \vec{0})$, 转到步骤 8);
- 6) 如果对于 P 中的某个行向量 p_i , 有 $w(s \cdot P + p_i)$, 则置 $e = (s \cdot P + p_i, u_i)$, 转到步骤 8);
- 7) 如过错误大于等于 4 个, s 将与以上 4 中错误模式

均不匹配, 停止译码或者要求重传(即纠错失败);

8) 令译出的码字为 $v = r + e$, 译码结束。

4 编码器设计与仿真

编码的主要目标是得到 12 比特的监督码字。根据线性分组码的编码公式 $c = m \times G$, 把信息码字向量 m 在生成矩阵 G 中相应的列为 1 的项相与即可得到编码信息。由生成矩阵的结构可知, 编码信息前 12 Byte 是信息比特, 后 12 Byte 是校验比特。并行输入并行输出的编码器电路图如图 1 所示。

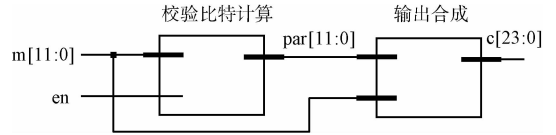


图 1 (24,12)扩展格雷码并行信息编码器

由图可知, 编码器是一个组合电路。其中 $m[11:0]$ 是 12 位输入信息, $par[11:0]$ 是 12 位校验信息, $c[23:0]$ 是 24 位编码信息, en 是编码使能。由 $c = m \times G$ 可以得到表 1。

表 1 (24,12)格雷码编码结果

m	c
101001100011	1010011000111111010000101
101101100001	1011011000011000101101110
111001101011	111001101011100100001001

对应的十六进制数为如表 2 所示。

表 2 (24,12)格雷码编码十六进制结果

m	c
A63	A63E85
B61	B618B6
E6B	E6B909

并行信息码字 $m[11:0]$, 经过校验比特计算电路得到 12 Byte 的校验码字 $par[11:0]$, 再和输入信息码字一起合成输出 24 Byte 的编码信息 $c[23:0]$ 。并行数据编码器仿真结果如图 2 所示。



图 2 扩展格雷码并行信息编码仿真结果

从图 2 可以看到, 编码结果和表 2 的预期结果一致, 证明了设计地合理性。

如果消息是串行输入的, 并且要求串行输出的话, 则

需要加入串并转换器和并串转换器。串并转换需要 12 个时钟,编码的到 24 个码字,则并串转换需要 24 个时钟。为了实现连续编码,需要对编码时钟进行二分频。其中串并转换器使用二分频时钟,并串转换器使用原时钟。编码电路如图 3 所示。

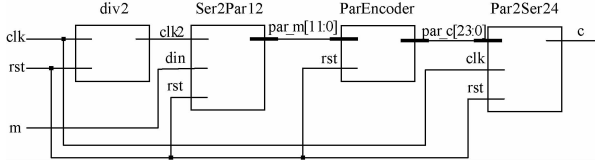


图 3 (24,12)扩展格雷码串行信息编码器

图中,clk 是系统时钟,rst 是复位信号,m 是串行输入信息,c 是编码串行输出信息。div2 是二分频器,Ser2Par12 是位串并转换器,ParEncoder 是并行信息编码器,Par2Ser24 是 24 位并串转换模块。加入二分频器是由于一组输入信息是 12 位,而一组输出信息是 24 位,要使得编码连续不间断进行,输入和输出的时间间隔必须保持一致,即完成一组信息输入的时间,必须完成一组信息的输出。串行信息编码器仿真结果如图 4 所示。

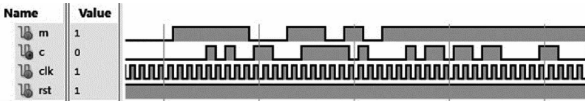


图 4 扩展格雷码串行信息编码仿真结果

图 4 的串行信息编码器仿真图对比于图 3 的并行信息编码器仿真结果,数据的输入和输出是串行的,编码结果保持一致,设计合理。

5 译码器设计与仿真

根据前文扩展格雷码译码原理,设计了一种相应的扩展格雷码译码电路。译码电路将译码算法分为 4 种错误模式,电路主要包括:伴随式计算电路,4 种码字重量判决器。每个码字重量判决器对应输出不同的错误图样,该译码电路也是一个组合逻辑,电路图如图 5 所示。

输入 24 Byte 接收码字 $r[23:0]$,先由校验矩阵 H 计算得到伴随式 $s[11:0]$,再将伴随式送入 4 种错误模式判断器,判断器优先级从上到下依次降低,满足高优先级时即关闭相应开关,打开其余开关,输出对应的错误码字 $e[23:0]$,与接收码字相加得到正确的信息,完成错误纠正。和并行信息编码器一样,译码器也是一个组合逻辑。仿真数据如表 3 所示。

其中 r 是包含 1 到 3 个错误的接收信息, v 是纠正后的正确信息。对应的十六进制表示如表 4 所示。

扩展格雷码并行信息译码的仿真结果如图 6 所示,图中 en 是编码使能, $r[23:0]$ 是 24 Byte 接收信息, $v[23:0]$ 是 24 Byte 纠正输出信息。

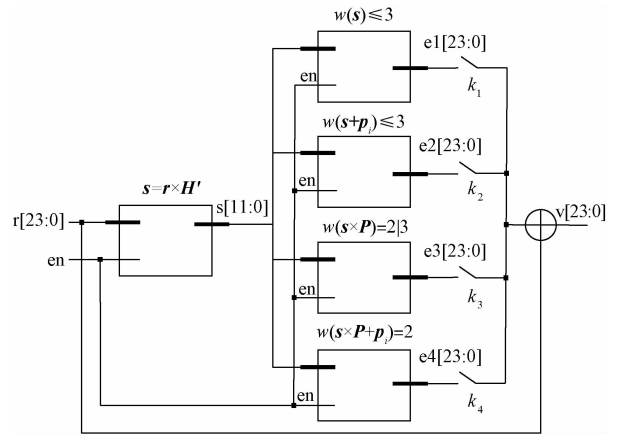


图 5 扩展格雷码并行信息译码器

表 3 (24,12)格雷码译码结果

r	v
111001100011111010000101	101001100011111010000101
111101100001101010110110	101101100001100010110110
10001101011100110001001	111001101011100100001001

表 4 (24,12)格雷码十六进制译码结果

r	v
E63E85	A63E85
F61AB6	B618B6
B68989	E6B909

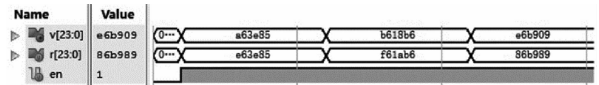


图 6 扩展格雷码并行信息译码仿真结果

从图中可以看到,以表 4 的 3 组接收消息 r 为例,它们包含各包含 3 个以内的错误 Byte,译码输出为对应的正确信息 v ,证明译码器能正常工作。大量的仿真实验表明,对于分组内任意的 3 个以内的错误组合,译码器都能实现自我纠正。

与串行信息编码器对应的,当输入接收比特是串行信息,且要求输出信息也是串行信息时,则需要对信息先进行串并转换,再输入译码器,得到正确的信息后,再进行并串转换,串行输出。电路图如图 7 所示。

图中 clk 是系统时钟,rst 是复位信号,r 是串行接收信息,v 是串行纠正输出信息。Ser2Par24 是 24 位串并转换器,ParDecoder 是并行信息译码器,Par2Ser24 是 24 位并串转换器。串行接收信息通过串并转换器,经历 24 个时钟周期后,转化为并行信息,并送入组合逻辑译码器。得到译码结果后,24 位译码信息送入并串转换器,经历 24 个

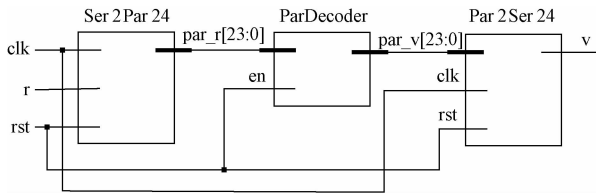


图 7 扩展格雷码串行信息译码器

时钟转化为串行信息并输出。仿真结果如图 8 所示。

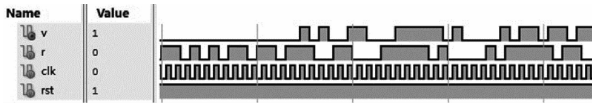


图 8 扩展格雷码串行信息译码仿真结果

图 8 中,仿真输入数据和图 6 保持一致,可以看到,译码输出也与并行译码结果一致。

6 结 论

本文针对空间环境中的粒子效应,星载雷达高速信号自同步传输编码调制以及信号完整性差等因素可能导致的误码,研究了扩展格雷码编译码器在 FPGA 上的实现。包括基于矩阵乘法的并行信息编码器,基于硬判决译码算法的并行信息译码器,以及配合串并转换器和并串转换器和串行信息编译码器。仿真结果表明,经扩展格雷码编码后的数据对于 3 个以内的任意错误组合都可以自我纠正,达到了数据加固的目的,有助于提高空间中星载雷达系统数据抗干扰能力。

参考文献

- [1] 李桃生,陈军,王志强. 空间辐射环境概述[J]. 辐射防护通讯, 2008, 28(2):1-9.

- [2] 周冠杰,赵玉洁. 星载雷达空间环境分析及其应对措施[C]. 电子机械和微波结构工艺学术会议, 2006.
- [3] 汤琦. Xilinx FPGA 高级设计及应用[M]. 北京:电子工业出版社, 2012.
- [4] 张旻,陆凯,李歆昊. Turbo 编码类型的盲识别方法[J]. 电子测量与仪器学报, 2015, 29(5):701-707.
- [5] 白雪梅,田成军,王凌云. 基于 DSP 的 Turbo 码在空间光通信系统中的应用[J]. 仪器仪表学报, 2006, 27(z1):681-683.
- [6] 卢庆林. 基于单片机 MPS430F 的无线通信系统设计[J]. 国外电子测量技术, 2014, 33(12):74-77.
- [7] 兰羽,卢庆林. 基于 PTR2000 模块的无线通信系统设计[J]. 电子测量技术, 2014, 37(2):124-126.
- [8] 林舒,科斯特洛. 差错控制编码:基础和应用[M]. 北京:人民邮电出版社, 2007:125-128.
- [9] 叶芝慧. 信息论与编码[M]. 北京:电子工业出版社, 2011:187-193.
- [10] 曹型兵,李超杰. Golay 码译码算法的研究及改进[J]. 数字技术与应用, 2014 (1): 114-115.

作者简介

庄灿,1990 年出生,硕士研究生,主要研究方向为雷达信号处理。

E-mail:zhuangcan@163.com

石和荣,1965 年出生,研究员,高级工程师,主要研究方向为雷达信号处理平台设计。

齐永,1978 年出生,高级工程师,主要研究方向为雷达信号处理。

(上接第 46 页)

- [7] 李远茂,刘桂雄,曾成刚. 基于 GPS 的室外放射源信息监控系统设计[J]. 电子测量与仪器学报, 2016, 30(8):1244-1253.
- [8] 穆佩红,闫柏玲,牛玉刚. GSM 水浸报警系统的设计与实现[J]. 自动化仪表, 2016, 37(6):43-50.
- [9] 黄刚. 实时修正偏移量的寻迹机器人控制系统研究与实现[J]. 仪器仪表学报, 2015, 36(11): 2538-2547.
- [10] 曾明如,罗浩,徐小勇,等. 基于 ARM 和 NRF905 组网的智能家居系统设计[J]. 计算机测量与控制, 2015, 23(4):1418-1427.

作者简介

王博,1995 年出生,大连民族大学信息与通信工程学院电子信息工程专业学生,主要研究方向为:嵌入式系统开发。

刘忠富(通讯作者),1973 年出生,大连民族大学信息与通信工程学院电子信息工程专业,硕士学位,讲师,主要研究方向为:物联网技术。

E-mail:lzhongfu@dlnu.edu.cn