

基于FPGA的高速大容量存储与传输系统

王子懿 沈三民 杨峰 余硕斌

(中北大学 仪器科学与动态测试教育部重点实验室 太原 030051)

摘要: 随着采集技术的发展,采集的精度及数据量越来越大,对数据存储及传输也提出了更高的要求。为解决嵌入式系统采集速度快、实时性强等问题,设计了将现场可编程门阵列(FPGA)、NAND Flash及千兆以太网PHY芯片VSC8641相结合的数据传输系统,通过对Flash的流水线存储模式及千兆以太网传输技术进行深入研究,实现了高速Flash控制器的设计及基于UDP/IP协议的以太网帧格式的全双工模式组包与解包。并在自主研发的硬件平台上验证了该方案能够将采集到的数据高速存储到Flash中,并稳定、高速地回传到PC机中进行处理。

关键词: 千兆以太网;FPGA;VSC8641;NAND Flash;流水线

中图分类号: TP274 **文献标识码:** A **国家标准学科分类代码:** 510.99

High speed and large capacity storage and transmission system based on FPGA

Wang Ziyi Shen Sanmin Yang Feng She Shuocheng

(Key Laboratory of Instrumentation Science & Dynamic Measurement, Ministry of Education, North University of China, Taiyuan 030051, China)

Abstract: With the development of acquisition technology, the accuracy of acquisition and the amount of data are getting larger and larger, and higher demand is put forward for data storage and transmission. In order to solve the problems of fast acquisition speed and strong real-time performance of embedded system, this paper designs a data transmission system that combines field programmable gate array (FPGA), NAND Flash and Gigabit Ethernet PHY chip VSC8641. Through in-depth research on the pipelining storage mode of Flash and Gigabit Ethernet transmission technology, the design of high-speed Flash controller and the full duplex mode grouping and unpacking of Ethernet frame format based on UDP and IP protocol are realized. And on the hardware platform developed by ourselves, it is verified that the scheme can store the collected data in Flash, and transmit it stably and high-speed to PC for processing.

Keywords: gigabit ethernet;FPGA;VSC8641;NAND Flash;assembly line

0 引言

现代采集工作中,采集到的数据量呈几何级数增长。在数据的实时处理中有大量的数据需要存储及传输,因此对采集系统的存储速度与带宽也提出了更高的要求^[1]。

在过去的20年里,嵌入式系统一直使用ROM(EPROM)作为它们的存储设备,然而近年来闪存(Flash)的成本逐渐降低,容量、稳定性及传输速度都在逐步提升,使得Flash开始取代ROM(EPROM)在嵌入式系统中的地位。而在数据的高速传输方面,千兆以太网由于其价格低廉、传输速度快、距离远、具有很高的灵活性及可靠性等优点^[2],被广泛应用于工业、教育及航空航天等领域^[3]。其超高的带宽能

够保证数据在测试系统与计算机之间的高速传输。

为解决数据量及数据精度增高带来的数据存储与传输方面的问题,本文基于FPGA完成高速大容量数据存储及传输系统设计,实现通过FPGA^[4]控制Flash在写模式下进行数据的写(编程),以及在读模式下将用户数据读出并通过千兆以太网将其发送到PC机,该系统能够广泛应用于各种采集数据的存储,上传及上位机指令与数据的下发等场景。

1 高速存储系统设计

1.1 系统整体架构

本次设计主要分为采集数据的存储以及千兆以太网的传输两个主要模块,整体的系统架构如图1所示。

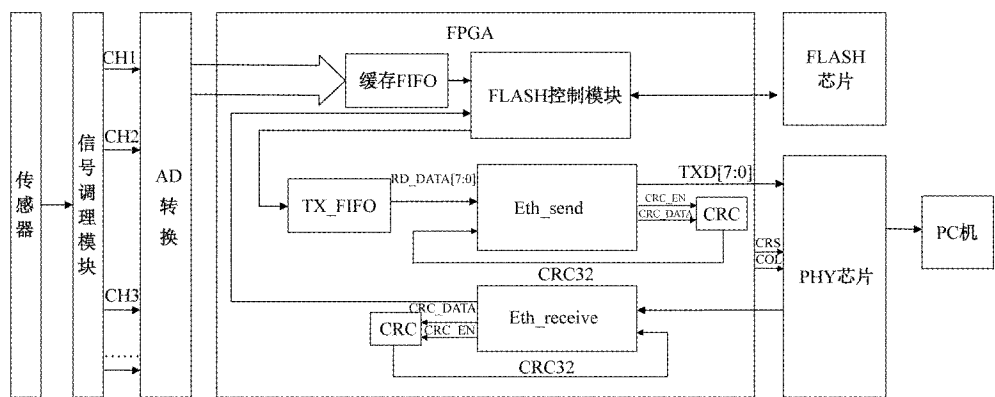


图1 系统整体架构

其中存储模块包括Flash控制器部分和Flash芯片,数据传输模块包括以太网发送与接收模块、PHY芯片及RJ45接口。其中主要控制部分以及数据的交互通过FPGA实现。

1.2 Flash控制模块

Flash控制模块是整个系统的核心部分,该控制器控制着整个设计的工作流程。整个系统的功能能否准确的实现,系统中的其他设备级模块能否正常与Flash存储器件完成交互都与该主控逻辑的设计有关。

该控制模块通过FPGA设计完成^[5],主要分为顶层控制模块和底层操作模块,其中底层操作模块通过有限状态机来完成。通过将状态转移控制信号输出为端口并连接到控制模块进行控制。其中操作模块的状态机如图2所示。

NAND Flash芯片选用Micron公司的MT29F128G08CFAAB,该款Flash芯片容量较大,采用ONFI接口标准,每片可达到128GB,内部的阵列组织也更为复杂。每一片Flash芯片中包含两个LUN(Logical Unit),每一个LUN中包含两个Plane,每一个Plane中包含2048个Block,每一个Block中包含256个page。故每一个Page为(8k+448 bytes)。由式(1)可以看出该款

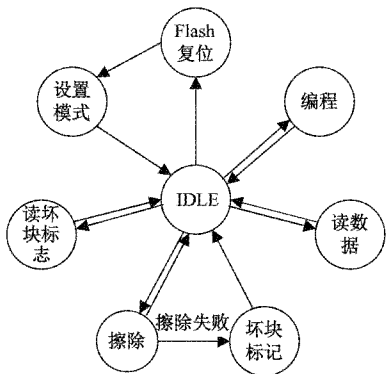


图2 FLASH控制模块状态机转移图

Flash芯片的每个部分的容量及总容量^[6]。

$$(8\text{ k}+448\text{ bytes})\times 256\text{ pages}\times 2\text{ 048 blocks}\times 2\text{ planes}\times 2\text{ LUNS}=138\text{ 240 MB}=128\text{ GB}+7\text{ GB}\quad (1)$$

有限状态机在空闲状态时处于IDLE状态,一旦接收到上层控制模块发来的指令,则立即进入相应的指令处理状态,当指令处理完成,则发送操作完成信号并返回IDLE状态继续等待接收下一个指令。该款芯片遵从ONFI协议,ONFI协议规定好了每一个操作的具体流程,NAND Flash的常用指令集如表1所示。

表1 NAND Flash操作指令集

相关操作	命令 cycle1	命令 cycle2	命令 cycle3	命令 cycle4
RESET	FFh	无	无	无
SET MODE	EFh	01h	自定义	无
READ PAGE	00h	Address(5 Cycles)	30h	无
PROGRAM PAGE	80h	Address(5 Cycles)	Data	10h
ERASE BLOCK	60h	Address(3 Cycles)	D0h	无

每片Flash上电时都需要等待一定的时间来使Flash内部进入稳定状态,上电完成后第一个操作必须是复位(FFh),等待复位完成后,设置Flash的模式,由于需要提高各个操作的运行速度,所以选用最快的模式Mode5,通过输入相应的命令及地址即可令Flash进入异步模式5。

另外,由于Flash的内部结构原因,每个数据位只能由1变为0,所以在写(编程)操作之前一定是先进行擦除操作。

在每一套操作指令输入后,Flash会通过进入相应的BUSY状态,来对输入的指令进行处理,经过一段时间后,R/B信号为置为高电平,Flash进入空闲状态,代表该

LUN 已经将指令处理完成,若是复位、设置模式、写页、擦除块等操作则代表该操作已经处理完成,若是读页操作,则需要通过 RE 的下降沿与 DQ 信号的配合来获取读到的数据。

1.3 以太网传输模块

发送数据采用目前最为主流的 TCP/IP 协议^[6]。TCP/IP 协议为协议簇,包含多个网络层和运输层协议^[7]。

由于 FPGA 资源及维护难度的限制,在综合考虑到传输的需求后,运输层选择仍具有传输效率的 UDP 协议,网络层选择 IP 协议,数据链路层选用 MAC 协议^[8],CRC 校验部分采用并行 CRC 算法^[9-10],物理层采用外接 PHY 芯片的方式。综合考虑后的各部分协议内容如图 3 所示^[11]。同时在发送数据时,帧与帧之间还应存在一定的帧间隙 (IFG)^[12]。

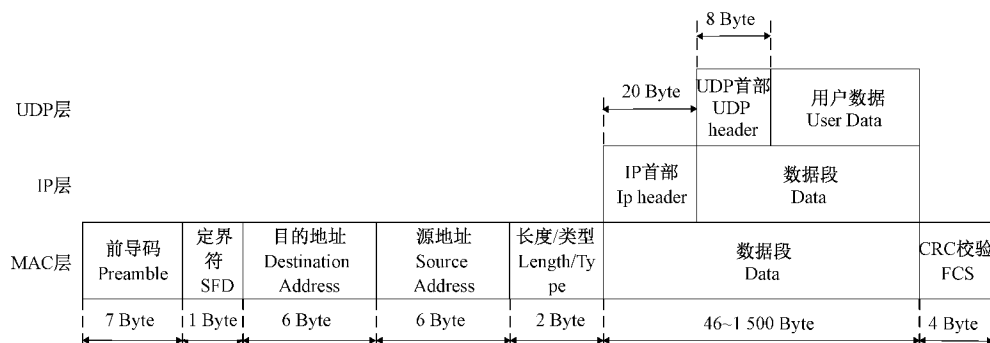


图3 以太网帧格式

2 NAND Flash 速度提升

由 Flash 的性能可知,该款 Flash 的块擦除速度为 3.8 ms,页读取速度为 75 μ s,页写入速度为 1300 μ s。通过分析各部分时序可以看出,读取时不仅需要共用 CE_n 与 R/B 信号线,还需要各个 LUN 的共用信号同时操作,相较于 R/B 繁忙时间 75 μ s,读取时的大部分时间都需要用到共用信号线,所以读取的速度很难得到提升;擦除时可以所有 LUN 同时操作,可以有较快的擦除速度;但是写入(编程)时需要大量的时间,并且大部分的写入时间都处于 R/B 的繁忙时间,各个共用信号线的操作相较来说很少。所以我们可以过一定的优化来提升 NAND Flash 的存储速度。

FPGA 设计的一个重要思想为面积与速度互换思想,面积和速度是一对对立统一的矛盾体,要求同时具备设计面积最小、运行频率最高是不现实的。更科学的设计目标应该是在满足设计时序要求的前提下,占用最小的芯片面积;或在所规定的面积下,使设计的时序余量最大。这两种目标的实现体现了面积与速度的平衡思想。所以为了提升 Flash 的存储速度,可以采取面积换取速度的方式^[5]。

采用流水线设计方式,由 Flash 芯片内部结构可以看出该片 Flash 芯片是由两个 LUN 组成的,有两个 CE 片选信号。每个 LUN 的容量为 64 GB,即 8 GB。实际可以将该芯片看作两片 8 GB 的芯片的列扩展。异步模式 5 的基本时钟频率为 50 MHz。单 Flash 流水线设计如图 4 所示。

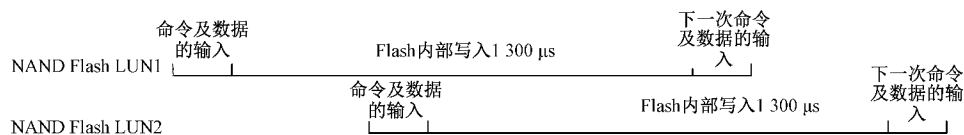


图4 二级流水线调度思想

若采用传统的单平面页编程方式,即先顺序写 chip1,写满后再顺序写 chip2,每写入一页的数据,芯片就进入自动编程的时间 1300 μ s,由此方式得到的存储速度为

$$8192 \text{ B} \div 1464 \mu\text{s} = 5.6 \text{ MB/s}$$

而通过图 4 的流水线操作,可以将数据的存储速度翻倍,达到 11.2 MB/s。

经过分析,Flash 的内部写入时间约为命令及数据输入时间的 7 倍,所以可以通过电路及程序的优化,将四片 Flash 通过一套控制信号连接,仅有 CE_n 与 R/B 信号不同,这样既可以减少信号线的数量,降低 PCB 板的布线难度,最大化使用控制信号。又可以加快 Flash 的存储速度。

四片 Flash 中共包含 8 个 LUN,可以设计出如图 5 所示的流水线思想。最大化加快存储速度。

使用如图 4 所示的流水线设计可以将 Flash 的存储速度提升至最快,即

$$5.6 \text{ MB/s} \times 8 = 44.8 \text{ MB/s}$$

3 硬件电路的设计

3.1 FLASH 控制模块

ONFI 标准定义了 NAND Flash 的设备接口。各接口方向及功能如表 2 所示。

从表 2 可以看出,Flash 的控制信号中,CE_n 与 R/B

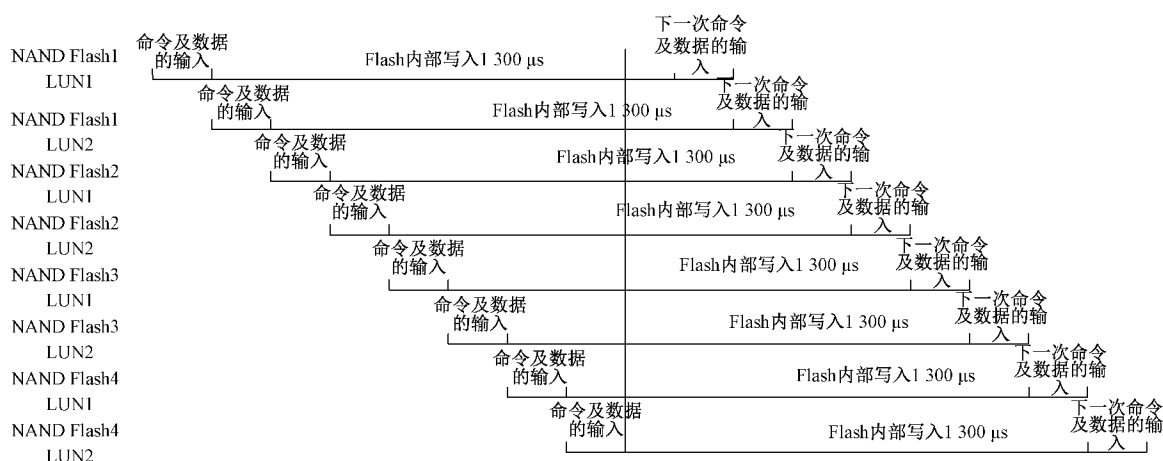


图5 最大化8级流水线调度思想

表2 ONFI接口标准

信号名	方向	功能描述
R/B(Ready/Busy)	O	表示对象状态,信号为低表示操作正在处理中(Busy),为高表示空闲(Ready)
RE_n(Read Enable)	I	读使能信号
WE_n(Write Enable)	I	写使能信号
CE_n(Chip Enable)	I	芯片使能
CLE(Command Latch Enable)	I	命令锁存使能
ALE(Address Latch Enable)	I	地址锁存使能
DQS[7:0](Data Strobe)	I/O	数据选通信号

信号每个 LUN 均有一个,其余信号为 Flash 的共用信号,连接到每个 LUN,通过片选信号 CE_n 选择当前操作的是哪一个 LUN。

3.2 以太网模块

以太网模块通过 GMII 接口将 FPGA^[13]与 PHY 芯片连接,并通过 RJ45 网口连接到 PC 机。其中 PHY 芯片选用 VSC8641 芯片^[14],该芯片的配置方式有两种。一种是通过 SMI 接口对芯片内部的各个寄存器进行配置,来实现不同的功能。另一种方式是由 PHY 芯片中的 CMODE 引脚所配置的电阻值对芯片进行设置,形成 16 进制电平,代表四个控制位。VSC8641 提供了 5 个 CMODE 配置引脚,每个 CMODE 引脚都映射到一个配置位,即这种配置方式可以对 20 个规定好的常用寄存器进行设置^[15]。

4 仿真与验证

4.1 FPGA 仿真

根据以上的流水线原理以及相应的读取和擦除 Flash 流程,进行一系列的 FPGA 程序设计,并搭载镁光官方提供的 Verilog 仿真模型进行程序方面的验证,当搭载一片 Flash 芯片,即两个 LUN 时,可以产生两级流水线,通过使用 Xilinx 提供的 ISE14.7,并外接 ModelSim 对编写的 Verilog HDL 硬件描述语言进行仿真,实现了 RESET, SET MODE, PROGRAM, ERASE, READ 等操作,并实现

了所有 Plane 同时擦除以及单片 Flash 两级流水线和四片 Flash 八级流水线操作,图 6 为两种流水线的 PROGRAM 操作。

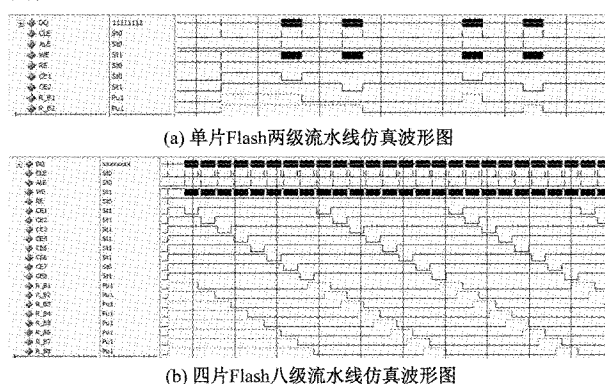


图6 两种流水线操作仿真波形图

在读取数据时,使用读页操作将读出的数据通过以太网模块发送到 PC 机,由于在 PROGRAM 时写入的是以 61 h 为起始的递增数,所以经过仿真读出的数据也是 61 h 为起始的递增数。Flash 一页的数据量为 8 192 Byte,以太网发送一次的数据量为 46~1 500 Byte,所以 Flash 一页的数据可拆分为 8 个 1 024 Byte 的以太网数据包,将每一个数据包通过以太网发送出去,观察到的仿真波形如图 7(a) 所示。接收仿真在接受端同样模拟一次 1 024 个以 61 h 为

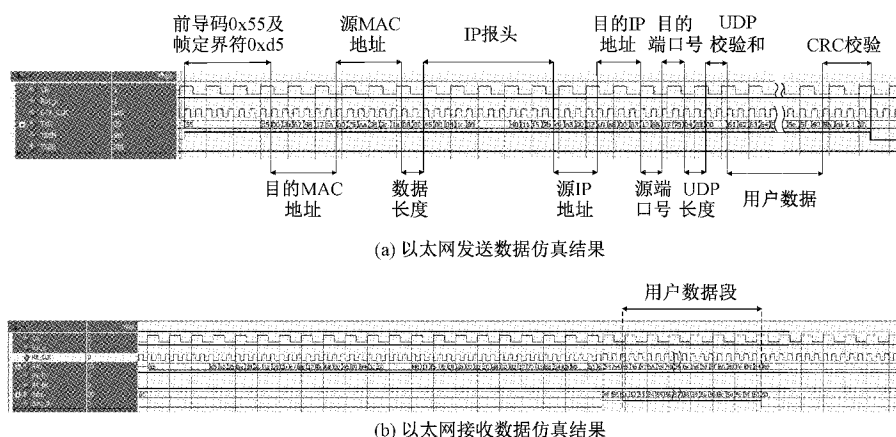


图 7 以太网模块仿真结果

起始点递增数组成的以太网完整数据包,并观察接收到的数据与数据包中的用户数据段部分是否一致,仿真结果如图 7(b)所示。

4.2 功能验证

功能验证通过自主研发的硬件平台进行测试,上位机选用装有网络调试助手(NetAssist)软件和 Wireshark 网络封包分析软件的 PC 机。PC 机端的网卡芯片为 Realtek 以太网芯片。通过五类或六类网线,将自研板上的 RJ45 接口与实验 PC 机网口进行连接。搭载好的测试环境如图 8 所示。

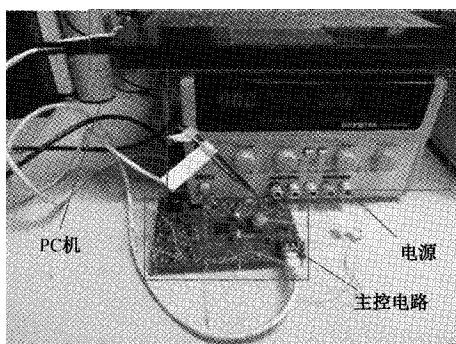
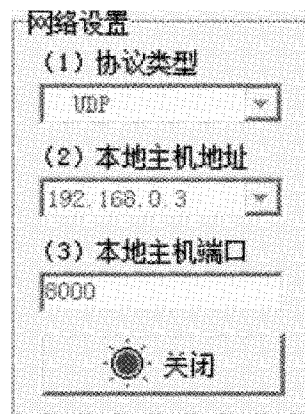


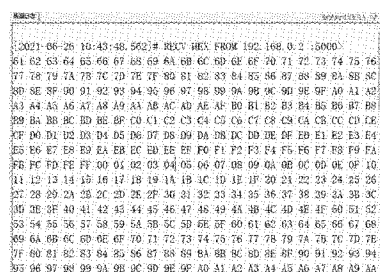
图 8 自主研发测试平台

修改 Verilog HDL 程序中的 PC 机 MAC 地址为 PC 机上的网卡地址,并将 PC 机上的 IP 地址修改为 FPGA 中定义好的 PC 机 IP 地址(192.168.0.3)。通过产生 40 MHz 速率的以 61 h 为起始的递增数存入 Flash 缓存 FIFO,在 FLASH 写完成之后,发送读取命令。将 Flash 中存入的数据读取出来,并通过网络调试助手接收板卡端发来的数据,并使用 Wireshark 软件抓取收发数据包。UDP 接收软件接收到的数据如图 9 所示,Wireshark 软件抓包如图 10 所示。

通过 Wireshark 抓取到的结果可以清晰地看出自研板(192.168.0.2)向 PC 机(192.168.0.3)发送的数据包,及



(a) UDP通信软件连接图



(b) UDP通信软件接收结果图

图 9 通信结果图

No.	Time	Source	Destination	Protocol	Length	Info
5.0.000477	192.168.0.2	192.168.0.3	UDP	1066	5000 → 8000	Len=1024
6.0.000477	192.168.0.2	192.168.0.3	UDP	1066	5000 → 8000	Len=1024
7.0.000478	192.168.0.2	192.168.0.3	UDP	1066	5000 → 8000	Len=1024
8.0.000479	192.168.0.2	192.168.0.3	UDP	1066	5000 → 8000	Len=1024
10.0.000479	192.168.0.2	192.168.0.3	UDP	1066	5000 → 8000	Len=1024

图 10 Wireshark 抓包结果图

该数据包的 MAC 地址,IP 报头及 UDP 报头等信息。经过测试,读出的数据与存入的数据一致。没有产生丢失数据的现象,Flash 写入速率能够达到预期目标。

5 结 论

本文根据大容量数据存储及传输的要求,利用FPGA作为主控芯片,设计了数据存储及传输系统的硬件平台,并利用硬件描述语言Verilog HDL实现了对Flash控制器及以太网数据收发模块的设计。经仿真与功能验证,该硬件系统可以成功存储和读取数据,并与上位机之间进行通信,在数据源充足的情况下,有效存储速度可达到该种FLASH的最高速度44.8 MB/s,并在读取状态下可以将存入的数据完整有效地回传至PC机上,设计的数据存储与传输硬件系统满足实际需求,且能达到前期设计的功能指标。结果证明提出的方案可实现性强,具有一定的工程应用价值。

参考文献

- [1] 陈科,张建庭,郑红梅,等. 塔机信号采集与存储系统的设计与实现[J]. 电子测量与仪器学报, 2014, 28(8): 892-900.
- [2] 甄国涌,王琦,焦新泉,等. 基于千兆以太网高速数据记录器传输接口IP核设计[J]. 仪表技术与传感器, 2019(10): 39-44.
- [3] 朱习松,赵霖,卢礼兵. 基于FPGA的千兆以太网硬件系统实现[J]. 电子质量, 2017(12): 21-24.
- [4] 罗峰,徐金鹏. 基于车载环境的时间同步协议优化[J]. 仪器仪表学报, 2019, 40(2): 96-104.
- [5] 杨云鹏,许波,高媛,等. GTX接口在宽带自适应传输中的应用[J]. 电子测量与仪器学报, 2020, 34(3): 171-179.
- [6] 王田. OSI与TCP/IP网络模型分析[J]. 天津职业院校联合学报, 2013, 15(2): 61-64.
- [7] IEEE Standard for ethernet: IEEE 802.3™-2018[S]. New York: The Institute of Electrical and Electronic Engineers, 2018.
- [8] 华枝发,张兰,岳显昌,等. 高频地波雷达无线数据传输系统设计[J]. 电子测量与仪器学报, 2021, 35(1): 151-158.
- [9] 田野,佟皓萌. 千兆以太网中CRC-32的并行实现[J]. 电子设计工程, 2016, 24(15): 112-114, 118.
- [10] 罗超,刘昌禄,胡敬营. 一种基于FPGA的并行CRC及其UART实现[J]. 电子测量技术, 2016, 39(2): 147-150.
- [11] 李洋,禹卫东,胡晓,等. 基于FPGA的千兆以太网数传系统设计[J]. 电子测量技术, 2015, 38(10): 72-77.
- [12] 祝宗奎,罗正华. 以太网帧间隙在工程测量中的应用[J]. 成都大学学报(自然科学版), 2014, 33(4): 351-353, 361.
- [13] 贾亮,丛龙杰. 基于FPGA的高速数据采集系统研究[J]. 电脑与信息技术, 2021, 29(3): 69-71, 83.
- [14] 崔琪,顾金良,刘庆国,等. 基于DSP+FPGA的高速数据采集系统的设计[J]. 国外电子测量技术, 2020, 39(1): 93-98.
- [15] 成雅丽,李锦明,成乃朋. 基于FPGA与千兆以太网的测试系统设计[J]. 实验室研究与探索, 2019, 38(6): 115-119, 124.

作者简介

王子懿,硕士研究生,主要研究方向为电路与系统。

E-mail: wangziyi0114@gmail.com

沈三民,副教授,硕士生导师,主要研究方向为智能探测与识别、电路与系统。

E-mail: shensanming@nuc.edu.cn