

DOI:10.19651/j.cnki.cmt.2107582

基于 SRIO 的数据传输设计

多卉枫 任勇峰 武慧军

(中北大学 电子测试技术国家重点实验室 太原 030051)

摘要: 为解决大数据量传输系统中传输速率低、带宽小、可靠性差的问题,提出一种基于 SRIO 协议的 FPGA 间大量数据高速传输的设计方案。设计使用 FPGA 内嵌 SRIO IP 核对传输数据进行发送、解析和接收;使用 FPGA 内部 GTP 高速串行收发器作为物理层传输基础;利用光电转换模块实现光、电信号的转换,以完成数据远距离传输。通过测试验证本设计数据传输准确可靠,传输速率可达 280 MB/s,且本方案已成功应用于遥测系统存储器地面测试台项目,可实现两 FPGA 设备间大量数据高速可靠传输。

关键词: Serial Rapid IO 协议;FPGA;光模块;高速传输

中图分类号: TN919 **文献标识码:** A **国家标准学科分类代码:** 510.99

A design of data transmission technology based on SRIO protocol

Duo Huifeng Ren Yongfeng Wu Huijun

(National Key Laboratory for Electronic Measurement Technology, North University of China, Taiyuan 030051, China)

Abstract: In order to solve the problems of low transmission rate, small bandwidth and poor reliability in large data transmission system, this paper proposes a design scheme of high speed data transmission between FPGAs based on SRIO protocol. The design uses SRIO IP embedded in FPGA to check the transmission data for sending, parsing and receiving; The FPGA internal GTP high-speed serial transceiver is used as the physical layer transmission basis. Photoelectric conversion module is used to convert optical and electrical signals to complete data long-distance transmission. The data transmission rate can reach 280 MB/s, and the scheme has been successfully applied to the telemetry system memory ground test platform project, which can realize high-speed and reliable data transmission between two FPGA devices.

Keywords: Serial Rapid IO transfer protocol;FPGA;optical transceiver module;high-speed transmission

0 引言

随着现代通信技术的高速发展,对数据传输速率的要求越来越高,对宽带数据传输的需求也越来越迫切,针对高速数据传输技术的需求,近年来产生了多种高速传输技术,如:Rapid IO、PCI Express、SATA 和以太网等高速传输总线技术^[1]。这些高速传输总线都采用低压差分信号进行数据传输,具有所需引脚数目少、传输速率快、传输可靠性强等优点^[2],因此,近年来国内外有许多基于 PCI Express、SATA 和以太网的数据传输技术研究,如采用以太网技术高速传输雷达成像数据^[3];采用 PCIE 接口解决数据采集系统中高速传输需求^[4];采用 SATA 技术解决探测器产生的高速实时图像数据存储问题^[5]。而 Rapid IO 接口相对于以太网和 PCIE 接口具有软件开销低、支持硬件纠错重传、支持点对点互联、传输延时小以及数据有效载

荷长度大的优点,而并行 Rapid IO 较串行 Rapid IO 所需引脚多且应用复杂^[6],所以本设计采用串行 Rapid IO (Serial Rapid IO, SRIO)来实现大量数据高速传输。

本设计是基于遥测系统存储器地面测试台项目,采用“SRIO+光收发模块”为传输接口实现测试台向存储设备下发命令及存储设备向测试台回传数据的功能。使用 XILINX 公司的 XC7A100TFGG484 内部集成的 SRIO IP 核,编写用户逻辑,实现 SRIO 数据传输协议;使用 FPGA 内部集成的 GTP 高速串行收发模块作为 SRIO 高速传输的物理层基础;使用中航光电 HTS1302 高速收发光模块完成光、电信号转换。经验证,发送数据与接收数据一致,且数据无丢帧无误差现象,证明该设计通信可靠。

1 SRIO 协议简介

SRIO 的操作基于请求事务与响应事务,其中数据包

是事务通讯的基本单元,发起器件与目标器件间的数据交换就是数据包的传递^[7]。图 1 是 SRIO 数据传输的流程即请求数据包与响应数据包的传递流程。

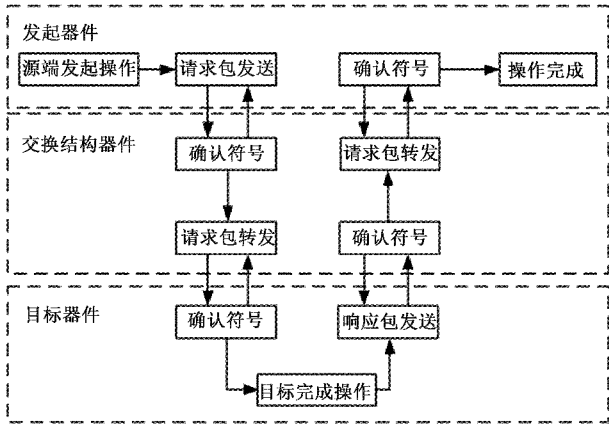


图 1 SRIO 数据传输流程

发起器件通过发起一个请求事务开始一次数据传输的操作。请求包携带着发起器件的 ID 及目标器件的 ID 传送到交换结构器件,通常交换结构器件是一个交换机,随后交换结构器件发出控制符号确认收到了该请求包,并根据请求包所携带的目标 ID 将该事务包转发至目标器件,这就完成了数据传输操作的请求过程^[8]。目标器件收到请求事务包后,检测该事务包的格式,确认完成要求的操作,产生相应的响应事务,再通过交换结构将承载发起端请求事务的响应包传回发起器件。传送时使用控制符号对每一位进行确认,当响应包到达发起器件并且得到确认时,就可以认为此次数据传输操作已经完成^[9]。

SRIO 的布局结构分为 3 层:物理层、传输层和逻辑层。其中逻辑层位于结构中最高层,它是数据产生的源头,也是数据接收的端点,逻辑层由端口逻辑操作标准、消息传输标准、共享存储标准、数据流标准和流量控制构成,而且逻辑层定义了包的格式、操作类型、大小、地址等。主要的包格式有 NREAD、NWRITE、NWRITE_R、SWRITE、RESPONSE、DOORBELL、MESSAGE 事务类型^[10]。传输层为中间层,传输层中包含了传输事务类型(TT)、目的地址、源地址这些端点器件传输必须的路由信息。物理层位于底层,物理层包含接口的细节:传输机制、流量控制、电气特性和低级错误管理^[11]。大部分 FPGA 中集成了 GTP, GTX 或 GTZ 等高速串行收发模块,这些是 FPGA 实现 SRIO 高速传输的物理层基础。物理层将逻辑层的包通过 8 b/10 b 编码、并串转化成比特流后发送,又在接收方经串并转换,8 b/10 b 解码提取该比特流^[12]。

2 设计方案

本设计是基于存储器地面测试台项目,要求存储设备向测试台回传 100 GB 数据,传输速率大于 1 Gbps,传输距离大于 2 km,因此采用“SRIO+光收发模块”为传输接口

实现测试台向存储设备下发命令及存储设备向测试台回传数据。图 2 为整体方案框图。

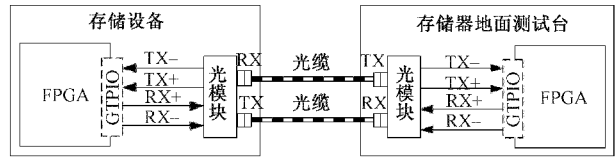


图 2 整体设计方案框图

存储器地面测试台与存储设备的主控器件均为 FPFA,并利用光模块实现光信号到电信号的转换。光模块的差分发送、差分接收信号通过交流耦合接到 FPGA 的 GTP_IO 从而与 FPGA 内部的 GTP 高速收发器相连;测试台与存储设备之间通过光缆连接,传输距离最大可达 30 km。

本设计选取的逻辑控制器件为 Xilinx Artix-7 系中的 XC7A100TFGG484,该芯片支持 Xilinx 基于 RapidIO 2.2 协议研发的 Serial RapidIO Gen2(SRIO IP 核),利用 SRIO IP 核实现 SRIO 传输的逻辑层、传输层协议。该控制器件内部还集成了 GTP 高速串行收发器,可用来实现 SRIO 传输的物理层协议。

由于 SRIO 采用光纤通信,所以硬件电路需增加光模块实现光信号到电信号的转换。本设计选中航光电公司的 HTS1302-LH-S009XX 型双纤双向收发一体光模块,该产品传输速率最高可达 10.3125 Gbps,发射、接收波长均为 1310 nm,传输距离最远可达 30 km,因此满足设计需求。该模块的发射与接收引脚接口电平均采用标准 CML 电平,并采用插拔式 LC 接口形式为光纤链路提供可靠的连接。为保证光模块可稳定可靠工作,需在光模块电源引脚附近放置一个滤波电路,对发射端和接收端电源进行滤波处理。

3 FPGA 逻辑设计

SRIO IP 核支持 1x、2x 和 4x 三种链路通道,单通道下传输速率有 6 种速率可供选择分别是 1.25、2.5、3.125、5.0 和 6.25 Gbps,参考时钟为 125 MHz^[13]。为满足设计需求,本设计选择 1x 通道,传输速率选择 3.125 Gbps。图 3 所示为 FPGA 程序结构框图。

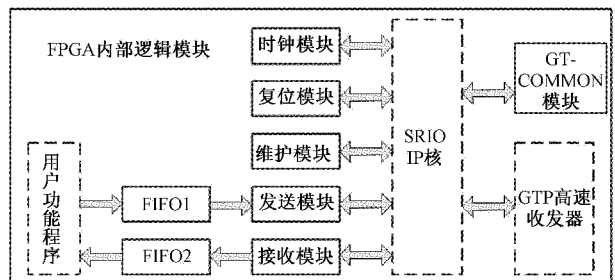


图 3 FPGA 程序结构框图

SRIO 接口 FPGA 内部程序包括:时钟模块、复位模块、维护模块、GT-COMMON 模块、数据发送模块、数据接收模块以及数据缓存 FIFO 等模块。时钟模块是利用 FPGA 内部 MMCM 核将参考时钟分频或倍频得到物理层、逻辑层、传输层所需的时钟。复位模块将复位信号同步到每个时钟域,因为逻辑层、传输层、物理层及 GTP 高速串行收发模块有各自的时钟域,所以复位模块的作用便是将 4 个不同时钟域的复位信号同步到一个时钟下,并扩展脉宽以满足最小复位周期要求。维护模块与 SRIO IP 核的维护端口相连,它的作用是产生维护事务,访问本地设备和远程设备的配置空间。GT-COMMON 模块内部由两个锁相环组成,为四路 GTP 高速收发器通道提供驱动时钟。数据发送模块即 request 模块,它的作用是产生 SRIO 请求事务,按照 SRIO 传输协议组装发送数据包头,并把包头和传输数据按照协议时序发送出去。数据接收模块即 response 模块,它的作用是产生 SRIO 响应事务,SRIO 协议中只有 NREAD、DOORBELL、MESSAGE 以及 NWRITE_R 这几种事务有响应事务。对于接收到的数据,接收模块解析出接收到的数据包头和数据包,并转化为 HELLO 格式的包给用户做后续处理。FIFO1 和 FIFO2 主要用来解决数据跨时钟域、不同位宽传输的问题,发送数据先写入 FIFO1 模块缓存,然后发送模块再将 FIFO1 中数据读出发送;接收模块将接收到的数据写入 FIFO2 模块缓存,以使用户之后进行数据提取分析。

3.1 SWRITE 事务简介

为满足大量数据传输的需求,本设计采用 SWRITE 事务。SRIO 共有 3 种写操作事务:NWRITE_R、NWRITE 和 SWRITE,其中 SWRITE 是为了大量数据写入时使用的一种方式,它在包载荷上较另外两种事务简洁,开销也更少,所以 SWRITE 的效率相比于另外两种更高^[14]。如图 4 为 SWRITE 事务的 HELLO 包格式。

SWRITE	R	FTYPE6	R	R	PRI0	CRF	R	R	R	ADDR
	8	4	4	1	2	1	8	1	1	34

图 4 SWRITE 事务 HELLO 包格式图

为了简化 SRIO 包的构建过程,SRIO 核的事务传输接口可以配置为 HELLO (header encoded logical layer optimized)格式。这种格式把包的包头(header)域进行标准化,而且把包头和数据在接口上分开传输,这将简化控制逻辑并且允许数据与发送边界对齐,有助于数据的管理^[15]。待数据传回 SRIO IP 核,IP 核会把 HELLO 格式的包转化为标准的 SRIO 串行物理层的包。SWRITE 事务包头由 64 bit 构成,其中‘R’为保留位,‘FTYPE’为事务类型,SWRITE 事务为 6,‘Priority’为包的优先级。请求包的优先级值为 0~2,响应包的优先级值为请求包的优先级加 1,‘CRF’为包的关键请求流标志,‘address’为数据起始地址^[16]。

3.2 数据发送

SRIO 协议规定 SWRITE 事务一包可发送 1~256 Byte 数据,对于大于 256 Byte 的数据需要拆包发送。本设计传输数据大于 256 Byte,因此需要拆包发送,每包最多发送 256 Byte 数据。在配置 SRIO IP 核时,将地面测试台端 FPGA SRIO IP 核与存储设备端 FPGA SRIO IP 核设置不同的 Device ID(本地设备 ID)。测试台给存储设备下发命令时,测试台为发起端,存储设备为接收端,所以源 ID 为测试台 SRIO IP 核的 Device ID,目标 ID 为存储设备 SRIO IP 核的 Device ID。存储设备给测试台回传数据时,源 ID 为存储设备 SRIO IP 核的 Device ID,目标 ID 为测试台 SRIO IP 核的 Device ID^[17]。图 5 为数据发送程序流程。

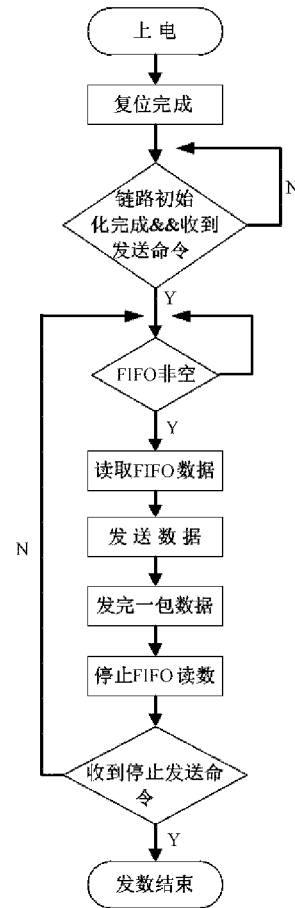


图 5 数据发送程序流程

为解决上电后链路初始化失败的问题,采取软件复位、上电复位结合的方法进行复位,上电复位不能将链路初始化时采取软件复位将链路初始化。(待链路初始化完成后便可开始数据传输),为解决数据跨时钟域、不同位宽传输的问题,添加了数据缓冲 FIFO 块,当 FIFO 非空时将 FIFO 中数据读出发送;本设计需拆包发送大量数据,为方便后续用户功能程序分析数据,在每发送完一包数据后等待一包数据传输所需时钟周期,再开始下一包数据传输。图 6 所示为数据发送时序图。

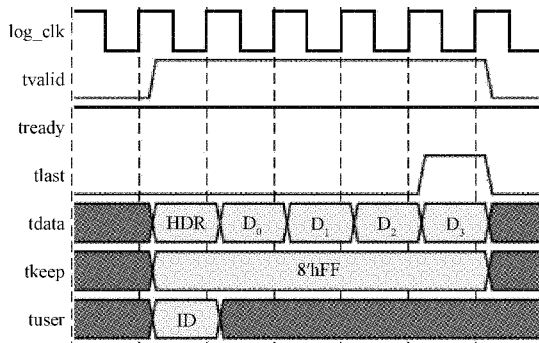


图 6 数据发送时序图

log_clk 为逻辑时钟,SRIO 核数据总线位宽 64 为即 8 Byte,所以一个时钟周期可发送 8 Byte 数据,发送一包 256 Byte 数据需要 33 个时钟周期;tready 为握手信号,高电平有效,表示目标设备做好了接收数据的准备;当 tvalid 拉高时,开始发送数据,本设计在链路初始化完成并接收到发送命令时,将 tvalid 拉高;tlast 为每包数据最后字节指示标志,在发送每包数据最后 8 Byte 时拉高;tdata 为发送数据包,在 tvalid 和 tready 同时为高电平的第一个时钟发送包头,然后发送数据包;按照 HELLO 格式的时序要求 tkeep 在 tvalid 和 tready 有效时一直为 8'hFF;tuser 在第一个有效的时钟(log_clk)周期内由 src_id 与 dest_id 拼接而成。

3.3 数据接收

存储设备接收测试台下发的命令或测试台接收存储设备回传的数据时,SRIO 核将收到的数据转换成 HELLO 格式的数据包,把接收数据的包头按照 HELLO 格式的定义剥离出对应的关键字段,其中 prio 应为接收到数据包头中 prio 加 1。为方便后续功能程序可以一次取走一个完整的数据包,在每收到完整一包 SWRITE 事务数据时,再把数据写入 FIFO(数据接收时序与数据发送时序一致。)图 7 为数据接收程序流程图。

4 测试分析

搭载好硬件电路后,使用 VIVADO 软件的 In System Debug 工具捕获 SRIO 数据传输的时序,如图 8、9 所示为存储设备发送数据时的数据发送时序,当 tvalid 信号拉高时读取 FIFO 数据并发送,在 tvalid 信号和 tready 信号同时有效的第一个时钟发送包头,之后每个时钟发送 8 Byte 数据,每包数据 256 Byte,tlast 信号在发送最后 8 Byte 数据时拉高。如图 10、11 所示为测试台接收数据时的数据接收时序,数据接收时序和数据发送时序一致,在第一个有效时钟周期接收数据包头,之后每个时钟周期接收 8 Byte 数据,在接收最后 8 Byte 数据时 tlast 信号拉高。

图 12 所示为接收数据图,每包数据的包格式如图 13 所示,前 8 Byte 数据为 F8F9、00000000 开始递增的 4 Byte 包计数、2 Byte 包头 EB90,之后 248 Byte 数据为 00~F7 递

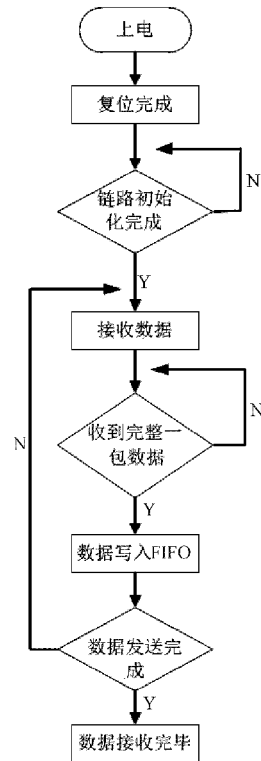


图 7 数据接收程序流程图

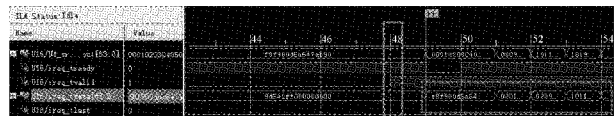


图 8 数据发送时序图

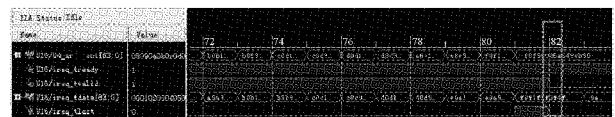


图 9 数据发送时序图



图 10 数据接收时序图



图 11 数据接收时序图

增数。由图 8 数据发送图可见数据按照包格式发送;由图 11 数据接收图可知,接收数据与发送数据一致:前 8 Byte 数据由 F8F9 包计数和包头组成,之后数据为从 00 开始的递增数。使用存储器地面测试台配套上位机软件读出存储设备回传数据,如图 12 为部分原始数据,可见数据与数据包格式一致,经多次测试,数据无丢包无误码。

本设计 SRIO IP 核链路速度选用 3.125 Gb/s,经物理层

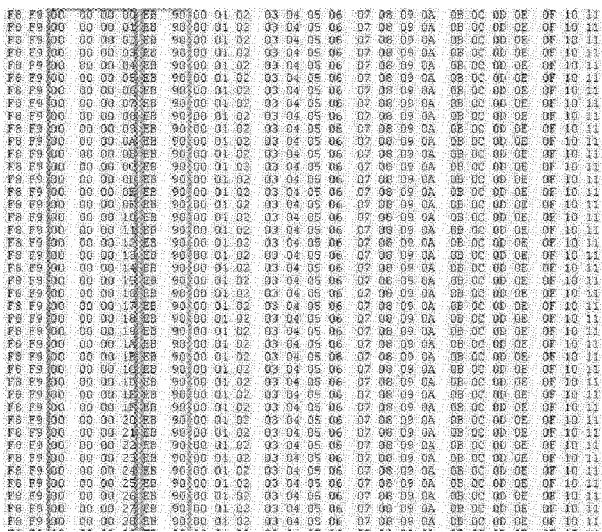


图12 接收数据图

数据传输周期数	第1个数据传输周期	第2个数据传输周期	第3个数据传输周期	第32个数据传输周期
数据字节数	1-8Byte数据	9-16Byte数据	17-24Byte数据	249-256Byte数据
数据包格式	1819-4Byte帧计数1280	00-07-8Byte递增数	08-0F-8Byte递增数	10-17-8Byte递增数

图13 数据包格式图

8B/10B 编码, SRIO 传输理论速率为 $3.125 \text{ Gb/s} \times 80\% = 2.5 \text{ Gb/s}$ 即 312.5 MB/s 。由图 8、9 可知实际传输中 256 Byte 数据传输需 34 个时钟周期(第 18 个时钟周期开始传输数据,第 82 个时钟周期数据传输完成),链路速度为 3.125 Gb/s 时,逻辑层时钟频率为 39.06 MHz ,因此传输 256 Byte 数据需 870 ns ,经计算可得实际传输速率为 280 MB/s 。

5 结论

本设计基于 Serial Rapid IO 传输协议,利用 FPGA 内嵌 IP 核及 GTP 高速串行收发器实现了 FPGA 与 FPGA 之间大量数据高速可靠传输,实测传输速率可达 280 MB/s ;通过光收发一体模块实现光电转化,使得传输最远距离可达 30 km 。本设计已成功应用于遥测系统某存储器地面测试台项目,具有传输速率高、传输距离远、传输稳定可靠等特性,具有一定的工程实用价值,也适用于其他要求高速、远距、可靠的数据传输系统中,为满足更高速的数据传输需求,可配置更高速的链路传输速率。今后的研究重点是基于 SRIO 的多通路数据传输设计,为实现多路数据同时高速可靠传输,在本文的基础上,还要考虑适配的硬件电路设计和更复杂的逻辑层协议。

参考文献

[1] 刘光祖,张强,仲雅莉. 基于 RapidIO 协议的光纤通信

系统设计与实现[J]. 电讯技术,2013(7):840-844.

[2] 杨志文. 基于 SRIO 的数据记录装置的设计和实现[D]. 太原:中北大学,2019.

[3] 姜浩,李和平,马翠梅. 基于 ZYNQ 的光纤-以太网传输系统设计[J]. 光通信技术,2020,44(7):19-23.

[4] 任勇峰,杨圣龙,李辉景. 基于 FPGA 的 PCIe 接口 DMA 传输设计与实现[J]. 实验室研究与探索,2019,38(2):121-125.

[5] LIU W L, LIU X B, QIANG S M. Research and implementation of SATA protocol link layer based on FPGA[C]. SPIE 4th Seminar on Novel Optoelectronic Detection Technology and Application,2018.

[6] LIU J, TIAN Y, HAO W, et al. Design and implementation of Serial Rapid IO based on DSP and FPGA[J]. Advanced Materials Research,2014,3255.

[7] 黄靖媛. 高速串行接口 Rapid IO 的设计与验证[D]. 西安:西安电子科技大学,2015.

[8] 吴晓峰. 串行 RapidIO 互连技术终端的设计研究[D]. 北京:北京大学,2013.

[9] 张清亮. 基于 FPGA 高速通用串行接口的设计与应用[D]. 西安:西安电子科技大学,2015.

[10] 朱道山. 基于 RapidIO 块数据传输设计与实现[J]. 现代雷达,2017,39(9):29-32.

[11] 王杰. 基于 FPGA RapidIO 的数据传输设计[D]. 四川:成都理工大学,2018.

[12] ZHANG B, LIANG J, LIU L, et al. Design of high-speed information channel for satellite test based on serial Rapid I/O[C]. 2019 14th IEEE International Conference on Electronic Measurement and Instruments (ICEMD), IEEE,2019:1500-1507.

[13] 黄克武,吴海洲. 基于 TMS320C6455 的高速 SRIO 接口设计[J]. 电子测量技术,2008,31(9):143-146,192.

[14] 李瑛,王向进,盛定仪. 基于 VPX 标准的雷达信号处理平台的设计与实现[J]. 电子测量技术,2020,43(14):79-83.

[15] 张强. 串行 Rapid IO 互连系统的设计与实现[D]. 南京:南京理工大学,2013.

[16] 舒志兴. RapidIO 高速接口物理编码子层的设计与验证[D]. 合肥:中国科学技术大学,2015.

[17] 孙吉元. RapidIO 2.1IP 核设计[D]. 南京:东南大学,2016.

作者简介

多卉枫,工学硕士,主要研究方向为测试计量技术及仪器、高速信号传输等。
E-mail:1003815457@qq.com