

DOI:10.19651/j.cnki.cmt.2107796

基于 Serial RapidIO 的远距离高速数据传输*

辛云旭 文 丰 张凯华

(中北大学 仪器科学与动态测试教育部重点实验室 电子测试技术国家重点实验室 太原 030051)

摘要:为解决传统总线在 FPGA 与 FPGA 之间高速数据传输时在带宽、灵活性、传输距离和可靠性等方面的不足,提出了一种基于 Serial RapidIO(SRIO)互连体系结构和光电转换模块为一体的远距离高速数据传输方案。该方案以 Xilinx 的 ZYNQ7000 系列 FPGA 和 Kintex7 系列 FPGA 为 RapidIO 的互连设备,通过调用 Xilinx 的 IP 核实现 SRIO 传输协议并对逻辑层的用户接口编程完成通信,数据交换接口采用光电转换模块以光缆替代电缆实现远距离数据交换。经过大量测试试验,该方案在通信两端连接 10 km 光缆实现的传输速度为 444 Mbit/s,传输过程零误码零丢帧,且系统运行稳定、可靠。

关键词: FPGA;SRIO;光电转换;远距离;高速传输

中图分类号: TN911 **文献标识码:** A **国家标准学科分类代码:** 510.50

Long-distance high-speed data transmission based on Serial RapidIO

Xin Yunxu Wen Feng Zhang Kaihua

(National Key Laboratory for Electronic Measurement Technology, Key Laboratory Instrument Science and Dynamic Testing of Ministry of Education, North University of China, Taiyuan 030051, China)

Abstract: In order to solve the deficiencies in bandwidth, flexibility, transmission distance and reliability of traditional buses in high-speed data transmission between FPGA and FPGA, a Serial RapidIO (SRIO) interconnection architecture and photoelectric conversion module are proposed. The long-distance high-speed data transmission program. This solution uses Xilinx's ZYNQ7000 series FPGA and Kintex7 series FPGA as the interconnection equipment of RapidIO. It implements the SRIO transmission protocol by calling Xilinx's IP core and completes the communication by programming the user interface of the logic layer. The data exchange interface adopts a photoelectric conversion module and replaces it with an optical cable. The cable realizes long-distance data exchange. After a large number of tests, the solution achieved a transmission speed of 444 Mbit/s by connecting a 10 km optical cable at both ends of the communication, zero error and zero frame loss during the transmission process, and the system is stable and reliable.

Keywords: FPGA;SRIO;photoelectric conversion;long-distance;high-speed transmission

0 引 言

近年来,我国的航天航空事业飞速发展。在进行飞行试验时,技术人员与飞行器发射点需要保持一定的安全距离,而且设备采集和实时传输的数据量也在快速增加,这对系统内互连总线的带宽、延迟、传输距离、可靠性等提出了更高的要求^[1]。目前,国内外主流的高性能数据交换技术包括高速以太网、高速串行口(SRIO)以及 PCIe 总线、光纤通道总线等^[2]。从应用角度看,高速以太网主要应用于平台间网络或计算机板卡之间的子系统,PCIe 一般作为基于点到点的 PCI 总线使用,光纤通道总线应用于系统域网络互连^[3],SRIO 系统互连总线技术因外部引脚少、总线频率

高、延迟低、可靠性高的特点,多应用于系统内部器件紧密耦合的互连,事实上已经成为了航电系统中芯片、板卡之间最佳的互连方式^[4]。在远距离数据传输中,电缆的传输线阻抗会使电信号严重衰减造成信号失真^[5],而且电缆体积、质量、成本也都高于光缆,通过光电转换模块将 FPGA 发出的电信号转换为光信号再通过光缆传输可有效增大传输距离^[6]。基于上述原因,本文在介绍了 RapidIO 协议的基础上,提出了在飞行测试系统中 FPGA 和 FPGA 之间进行远距离高速数据传输的软硬件设计和实现,并对其传输性能进行了测试。经验证,该传输系统在远距离状态下达到了较高的带宽,并具有良好的稳定性,可满足大多数飞行测试要求。

收稿日期:2021-09-06

* 基金项目:国家重点研发计划(2018YFF01010500)项目资助

1 RapidIO 协议概述

1.1 体系结构

RapidIO 协议采用三级分层体系结构,由逻辑层、传输层、物理层组成。逻辑层位于最高层,这一层定义接口协议和包的帧格式,它们为端点器件发起和完成事务提供必要的信息。传输层位于中间层,定义了 RapidIO 地址空间和和在端点器件间传输包所需要的路由信息。物理层规范在整个分级结构的底部,描述设备级接口细节,支持器件间包的传输,包控制符号的传输、错误管理机制和传输流的控制及其他器件间的功能^[7]。这种分级结构的优势在于各层结构独立,在不同的应用场合下如果需要修改某一协议层可以直接修改而不影响其他层结构,增大了系统的可移植性和灵活性^[8]。

1.2 操作机制

RapidIO 操作是基于请求和响应事务的,请求和响应事务被封装在串行物理层包中,而串行物理层包由包括 3 层规范体系结构的多个字段组成^[9]。RapidIO 协议中常用的操作事务包括读事务、写事务、流写事务、带响应的写事务、维护事务、门铃事务、消息事务,这些事务可以分为有响应和无响应两种模式,需要返回响应包的事务操作流程是发起器件产生一个请求事务,该事务被发送至目标器件,目标器件于是产生一个响应事务返回至发起器件来完成该

次操作。还有一类事务是不需要目标器件对请求事务作出响应的,比如写事务、流写事务,这两种事务包在网络中相邻的节点间传输时有物理层的控制符号作接收确认,从而省去了响应事务,所以使得整个操作的效率会提高^[10]。写事务、流写事务的操作示意图如图 1 所示。

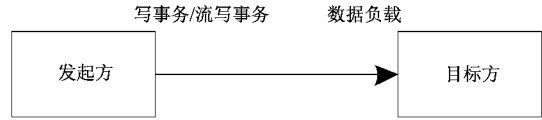


图 1 写事务、流写事务的操作示意图

目标器件发起的事务类型在包格式中由特定的字段 Ftype 和 Ttype 来确定。由于本文内容主要针对数据传输,因此考虑往目标器件写数据的写事务和面向大数据量 DMA 传输的流写事务。这两种事务都可以往目标方制定的地址写入数据。写事务中传输的数据负载包括双字、字、半字和字节,流写事务数据包的数据负载总是为双字,支持传输的数据量最大为 256 Byte,并且流写事务包格式中把 Ttype、Rdsize/Wrsize 和 srcTID 3 个字段全部定义为 Extended Address 字段的一部分,这样的写事务类型在包头节省了大量的数据载荷,所以写事务相比具有更高的效率^[11]。基于上述原因,本文中的数据传输采用流写事务。如图 2 所示为流写事务和写事务串行物理层请求包格式和各个字段的位置。

AckID 5	Rsvd 2	crf 1	prio 2	4 2	Ftype 4	destination ID 8or16	source ID 8or16	extended addr (optional) 16-32			address 29	rsv 1	xambs 2	data	CRC 16	logical 0 pad 16	data	CRC 16	logical 0 pad 16	
AckID 5	Rsvd 2	crf 1	prio 2	4 2	Ftype 4	destination ID 8or16	source ID 8or16	Ttype 64	rdsize/wrsize 4	srcTID 8	extended addr 16-32	address 29	rsv 1	xambs 2	data	CRC 16	logical 0 pad 16	data	CRC 16	logical 0 pad 16

Physical Layer
Transport Layer
Logical Layer

图 2 流写和写事务串行物理层包格式

SRIO 的物理层、逻辑层和传输层都可以通过 Xilinx 公司提供的 SRIO IP 核来产生。本文主要介绍在逻辑层上用户接口的编程,通过编程用户接口来实现 FPGA 内部逻辑与 SRIO 接口之间的高速数据交换,从而把 FPGA 内部的数据传输到目标端 FPGA。

2 总体设计方案

SRIO 系统本地端主要由 FPGA、光收发一体模块、时钟模块以及电源模块组成。FPGA 主要完成对 SRIO 接口的物理与协议层的实现,在进行数据组帧收发的时候,实时对数据帧进行解析,按实际需求提取相关参数进行数据

帧的拆解封装工作。光收发一体模块主要完成把与 FPGA 通信的两对 LVDS 输入输出差分电信号转换为两路光信号,通过光缆发送到目标端设备从而实现数据的远距离传输。时钟模块主要为 SRIO 核产生 125 MHz 输入参考时钟。电源模块为时钟模块和光收发一体模块提供 3.3 V 的工作电压。系统原理如图 3 所示。

3 硬件平台搭建

3.1 时钟模块

时钟模块的搭建以 TI 公司的时钟芯片 CDCM61001RHB 为基础,该时钟芯片具有高性能,低相位

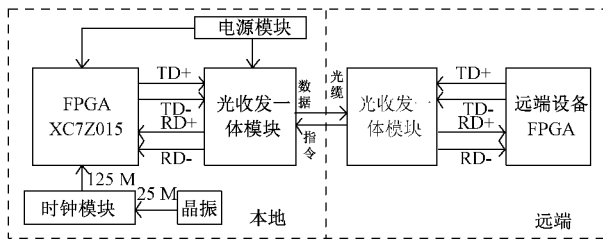


图 3 系统原理

噪声,集成度高,易于控制的优点^[12]。整体设计包括如下 3 个部分。

1) 供电部分: CDCM61001RHB 芯片内部锁相环和压控振荡器对电源上的噪声非常敏感,这会极大地增加抖动,不利于输出时钟的稳定。基于此原理将 CDCM61001RHB 供电电压分为两部分,一部分为锁相环供电引脚 VCC_PLL1、VCC_PLL2 和压控振荡器供电引脚 VCC_VCO 输入的模拟电压 3.3V_GTX,另一部分为芯片内部其他部分供电引脚 VCC_OUT、VCC_IN 输入的板上电压 3.3V2。低频噪声的处理采用在输入电压和模拟电压两端分别放置 1 颗 10 μF 的电容,高频噪声的处理在供电两端放置和供电引脚数量相同的 0.1 μF 电容,电容容值的选取参考经验公式 $C=1/F$ 。为了防止板上电压端产生的高频开关噪声泄露到敏感的模拟电压端,在板上电压和模拟电压之间插入磁珠隔离,而且模拟电压端正常工作电压最小为 3.0 V,最大输入电流为 20 mA,根据欧姆定律计算出磁珠允许的最大直流电阻是 $(3.3-3.0)\text{V}/20\text{ mA}=15\ \Omega$,本设计选用磁珠 PB2012-221/2A 直流电阻仅为 0.06 Ω 且可靠性高。

2) 输出频率配置: CDCM61001RHB 时钟芯片的输出频率与输入频率、反馈分频器、输出分频器有关,计算公式为:输入频率=(输出分频器/反馈分频器) \times 输出频率。时钟芯片通过选取输入时钟频率,配置引脚控制反馈分频器和输出分频器的数值从而输出需要的时钟频率。配置引脚和反馈分频器,输出分频器的对应关系如图 4 所示^[13]。

输入频率确定为 25 MHz,根据 SRIO 核设置的输入参考时钟为 125 MHz 确定时钟芯片输出频率应为 125 MHz,因此输出分频器和反馈分频器取值分别为 4 和 20,根据图 4 的对应关系把 PR0、PR1 引脚通过一个上拉电阻置为高电平,OD0、OD1 引脚上拉为高电平 OD2 引脚下拉为低电平。

3) 输出电平类型配置: CDCM61001RHB 时钟芯片的输出电平类型可以通过配置引脚配置,对应关系如图 5 所示。

时钟芯片输出引脚与 FPGA 时钟引脚都支持 LVDS 电平,而且 LVDS 的输入输出都是内匹配的可以直接相连,因此时钟芯片的输出电平配置为 LVDS,OS0 引脚上拉

配置引脚			反馈分频器
PRI	PR0		
0	0		24
0	1		15
1	0		25
1	1		20
OD2	OD1	OD0	输出分频器
0	0	0	1
0	0	1	2
0	1	0	3
0	1	1	4
1	0	1	6
1	1	1	8

图 4 配置引脚和反馈、输出分频器关系

配置引脚		输出类型
OS1	OS0	
0	0	LVCOMS,OSC_OUT关断
0	1	LVDS,OSC_OUT关断
1	0	LVPECL,OSC_OUT关断
1	1	LVPECL,OSC_OUT打开

图 5 配置引脚与输出电平类型关系

到高电平,OS1 引脚下拉到低电平。时钟模块原理设计如图 6 所示。

3.2 光收发一体模块

光收发一体模块原理是围绕 HTS1302-LH-S009XX 单路光模块构建,该模块具有低功耗、高性能、双纤双向收发一体的特点^[14]。整体设计包括如下两个部分。

1) 供电部分:光模块需要在离模块电源管脚尽可能近的地方放置一个 LC 滤波电路,对电源进行滤波处理,该光模块最大工作电流为 500 mA,要求电感有足够的过流能力,本设计选用 PB2012-102 电感的额定电流为 1 A。

2) 光模块与 FPGA 接口部分:光模块高速信号输入输出阻抗是差分 100 Ω ,为保证信号质量,印制板上的传输线特性阻抗设计为差分 100 Ω 且信号走线路径避免过孔。光模块的高速输入输出接口是 CML 电平,FPGA 的高速 I/O 接口是 LVDS 电平,因此需要对接口进行匹配。光收发一体模块原理图设计如图 7 所示。

4 系统软件设计

FPGA 代码在 Vivado2016.1 编译环境下采用硬件描述语言 Verilog 编写。整个 RapidIO 工程架构在顶层文件例化了 3 个模块,包括全局时钟管理模块 U1(srio_clk)、SRIO IP 核时钟管理模块 U2(gt_common)以及 SRIO 模块 U3(srio_top)。整体代码结构如图 8 所示。

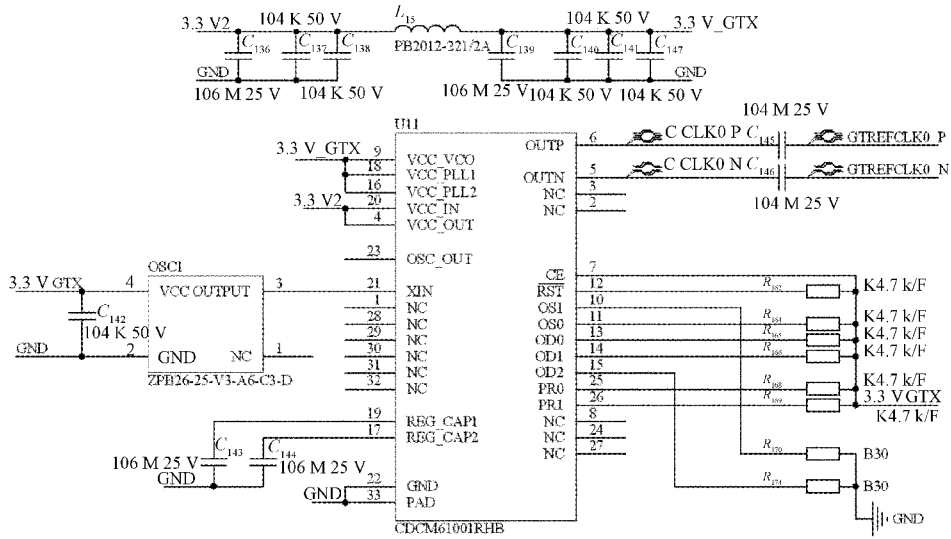


图 6 时钟模块原理

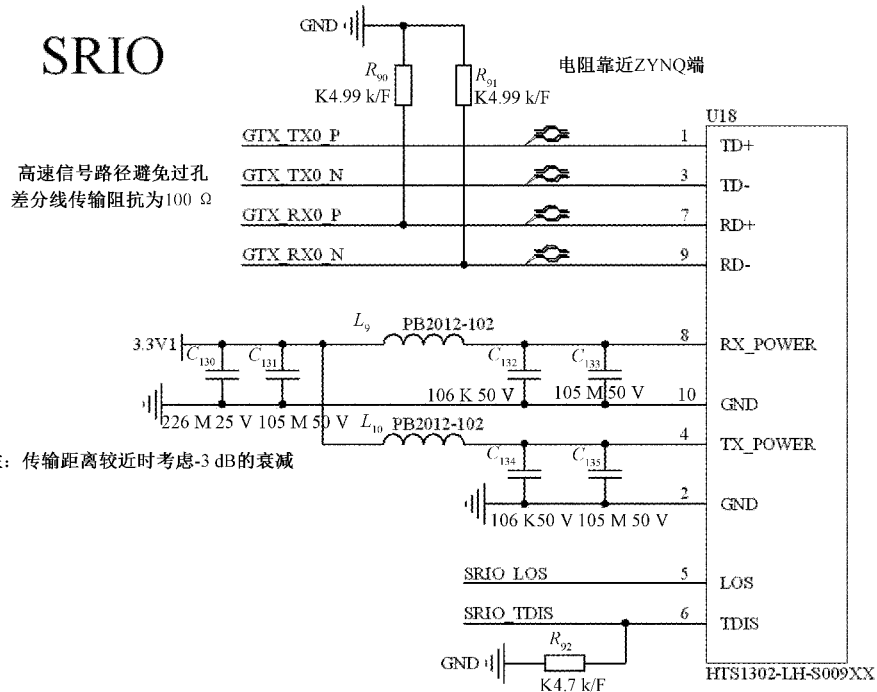


图 7 光收发一体模块原理

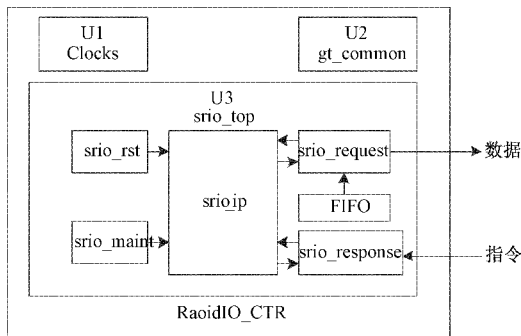


图 8 SRIO 代码结构

4.1 全局时钟管理模块

全局时钟模块的设计采用 IBUFGDS+BUFG 的全局时钟资源设计方法。通过调用 Vivado 中的时钟 IP 核 (MMCM) 和全局时钟资源相关原语得到 SRIO 核各个模块使用的时钟。时钟芯片输出的差分时钟信号从一对差分全局时钟管脚输入,使用时钟原语 IBUFGDS 作为全局时钟输入缓冲,再经过全局缓冲 BUFG 后输入时钟 IP 核 MMCM 作为参考时钟并产生 4 路时钟信号 log_clk_bufg、phy_clk_bufg、gt_pcs_clk_bufg、gt_clk_bufg,这 4 路时钟信号再经过一级全局缓冲 BUFG 转换为 log_clk、phy_clk、

gt_pcs_clk、gt_clk 作为整个 SRIO 工程内部各个模块的时钟。全局时钟模块原理如图 9 所示。

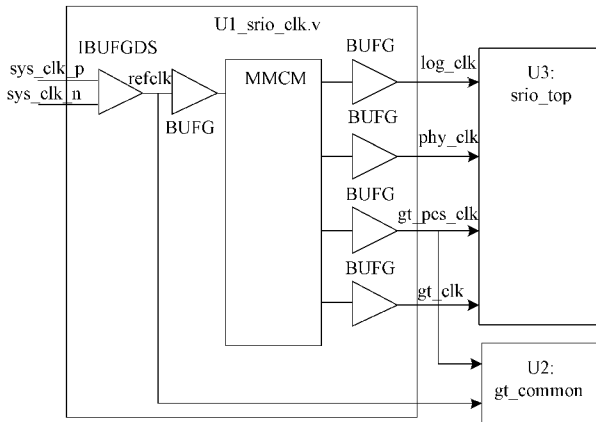


图 9 全局时钟模块原理

在 SRIO 核不同的通道模式下,线速率与时钟频率的关系不同。在 1X 模式下,线速率与时钟频率的关系如图 10 所示。

Line Rate/(Gb·s ⁻¹)	gt_clk/MHz	gt_pcs_clk/MHz	phy_clk/MHz	log_clk, cfg_clk/MHz
1.25	62.5	31.25	15.63	15.63
2.5	125	62.5	31.25	31.25
3.125	156.25	78.13	39.06	39.06
5.0	250	125	62.5	62.5
6.25	312.5	156.25	78.13	78.13

图 10 1X 模式线速率与时钟频率关系

由于在本文的设计中 RapidIO 核线速率设置为 1.25 Gbit/s,MMCM 时钟 IP 核的设置如图 11 所示^[15]。

Output Clock	Port Name	Output Freq (MHz)	Request	Actual	Phase (degrees)	Request	Actual	Duty Cycle (%)	Request	Actual
clk_out1	log_clk_nrg	15.625	15.625	15.625	0.000	0.000	0.000	50.000	50.000	50.0
clk_out2	phy_clk_nrg	15.625	15.625	15.625	0.000	0.000	0.000	50.000	50.000	50.0
clk_out3	gt_pcs_clk_nrg	31.250	31.250	31.250	0.000	0.000	0.000	50.000	50.000	50.0
clk_out4	gt_clk_nrg	62.500	62.500	62.500	0.000	0.000	0.000	50.000	50.000	50.0

图 11 MMCM 时钟 IP 核设置

4.2 RapidIO IP 核时钟管理

该模块就是对“GTPE2_COMMON”原语的封装,主要目的是产生 SRIO IP 核内部使用的时钟信号。

4.3 SRIO 模块

在 7 系的 FPGA 中实现 SRIO 协议主要通过直接调用 IP 核的方式。在 SRIO 模块中例化了 SRIO IP 核、复位模块、维护事务模块、发起请求模块和接收响应模块。

1)IP 核设置:根据工程实际需求,在 IP 核界面中设置链路宽度为 1X,传输频率设置为 1.25 Gbit/s,参考时钟频率设置为 125 MHz,发送和接收的 Buffer 深度都为 16,设备 ID 设置为 00FF,位宽 16,因为本文设计中 log_clk 和 phy_clk 相同,勾选 Assume unified clocking 可以降低延时和资源利用率,流控方式中选择 Transmitter-Controlled。在共享逻辑界面中选择 Include Shared Logic in Example Design。

2)复位模块和维护事务模块:复位模块的设计实现把每个时钟域里面的异步复位信号同步,并对复位脉冲进行扩展以满足最小 4 个时钟周期的要求,并且用一个状态机强制对核重新初始化。维护事务模块与 IP 核的维护端口相连用来产生维护事务,对核内部的寄存器进行配置。

3)请求模块:主要任务是组装流写格式的 HELLO 包头并把包头和数据按照 HELLO 格式的时序发送出去。SRIO 核为了简化包的构建过程,设计了精简的 HELLO 包格式,按照 HELLO 格式的时序把数据发送给 SRIO 核,SRIO 核会自动把 HELLO 格式的包转化为标准的 RapidIO 串行物理层的包发送出去。HELLO 格式数据的包头在用户接口的第 1 个有效时钟上,数据负载紧跟着包头后边进行连续发送,流写事务的数据负载为双字,而且一次传输的最大数据量是 256 Byte,因此传输数据负载需要 32 个有效时钟。因为本文涉及到事务类型主要为数据的流写,所以只将流写事务的 HELLO 格式包头组成作出说明,R 为保留字段,FTYPE 为包的事务类型,prio 为包的优先级,响应包的优先级为请求包的优先级加 1,CRF 为包的关键请求流标志,addr 为事务的字节地址。FTYPE=6 表示当前发起的是流写事务。流写事务的 HELLO 格式包头和携带数据负载 HELLO 格式包在接口上传输的时序图如图 12 所示^[16]。

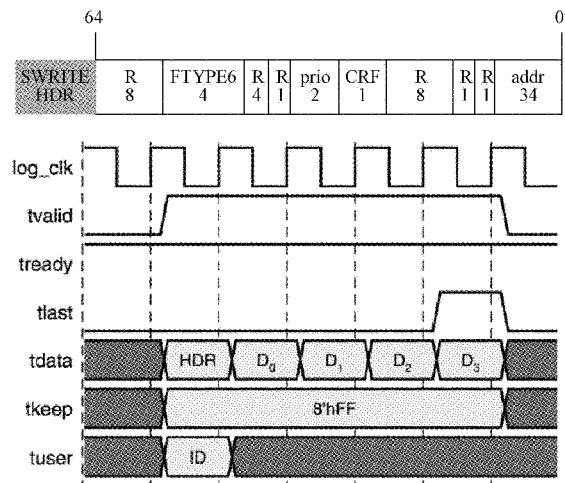


图 12 流写事务的 HELLO 格式包头和传输时序

tready 和 tvalid 是一对握手信号,只有这两个信号同时为高时,数据总线上的数据负载才是有效数据,tlast 为高时表明发送的是最后一个数据,所以 tlast 信号相当于一帧数据的边界,tkeep 和 tuser 是根据 HELLO 格式的时序要求赋值的,HELLO 格式的时序要求 tkeep 为 8'hFF,当 tkeep=8'hFF 时,表示数据总线 tdata 上的数据是有效的。tuser 在第 1 个有效的时钟(log_clk)周期内由 src_id 和 dest_id 拼接而成。SRIO 核逻辑层的时钟(log_clk)为 15.625 MHz,数据位宽是 64 bit,FPGA 的数据位宽和时钟频率和 SRIO 核不匹配,为了解决时钟域、数据位宽变换等

问题,设计中加入了一个 FIFO IP 核来作为缓存。
srio_request 程序流程如图 13 所示。

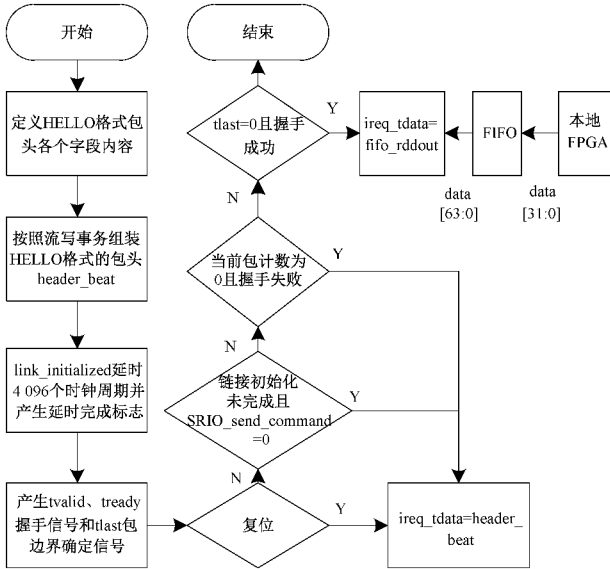


图 13 request 模块程序流程

4)接收响应模块的作用是接收来自远端 FPGA 的指令信息。远端 FPGA 中的 SRIO 核发出标准 RapidIO 串行物理层的包,控制符号,空闲序列等通过光缆发送到本地 FPGA 的 SRIO 核,并自动转化为 HELLO 格式的包,按照 HELLO 格式的定义把对应的关键字段剥离出来。由于该数据传输过程也是以流写的方式,所以在每一个数据包的包头通过判断 FTYPE 字段是否等于 6 来确定包头后边的数据负载是否为有效数据,从而产生数据包有效标志位 capture_data,当 capture_data 拉高时说明这一包数据为有效数据包,从中提取指令字段内容与通信协议中确定的指令字段对比确定远端 FPGA 发出的具体指令,执行相关操作。如果执行读取指令则把 SRIO_send_command 拉高,使得 srio_request 模块把本地 FPGA 中的数据通过 SRIO 核发送到目的端的 FPGA 中,从而实现数据传输。srio_response 程序流程如图 14 所示。

5 传输测试

本设计中,采用了 SRIO 通信协议,实现了 FPGA 与 FPGA 之间远距离高速数据传输。传输测试主要验证在 FPGA 之间传输距离为 10 km 条件下的传输速率实际值是否与设计值相符合且传输过程稳定可靠。本设计使用的 SRIO 核速率设置为 1.25 GHz,链路宽度为 1X,由于采用 8B/10B 的编码规则,编码效率为 80%,理论实际最大传输速率为 1.25 Gbit/s × 80% = 1 Gbit/s,传输数据时钟 log_clk 采用 15.625 MHz 时钟频率,一个时钟周期发送 64 bit(8 Byte),在发送周期中按照流写事务的 HELLO 包格式传输时序发送一帧包括 00~f9 共 259 Byte 递增数、4 Byte 的帧计数和帧尾 eb,90 共 256 Byte 的有效数据需

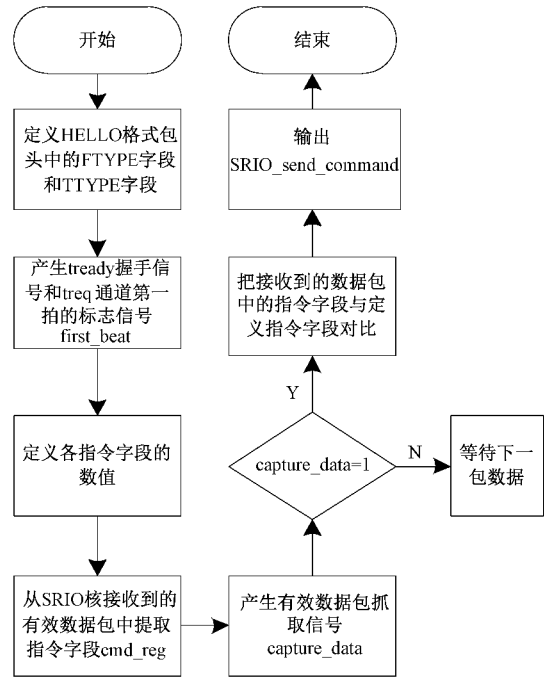


图 14 response 模块程序流程

要 256/8=32 个时钟周期,然后发送 40 个时钟 64 bit 的填充数据,所以本设计实际传输有效数据速率理论值为 1 000 Mbit/s × 32/72 = 444.4 Mbit/s(硬件生产商通常按照 1 Gb=1 000 Mb 换算),具体的工程应用可以通过调节空闲时钟的比例控制传输速度。

本地 FPGA 与远端 FPGA 之间通过 10 km 光缆连接成功后,首先由远端 FPGA 发送操作指令信息到本地 FPGA,本地 FPGA 在收到指令后将内部产生的递增数发送到远端 FPGA。再由 PCI 总线传输到电脑保存,并通过上位机软件分解校验。传输过程中截取的发送数据时序图如图 15、16 波形曲线从上往下依次为 tvalid、tready、tlast、tdata、tuser。图 15 表示传输 1 帧有效数据的开头和结尾。tvalid 和 tready 同时为 1 表示数据总线上的数据开始为有效数据,时钟计数为 194,tdata=f8f90100d41ceb90,包括递增数 f8f9 帧计数 0100d41c 和帧尾 eb90,结尾 tvalid 拉低,tlast 拉高表示 1 帧有效数据发送完成,有效时钟计数为 226,tdata=f0f1f2f3f4f5f6f7,表明发送 1 帧 256 Byte 的有效数据使用了 226-194=32 个时钟周期。

图 16 表示一个发送周期需要的时钟是 264-192=72,因为发送有效数据需要 32 个时钟周期,因此发完 1 帧有效数据后 tvalid 信号会拉低 40 个时钟,这时 tdata 为固定的 64 位的空闲序列。仿真波形与预期结果完全一致。

数据和校验结果如图 17 所示,结果无误码和丢帧现象出现,表明传输过程稳定可靠。

本次测试共发送 5 455 872 帧数据,其中 256 Byte 为 1 帧,结合主控卡读存储器数据和主控卡停止时间可以计算出实际传输速度。在进行多次大量测试后,均无误码和

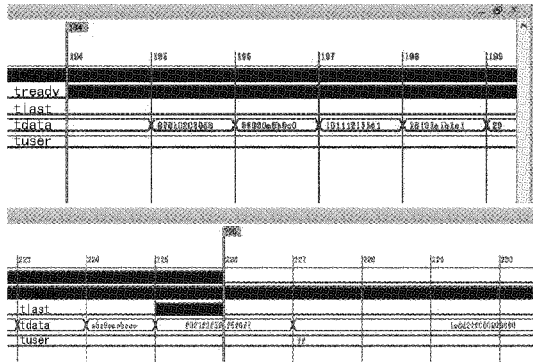


图 15 传输 1 帧有效数据开头和结尾

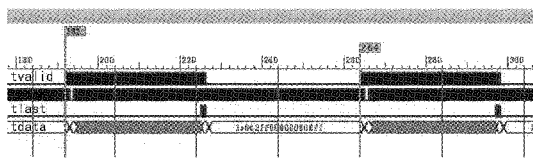


图 16 发送数据时序图

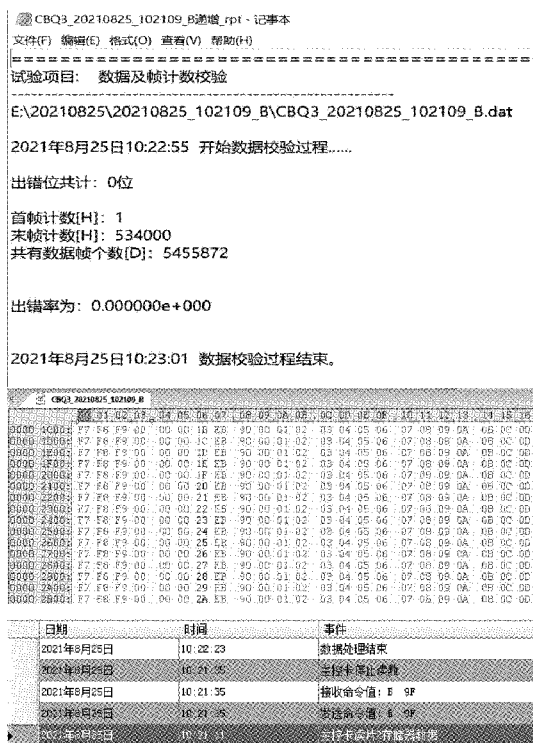


图 17 上位机软件报告和数据

丢帧现象,实际传输速度可以达到 444.01 Mbit/s,与理论值相符。在飞行试验中进行远距离高速数据传输的应用场景下,SRIO 可扩展、模块化的系统结构,较高的传输带宽,较强的鲁棒性等特点,相比于高速以太网、PCIe、光纤通道总线具有更大的优势。

6 结论

通过对飞行试验中测试设备的发展需求和国内外高

性能数据传输总线的调研,深入分析了 SRIO 互连协议的技术特点和优势,研究其互连和配置管理方法,提出了基于 SRIO 协议和光电转换模块为一体的远距离高速数据传输方案,完成了 FPGA 与 FPGA 之间远距离数据传输系统的整体方案设计、软硬件设计,并对其功能进行了充分验证。本设计经测试带宽可以达到 444 Mbit/s,且误码率和丢帧率均为 0,满足了嵌入式系统远距离数据传输的需求,并且使 FPGA 接口的灵活性和可靠性方面得到了极大提升,目前已成功应用于实际测试设备。本设计在传输带宽方面还有很大地提高潜力,理论上可以通过调整 IP 核传输频率、链路宽度和空闲时钟占比实现单路最大 5 Gbit/s,4 路 20 Gbit/s 的传输速度。综上,本设计对于飞行试验和其他远距离数据传输的应用场合具有很大的参考价值。

参考文献

[1] 钟海林,张翼飞,张景景,等.基于 RapidIO 总线的机载显示器通信系统设计与实现[J].电子技术及软件工程,2021(4):39-40.

[2] 祝树生,解春雷,仇公望,等.以太网、PCIe 和 Rapid IO 高速总线比较分析[J].电子测试,2016(11):100-102.

[3] 赵梦晗,李可,张越,等.10 Gb/s 以太网、FC、RapidIO 标准体系电参数对比研究[J].信息技术与标准化,2021(Z1):57-61.

[4] 朱新忠,王冠雄,韦杰,等.一种基于 Serial RapidIO 标准协议的高速交换技术[J].航天标准化,2020(2):8-11.

[5] 曲娜.远距离通信传输网络中的光缆线路分析[J].通讯世界,2017(5):50-51.

[6] 张晓雷.基于 8B/10B+CRC 的高速数据长距离可靠传输设计[D].太原:中北大学,2020.

[7] 陈刚,康林,陈航,等.基于 FPGA 的 SRIO 端点设计与实现[J].兵工自动化,2021,40(2):49-5.

[8] 沈俊材.通用 RapidIO 控制器的 DMA 高速传输方案设计[J].单片机与嵌入式系统应用,2020,20(7):20-24.

[9] 蔡恒雨,凤维杰,丁上义,等.基于 RapidIO 的多 DSP 互联仿真实现[J].计算机系统应用,2020,29(7):95-102.

[10] 杨帆,朱峰.高速互连串行协议 RapiIO 的性能优化[J].电子设计工程,2017,25(12):134-137,142.

[11] YIN C Y, ZHANG X M, WEI SH. RapidIO network enumeration strategy based on minimum isolation block[J]. IOP Conference Series: Earth and Environmental Science, 2019, 252(4):23-28.

[12] 王子懿,沈三民,杨峰,等.基于 FPGA 的高速大容量存储与传输系统[J].电子测量技术,2021,44(13):150-155.

[13] 刘金海,何栋梁.一种 1024 通道,1Gbps 速率集成电路综

- 合系统的设计与实现[J]. 电子世界, 2020(11):137-138.
- [14] 李清春, 胡玉春, 邱小华. 光模块 PCB 技术和热管理探究[J]. 印制电路信息, 2021, 29(1):45-51.
- [15] 高颖, 曹峰, 李兵强, 等. 基于串行 RapidIO 协议的信息传输模块的设计与实现[J]. 信息与电脑(理论版), 2015(13):109-110, 114.
- [16] 李瑛, 王向进, 盛定仪. 基于 VPX 标准的雷达信号处理平台的设计与实现[J]. 电子测量技术, 2020, 43(14): 79-83.

作者简介

- 辛云旭**, 硕士研究生, 主要研究方向为电路与系统设计。
E-mail: 812636990@qq.com
- 文丰**, 教授, 博士, 硕士生导师, 主要研究方向为微系统集成技术及传感器测量技术研究。
E-mail: wenfeng@nuc.edu.cn
- 张凯华**, 嵌入式工程师, 主要研究方向为嵌入式系统开发。
E-mail: kai.hua2008@126.com