

DOI:10.19651/j.cnki.emt.2108171

用于测量数字电路抖动的波形扩展方法

王一雄 粟涛

(中山大学电子与信息工程学院 广州 510006)

摘要:为了解决当下无法实时地对芯片内高频数字信号抖动进行精确测量等问题,提出了一种可以将高频数字方波信号低频化的扩展器电路结构。该扩展器对高频数字信号的边沿进行采样和输出,在完整保留信号抖动的同时将输入的高频数字信号实时展开成周期为预设值的低频方波信号。晶体管级的仿真实验和中规模集成电路(MSI)板级验证表明,该方法能扩大信号相邻边沿的时间间隔,同时保留原信号的抖动特性,可以用来测量频率达数十吉赫兹的高频数字信号的抖动且测量精度非常高(误差小于0.7%)。该扩展器结构简单,可集成于芯片内部用以实时且精准地测量片内高频数字信号的抖动。

关键词:数字电路;抖动测量;波形扩展

中图分类号: TP29 **文献标识码:** A **国家标准学科分类代码:** 510.1010

Waveform expansion method for measuring digital circuit jitter

Wang Yixiong Su Tao

(School of Electronics and Information Technology, Sun Yat-sen University, Guangzhou 510006, China)

Abstract: In order to solve the problem that the jitter value of the high-frequency digital signal inside the chip is difficult to measure accurately, proposes an expander circuit structure that can reduce the frequency of the high-frequency digital square wave signal. The expander samples and outputs the edge of the high-frequency digital signal, and expands the input high-frequency digital signal into a low-frequency square wave signal with a preset period in real time while completely preserving the signal jitter. Transistor-level simulation experiments and medium-scale integrated circuit board-level verification show that this method can expand the time interval between adjacent edges of the signal, while preserving the jitter characteristics of the original signal, and can be used to measure frequencies up to several the jitter of high-frequency digital signals in gigahertz and the measurement accuracy is very high (error less than 0.7%). The expander has a simple structure and can be integrated inside the chip to quickly and accurately measure the jitter of the high-frequency digital signal on the chip.

Keywords: digital circuits; jitter measurement; waveform expansion

0 引言

数字信号的一个重要特性是抖动^[1-3]。抖动是信号到达时间的涨落。数据信号与时钟信号的抖动均会严重影响电路性能^[4-6],可能造成时序违例并导致出错。对抖动进行测量,能评估电路的稳定性,诊断电路出错原因,是数字电路重要的测量技术^[7-9]。

数字集成电路的片内信号,通常以数百兆赫兹甚至吉赫兹的频率进行高低切换。测量这种高速切换信号的抖动具有较大的挑战。芯片位于封装内,示波器等测量设备的探头无法触及测试点。探头的寄生电容常在pF量级,而片内电路的驱动能力在fF量级,因此即使让探头接触到片内信号,强大的负载效应也会改变片上信号的波形。

目前国内外的研究人员主要采用间接测量的方式来评估片内高频数字信号的抖动,例如:基于时域相位抖动和频域相位噪声之间的数学关系来估算抖动大小的测试方法^[10-12];基于数字信号处理(digital signal processing, DSP)测量系统的测试方法^[13];以及在测量超高频信号的抖动时最常用的频域幂律积分法和模拟数字转换器(analog to digital converter, ADC)相干采样法^[14]等。这些方法需要复杂的测试设备,无法集成于芯片内部使用,与此同时这些方法的测量精度往往较低且大多都不能实现实时测量。

近年来较为热门的片内测量技术可以在更低的测量成本下达到更高的测量精度^[15]。但它们使用非常复杂的嵌入式电路来测量信号波形,然后经过后续分析得到抖动特

收稿日期:2021-10-23

性。这种方法的造价高,操作复杂,设计时容易出错,抖动测量的结果也不明确。

因此,如果能将片内信号引出到片外,由成熟的示波器等设备来测量^[16-17],那将方便许多。但是将片内高速信号引出,要求芯片的输入/输出(input/output,IO)电路的响应速度与片内内核电路相同,而在许多工艺库中,“IO”电路的速度比内核电路要慢一个数量级,因此无法直接输出内核的波形。

为了解决上述问题,有必要探索一种波形扩展的方法,将高速切换的信号转换为低速切换的信号,使用这种方法可以把内核信号通过“IO”电路发送到片外。这种转换必须保留原内核信号的抖动特性,这样才能使用外部设备把片内波形的抖动测量出来。

本文提出一种满足以上要求的扩展器结构。该扩展器电路结构简单,可集成于芯片内部。由晶体管级仿真实验和中规模集成电路(medium-scale integration,MSI)板级验证的结果可以看出,基于本文所提出扩展器结构的抖动测量方法在实现实时测量抖动的同时,可以达到比传统测量技术更高的测量精度。

1 波形展开电路结构与工作原理

1.1 波形展开电路结构

本文提出一种可集成于芯片内部且具有波形展开功能的电路结构以用于片内高频数字信号的抖动测量等领域。如图1所示,该电路在工作时,4个模块相互配合,在保留高频输入信号抖动的同时将其展开成周期为预设值的低频数字信号并输出。

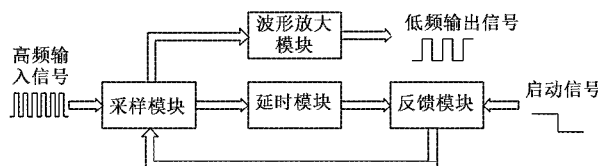


图1 波形展开电路架构

如图2所示,该电路由两个D触发器,若干个逻辑门和4个延时单元共同组成。其中,延时单元可由若干个宽长比为特定值的静态CMOS反相器级联构成。

1.2 波形展开电路的工作原理

该波形展开电路在其每个工作周期内对输入的高频

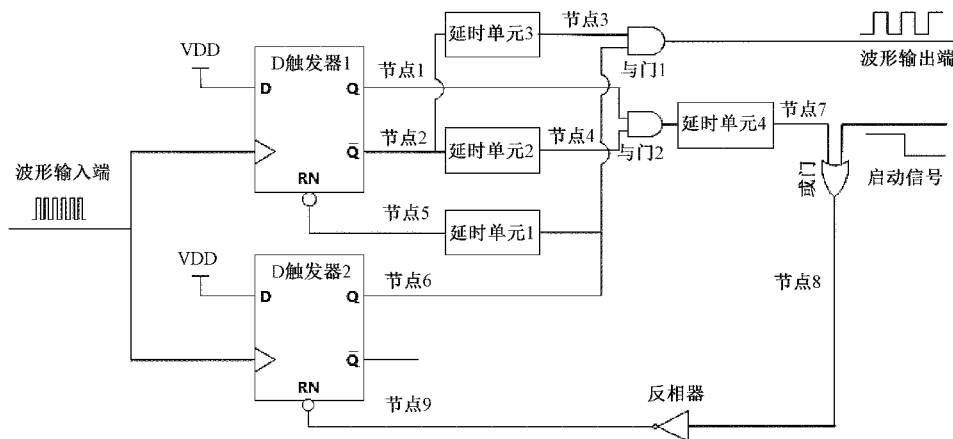


图2 波形展开电路结构

数字信号某个周期的波形进行采样(假设被采样的波形周期长度为 x)。

如图3所示,被采样的单周期高频信号会被展开成周期值为 $x+y$ (y 为某预设值,其大小由延时单元2,延时单元3与延时单元4的延时长度共同决定)的低频方波信号后输出。当一个周期的低频波形输出结束时,电路中的反馈模块会对采样模块中的两个D触发器清零,使电路自动开始下一个工作周期的采样工作。因此,该电路在启动后会连续地进行波形展开工作,在保留输入高频方波信号抖动的同时,将其放大成周期为预设值的低频方波信号。

1) 采样模块的工作原理

如图4所示,该电路的采样模块由两个D触发器与延时单元1构成,其中,两个性能相同的D触发器构成的差分结构大大提高了电路的采样精度和抗干扰能力。

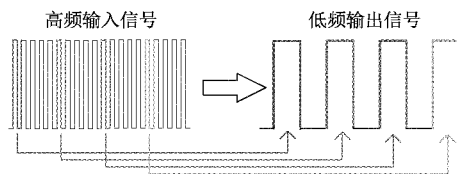


图3 波形展开原理

每个工作周期开始时,两个D触发器均处于清零状态,由D触发器的原理知,当输入信号的下一个上升沿到来时D触发器2的Q端的输出将跟随输入端的状态变为高电平,由于D触发器2的Q输出端与D触发器1的清零端相连,D触发器1将立刻结束清零状态且其Q输出端在输入信号的下一个上升沿到来时也发生一次由低电平到高电平的翻转,至此便完成了一次采样工作。

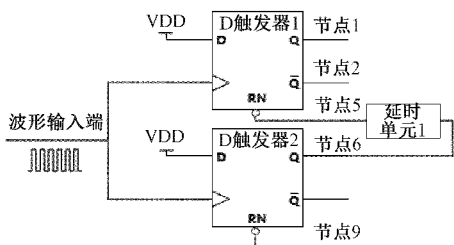


图 4 采样模块电路结构

D 触发器 2 的 Q 输出端和 D 触发器 1 的 Q 输出端电平翻转(低电平变为高电平)的时刻分别与输入信号中相邻的两个上升沿的到达时刻对应。因此,如图 5 所示,节点 1 与节点 6 处波形的上升沿之间的时间差即为输入高频信号单个周期的长度,其中完整包含着输入高频信号在被采样周期内的抖动。

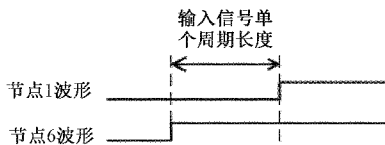


图 5 采样原理说明

2) 波形放大模块的工作原理

如图 6 所示,波形放大模块由延时单元 3 和与门 1 组成,其功能是将采样所得信号放大成周期值可控的低频信号。

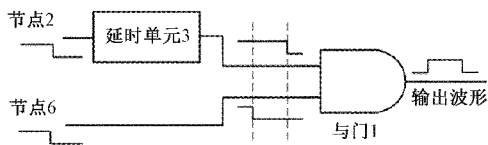


图 6 波形放大模块电路结构

D 触发器 1 的 \bar{Q} 输出端(节点 2)的波形延时一段时间后与 D 触发器 2 的 Q 输出端(节点 6)的波形通过与门 1 相与后得到低频的输出波形。由采样模块的工作原理可知,该输出波形的抖动情况与被采样的高频数字信号一致,而其周期长度与占空比则可通过调节延时单元 2,延时单元 3 与延时单元 4 的延时长度来自由调控。

3) 清零模块的工作原理

如图 7 所示,清零模块由与门 2,延时单元 2 和延时单元 4 组成,其功能是产生一个清零信号用以在每个工作周期结束后清零采样模块中的两个 D 触发器。

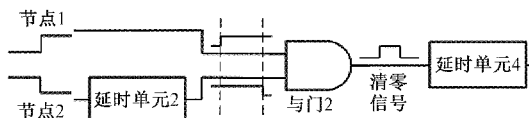


图 7 清零模块电路结构

节点 1 和节点 2 分别为 D 触发器 1 的 Q 输出端和 \bar{Q} 输出端。节点 2 的输出信号延时一段时间后与节点 1 的输

出信号相与,则与门 2 输出的方波信号即为清零信号,其周期长度与占空比主要由延时单元 2 与延时单元 4 的延时长度决定。

该清零信号将被输入至延时单元 4 中存储一段时间,当波形放大模块将该工作周期内产生的低频信号波形输出完毕后,该清零信号将被反馈模块传输到采样模块中,并使得采样模块中的两个 D 触发器进入清零状态。

4) 反馈模块的工作原理

如图 8 所示,反馈模块由 1 个或门和 1 个反相器组成,其主要功能是将清零信号和启动信号反馈至采样模块。

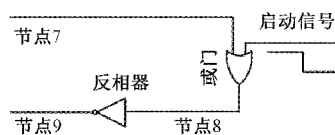


图 8 反馈模块工作原理

为了保证所设计的波形展开电路可以自启动,在或门的一端输入启动信号。节点 7 的波形是 D 触发器 1 的 \bar{Q} 端波形延时后和 D 触发器 1 的 Q 端波形相与的结果。当电路未上电时,节点 7 处必然为低电平,此时节点 9 处的波形与启动信号一致。

如图 9 所示,在电路上电时输入一个由高电平到低电平跳变的启动信号,当启动信号为高电平时 D 触发器 1 与 D 触发器 2 始终处于清零状态,当启动信号跳变为低电平后两个触发器先后结束清零状态,电路开始正常工作,之后启动信号保持为低电平状态,对电路不再有任何影响。

2 仿真实验验证结果

针对所设计波形展开电路功能和性能的仿真是在 HSPICE 软件上使用中芯国际 130 纳米工艺完成的,所得仿真数据表明该波形展开电路在测量信号抖动时精度非常高,且其工作频率可以达到吉赫兹的量级。

2.1 验证电路功能的正确性

当输入信号为周期长度循环变化(单个循环内的周期值大小依次为 9、10、11 ns)的时钟信号时,电路的波形仿真结果如图 10 所示。

由图 10 中的波形和相关数据可以看出,输出信号的周期被放大至预设值,且其高电平长度的抖动情况与输入信号一致,由此可见,所设计的波形展开电路的功能符合预期。

2.2 测评电路的性能

1) 测评方法介绍

如图 11 所示,由 100 个静态 COMS 反相器串联形成的反相器链用来模拟实际电路中数字信号经过的电路途径,该反相器链的电源端与叠加了干扰信号的 1.2 V 直流电源(电源端 A)相连接。

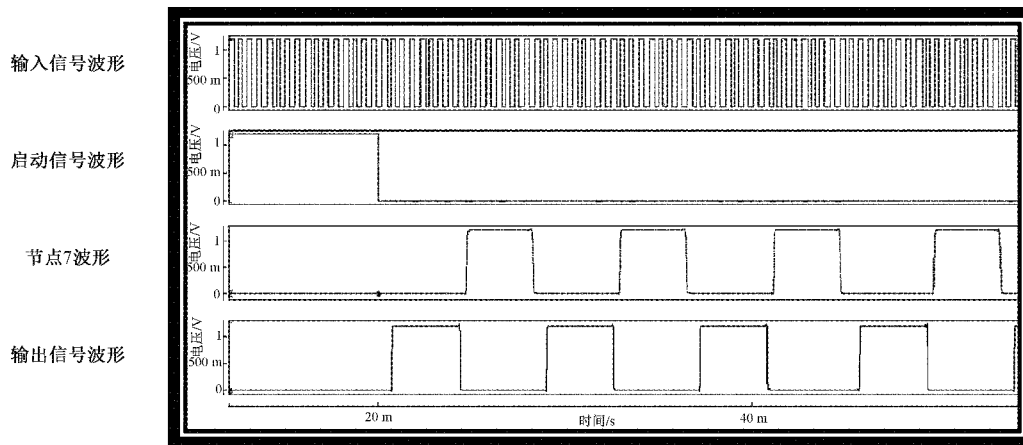


图9 电路启动时关键节点 HSPICE 仿真波形

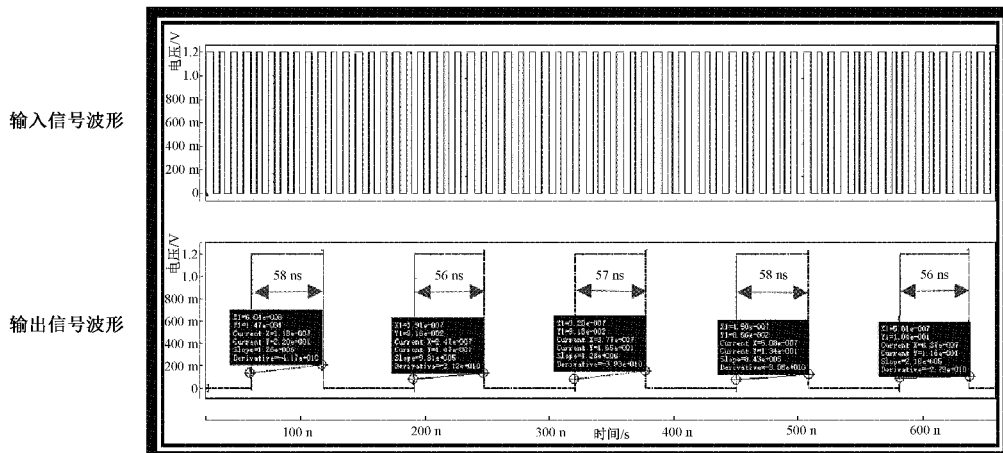


图10 针对电路功能正确性的 HSPICE 仿真波形

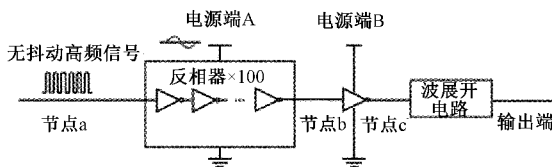


图11 性能测评仿真的电路结构

当周期大小恒定的无抖动高频数字信号经过该反相器链后从节点 b 输出时就会含有大小随机的抖动,再经过一个电源端与 1.2 V 直流电源(电源端 B)相接的静态 CMOS 反相器进行幅值恢复(利用了静态 CMOS 反相器的再生性)后从节点 c 输出幅值为 1.2 V 且含随机抖动的数字信号,该数字信号便可以输入至所设计的波形展开电路中用来测评所设计电路的性能。

2)性能测评的仿真结果

在进行性能测评仿真时,节点 a 处输入频率为 100 MHz 的理想方波信号,电源端 A 的 1.2 V 直流电上先后叠加幅值均为 0.6 V 但频率不同的正弦信号作为干扰信号。

(1)电源端 A 上叠加 80 MHz 干扰

当电源端 A 上叠加 80 MHz 的干扰信号时对所设计

的波形展开电路进行性能仿真所得到的关键节点处的输出波形如图 12 所示。

如表 1 所示,输入信号抖动的幅值为 3.54 ns,输出信号中所包含抖动的幅值为 3.53 ns,二者近似相等(测量误差约为 0.28%)。

由图 13、14 可以直观地看出,所设计波形展开电路在将输入的高频信号展开成周期为预设值的低频信号的同时将其所含有的抖动完整地保留了下来。

(2)电源端 A 上叠加 120 MHz 干扰

当电源端 A 上叠加 120 MHz 的干扰信号时各个关键节点处的仿真波形如图 15 所示。由表 2 中的统计数据可以看出输入信号抖动的幅值为 2.99 ns,输出信号中所包含抖动的幅值为 3.01 ns,二者近似相等(测量误差约为 0.67%)。

由图 16、17 可以直观地看出当干扰信号调至 120 MHz 时,所设计波形展开电路依然可以在将输入的高频信号展开成周期为预设值的低频信号的同时将其抖动完整地保留下来。

3)性能测评结果分析

数字信号的抖动会对电路产生巨大的负面影响^[18],而

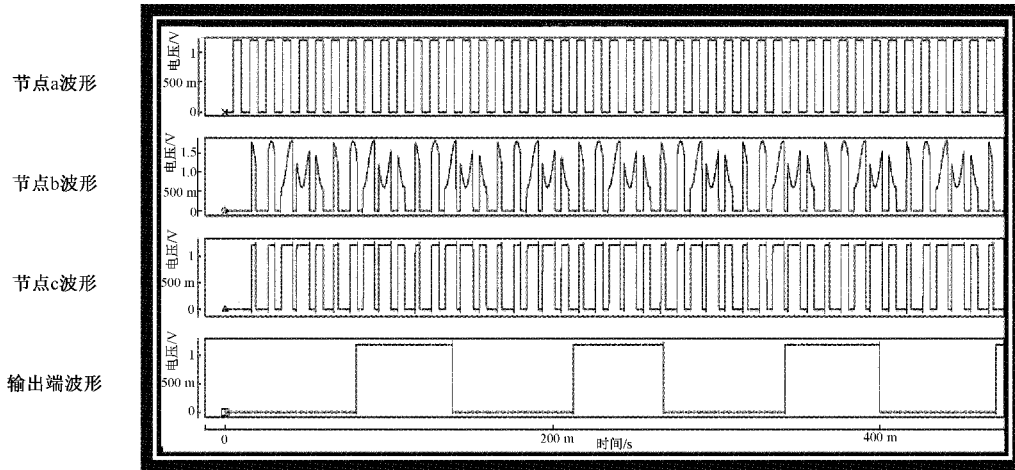


图 12 干扰信号频率为 80 MHz 时的 HSPICE 仿真波形

表 1 干扰信号频率为 80 MHz 时关键数据 ns

采样次数	输入信号周期	输出高电平时间
1	10.76	58.65
2	10.03	55.12
3	8.19	57.67
4	9.30	56.19
5	11.73	56.95
6	10.76	58.59
7	10.03	55.12
8	8.19	57.67
9	11.73	56.95
10	10.76	58.59

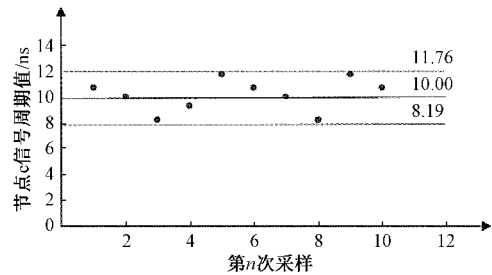


图 13 节点 c 信号周期长度的抖动情况

实际的应用中我们最关注的是其抖动的最大值。尤其是对信号的信噪比等参数有着巨大影响的时钟信号^[19],其抖动的最大值直接决定了该时钟信号是否会导致电路在工作时出现逻辑错误。因此在分析性能测评结果的时候我

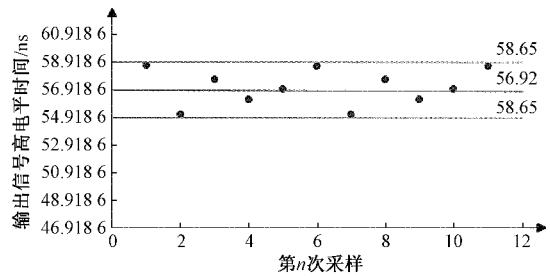


图 14 输出信号高电平时间的抖动情况

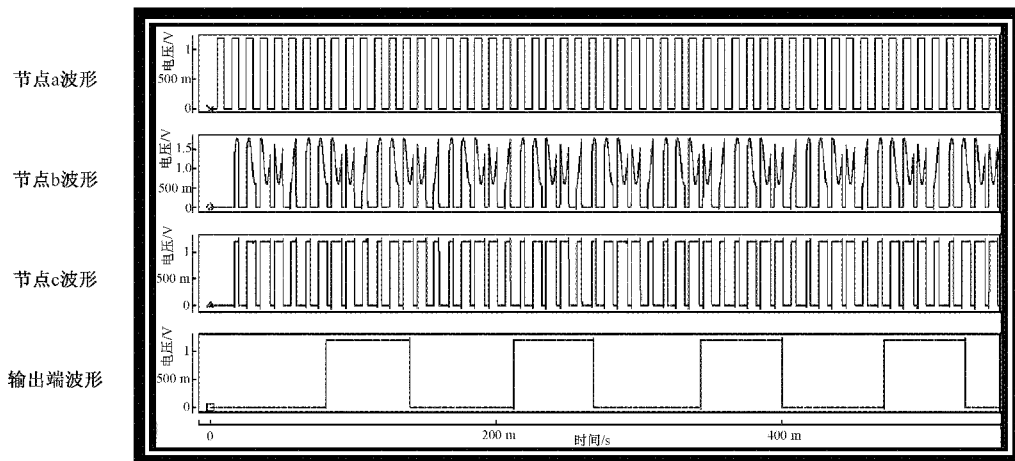


图 15 干扰信号频率为 120 MHz 时的 HSPICE 仿真波形

表2 干扰信号频率为120 MHz时关键数据 ns

采样次数	输入信号周期	输出高电平时间
1	10.43	58.69
2	8.77	56.08
3	9.16	57.33
4	9.88	56.80
5	11.76	55.68
6	10.43	58.69
7	8.77	56.08
8	9.16	57.33
9	11.76	55.68
10	10.43	58.68

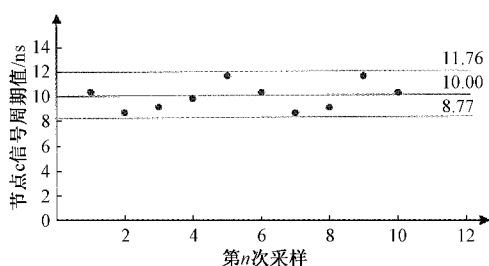


图16 节点c信号周期长度的抖动情况

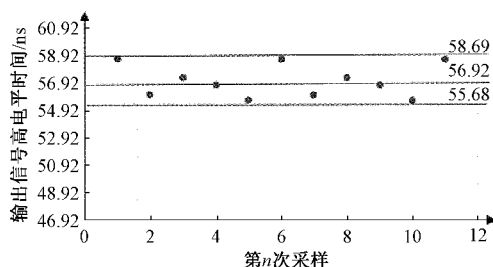


图17 输出信号高电平时间的抖动情况

们主要研究所设计的波形展开电路输出抖动的最值在多大程度上与输入高频信号抖动的最值相吻合,以及采样多少个周期后可以将输入时钟的抖动最值反映出来。

由图13、14以及表1中的数据可以看出,当干扰信号的频率为80 MHz时,输出低频信号中所含抖动的最值与输入高频信号抖动的最值近似相等(测量误差约为0.28%),且仅对输出信号两个周期的波形进行采样便可测出输入信号抖动的最值,这说明该电路有较高的工作效率。

同理,由图16、17及表2中的数据可看出,当干扰信号的频率为120 MHz时,输出低频信号所含抖动的最值与输入高频信号抖动的最值近似相等(测量误差约为0.67%),且仅对输出信号5个周期的波形进行采样便可测出输入信号抖动的最值。

综上所述,可以得出结论:相比于当下已有的抖动测量技术,本文所提出的抖动测量方法不仅具有可集成于芯片内部,实现了对抖动的实时测量等优点,而且可以达到更高的测量精度。

3 电路板级硬件原型验证结果

使用MSI芯片在电路板上对所设计的波形展开电路结构进行硬件原型验证,其电路结构如图18所示。

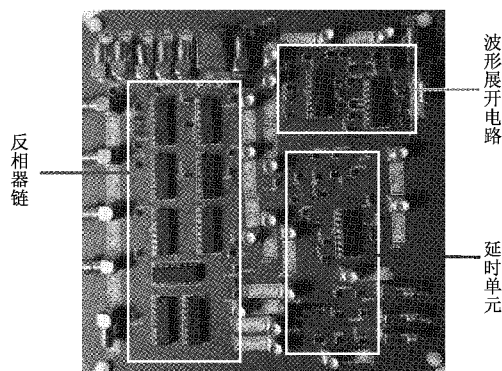


图18 硬件原型验证电路

在进行硬件原型验证时,在所设计的波形展开电路的波形输入端输入频率约为5 MHz且带有随机抖动的数字时钟信号,则在波形输出端得到频率约为0.3 MHz且完整保留有输入时钟信号抖动的低频方波信号。

在示波器上观测到的高频含抖动输入时钟信号和周期被放大成预设值的输出端低频方波信号的波形如图19与20所示。

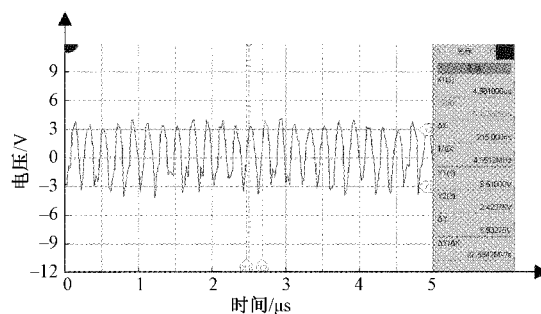


图19 输入的高频含抖动时钟信号

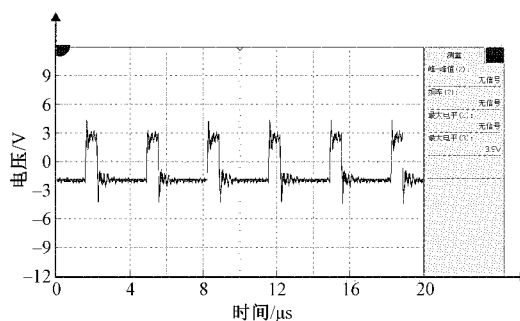


图20 输出端周期长度为预设值的低频方波信号

如表3所示,输出低频信号高电平长度与输入高频信号周期值的抖动情况一致,二者均以约10 ns的间隔在近似相等的幅度范围内抖动,抖动幅值分别为0.03 μs和

0.029 μs 。由此可见,本文所提出的电路结构应用在实际电路中时可以将高频的数字信号展开成周期为预设值的低频方波信号,并完整保留输入高频信号的抖动。

表 3 硬件原型验证实测数据 μs

采样次数	输入信号周期	输出高电平时间
1	0.117	0.364
2	0.107	0.383
3	0.097	0.364
4	0.127	0.374
5	0.107	0.373
6	0.107	0.364
7	0.117	0.393

4 结 论

为了解决当下抖动测量技术的设备复杂,难以集成到芯片内部,无法实现实时测量以及测量精度较低等问题。本文提出了一种结构简单,能集成于芯片内部的波形展开电路,其核心功能在于可以在完整保留输入高频数字信号抖动的同时将高频数字信号实时展开成周期为预设值的低频方波信号。由晶体管级的仿真实验和 MSI 板级验证的结果可以看出,本文所提出的电路结构实现了预设的功能且具有优越的性能。

该电路结构可以广泛地应用于片内高频数字时钟信号抖动测量等领域,同时也可用于解决高频数字信号的实时展开等难题。但在进行晶体管级仿真的时候发现,当输入信号的频率达到吉赫兹的量级时,该电路对抖动的测量精度会有小幅度的下降。未来或许可以通过调整电路中各个延时单元的延时长度等方法进一步提高该电路的测量精度和工作频率。

参考文献

- [1] 汪进进. 关于抖动[J]. 中国集成电路, 2015, 24(9): 55-58.
- [2] 李海涛, 李斌康, 阮林波, 等. 应用于高速数据采集系统的超低抖动时钟电路[J]. 数据采集与处理, 2020, 35(6): 1192-1199.
- [3] 龙丹. 时钟抖动度量指标和测试方法概述[J]. 现代传输, 2021(2): 68-70.
- [4] 王伟, 杜劲松, 全盼盼, 等. 时钟抖动对雷达信噪比和测量精度的影响[J]. 仪表技术与传感器, 2018(11): 146-150.
- [5] 文良华, 肖尚辉, 王贤武, 等. 数字低电平系统时钟抖动分析与测试[J]. 核电子学与探测技术, 2013, 33(12): 1456-1460, 1493.
- [6] 李海涛, 李斌康, 阮林波, 等. 应用于高速数据采集系统的超低抖动时钟电路[J]. 数据采集与处理, 2020, 35(6): 1192-1199.
- [7] 钟宇浩. 时钟的抖动测量与分析[J]. 电子测试, 2018(10): 48-49.
- [8] BRIJESH A S. 时域/频域的抖动测量[J]. 今日电子, 2014(9): 51-52.
- [9] 钟宇浩. 时钟的抖动测量与分析[J]. 电子测试, 2018(10): 48-49.
- [10] 沈小青, 楼杨, 叶玲玲, 等. 高速串行数据链路中基于相位噪声时钟抖动测量[J]. 计算机测量与控制, 2015, 23(5): 1470-1471, 1475.
- [11] 王小强. 相位噪声测量在时钟偏斜测试中的应用[J]. 微电子学, 2013, 43(5): 713-715, 726.
- [12] 蒋子彬. 信号源分析仪测试时钟抖动[J]. 国外电子测量技术, 2013, 32(8): 15-18.
- [13] 王学力, 任全会. 基于 DSP 时钟抖动测量系统的研究与实现[J]. 科学技术与工程, 2013, 13(17): 4968-4971.
- [14] 刘洁, 王轩, 龚科, 等. 基于 ADC 噪声分布的亚皮秒级时钟抖动测试方法[J]. 微电子学与计算机, 2020, 37(3): 71-75, 82.
- [15] 冯为蕾, 冯建华, 叶红飞, 等. 基于脉宽收缩和累积寄存器的片上时钟抖动测试电路[J]. 中国科学: 信息科学, 2014, 44(10): 1216-1225.
- [16] 罗德与施瓦茨公司. 用示波器分析抖动——时域和频域详细分析[J]. 国外电子测量技术, 2014, 33(5): 24-27, 33.
- [17] DAVIDSON S. Measuring digital clock stability and jitter with an oscilloscope [J]. EE: Evaluation Engineering, 2018, 57(11): 20-21.
- [18] LIU L, MA N, ZHAO Y, et al. A low-jitter fast-locking multi-phase clock for high resolution CCD processor [J]. IETE Journal of Research, 2015, 61(3): 213-222.
- [19] 邱渡裕, 田书林, 谭峰, 等. 基于有载品质因数的低抖动时钟电路研究[J]. 仪器仪表学报, 2015, 36(7): 1584-1591.

作者简介

王一雄, 硕士研究生, 主要研究方向为计算架构建模研究和 NPU 的硬件设计等。

E-mail: 21212020153@m.fudan.edu.cn

粟涛(通信作者), 副教授, 主要研究方向为数字集成电路设计与集成电路电磁干扰分析。

E-mail: sutao@mail.sysu.edu.cn