

DOI:10.19651/j.cnki.emt.2209030

一种新型的高精度 Sigma_Delta 调制器结构^{*}

王阔藩 李 恺 刘 博 王金焯 张金灿

(河南科技大学电气工程学院 洛阳 471023)

摘要:为实现低失真高动态范围的模数转换,提出了一种新型高精度 Sigma_Delta 调制器系统。首先,设计了一种新型的二阶单环一位量化结构,结构中增加两支前馈路径,并调整了核心积分器和信号加算模块的逻辑关系。同时,为实现量化噪声的二阶整形以及输入信号的无延迟传输,进一步适配和改进了积分器的传输函数。最终,所提出的调制器实现了更高的信噪比和更宽的动态输出范围。基于 MATLAB 的系统级仿真结果表明,在信号带宽 1 kHz、采样信号频率 1 024 kHz 的条件下,所提出调制器的信噪比为 106.6 dB,有效位数为 17.41 bit,二次谐波失真为 -82.7 dB,动态范围为 104.76 dB,整体指标性能良好,为高阶 MASH 结构 Sigma Delta 调制器的研发提供了新方向。

关键词: 模数转换器;二阶 Sigma-Delta 调制器;传输函数;低失真;高动态范围

中图分类号: TN713;TN761 **文献标识码:** A **国家标准学科分类代码:** 510.3040

A new high-precision Sigma_Delta modulator structure

Wang Gefan Li Kai Liu Bo Wang Jinchan Zhang Jincan

(Electrical Engineering College, Henan University of Science and Technology, Luoyang 471023, China)

Abstract: In order to realize analog-to-digital conversion with low distortion and high dynamic range, a new high-precision Sigma Delta modulator system is proposed. The Sigma-Delta modulator firstly adopts a new type of second-order single-loop one-bit quantization structure, where adds two feedforward paths and adjusts the logical relationship between the core integrator and the adder module. At the same time, in order to realize the second-order shaping of quantization noise and the delay-free transmission of input signals, the transmission function of the integrator is further adapted and improved. MATLAB based system-level simulation results show that, the signal-to-noise ratio (SNR) of the proposed modulator is 106.6 dB, the effective number of bit (ENOB) is 17.41 bit, the second harmonic distortion is -82.7 dB and the dynamic range is 104.76 dB under the conditions of sampling signal frequency of 1 024 kHz and input signal bandwidth of 1 kHz, which provides a new direction for the research and development of Sigma-Delta modulator with high-order MASH structure.

Keywords: analog-to-digital converter; second-order Sigma-Delta modulator; transfer function; low distortion; high dynamic

0 引 言

模数转换器(analog digital converter, ADC)作为数模混合信号 SOC 的核心模块之一,其中过采样型 ADC 以远高于 Nyquist 频率进行采样^[1],可以达到极高的精度^[2],其核心模块是 Sigma-Delta 调制器^[3]。Sigma-Delta 调制器的信噪比可通过提升调制器阶数和过采样率来提高^[4,5],但过高的阶数和采样率也将引起高阶调制器的稳定性、速度延迟和内部积分器电路等的信号过载问题^[6]。文献[7]提出

了一阶单个零点调制器,结构简单但精度不高;通常,一阶单环调制器^[8]稳定性强但不适用于高频转换系统,应用范围小;文献[9]提出提高阶数以衰减带内噪声,但高阶意味着高复杂度;2012年 Cubas 等^[10]设计了单环三阶结构,但稳定性不好且受输入信号幅度影响较大;2017年 Sung 等^[11]设计了采用多位量化的调制器,但多位量化引入非线性因素,最终该调制器的有效位数只有 10 bits。

针对以上问题,本文提出一种新型的二阶单环 Sigma-Delta 调制器拓扑结构,为防止大幅度输入信号导致的积分

收稿日期:2022-02-17

^{*} 基金项目:国家自然科学基金(61704049,61804046)、河南省科技厅科技计划项目(192102210087,202102210322)、河南科技大学研究生质量提升工程(2020ZYL-008)资助

器过载,结构中增加两支输入信号直通的前馈路径和一支反馈路径;又调整了积分器和信号加算模块的先后逻辑关系,适配和优化了积分器电路的传输函数^[12]以完成量化噪声二阶整形,提高了整体调制器的输出动态范围,增强了其高对比度图像处理的能力。使用 Simulink 工具对 Sigma-Delta 调制器展开功能验证和性能仿真,结果显示,所提出新型拓扑结构结合对传输函数的优化,可有效实现输入信号的无延迟传输和同步二阶噪声整形,为 Sigma-Delta 调制器电路整体性能优化和设计高阶级联结构调制器提供指导。

1 一阶单环调制器

高动态范围要求调制器有较小的量化噪声,调制器中的积分器将量化噪声推移到高频段,起到低通滤波的作用。

传统的一阶 Sigma-Delta 调制器采用一位量化将模拟信号转换成数字信号,并基于高采样率将量化噪声推散到整体频带上,从而提高信噪比(signal noise ratio, SNR)和输出动态范围。图 1 是该一阶单环 Sigma-Delta 调制器的架构图^[13],也是最简单、可无条件稳定地实现一阶噪声整形的调制器,其由积分器、一位量化器和一位数模转换器(DAC)构成。该调制器的工作原理是,输入信号 u 与前一周期经 DAC 转换后的输出信号 v 相减,经积分器 $H(Z)$ 积分后进入量化器 Q ,最终输出离散信号 v ,至此完成一个周期的模数转换。

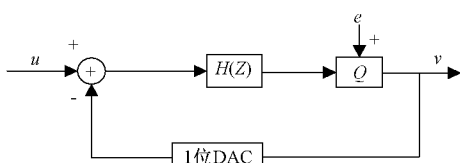


图 1 一阶单环 Sigma-Delta 调制器

根据图 1 的结构,该调制器的信号传输函数(signal transfer function, STF)和噪声传输函数(noise transfer function, NTF)可分别表示为:

$$STF(Z) = \frac{V(Z)}{U(Z)} = \frac{H(Z)}{1+H(Z)} \quad (1)$$

$$NTF(Z) = \frac{V(Z)}{U(Z)} = \frac{1}{1+H(Z)} \quad (2)$$

其中, $H(Z)$ 、 $STF(Z)$ 和 $NTF(Z)$ 分别代表离散积分器、信号传输函数和噪声传输函数的 Z 域模型。最终输出信号又包含信号和噪声两种成分,其 Z 域表达式可记为如下形式:

$$V(Z) = STF(Z)X(Z) + NTF(Z)E(Z) \quad (3)$$

高分辨率、高信噪比是 Sigma-Delta ADC 区别于其他 ADC 最显著的优点之一,信噪比值直接取决于过采样率 M 、调制器阶数 L 和量化位数 N ,其计算公式为:

$$SNR[\text{dB}] = 6.02N + 1.76 + 10\lg M^{(20L-10)} - 10\lg \frac{\pi^{2L}}{2L+1} \quad (4)$$

由式(4)可知,过采样率 M 每增大 1 倍,噪声功率 $-10\lg M^{(20L-10)}$ 减小 $3(2L+1)$ dB,同时分辨率提高 $(L+0.5)$ bit;调制器阶数 L 即积分器个数越多,信噪比提升越明显;同时,量化位数 N 每增加 1 倍,信噪比增加 6.02 dB。进一步,由式(4)可得一阶单环一位量化调制器,即 $L=N=1$ 时的信噪比(SNR)为:

$$SNR = 6.02 + 1.76 + 30\lg M - 10\lg \frac{\pi^2}{3} \quad (5)$$

根据式(5),要想获取较高的信噪比,对于一般用于处理低频信号的一阶 Sigma-Delta 调制器来说,只需指数倍增加过采样率 M 。但对于处理高频信号,这将极大地提升采样频率,导致整体调制时间激增,无法在实际 ADC 中应用。另一方面,一阶调制器的量化误差并不是理想的白噪声,在输出频谱的某些频率上有较大的尖峰^[14]。进一步,一阶调制器虽然结构简单且性能稳定,但其实际精度远远达不到应用的要求,因此,采用二阶或更高阶 Sigma-Delta 调制器是进行高速、高精度噪声整形的必要手段。

2 二阶单环调制器

如图 2 所示,二阶单环 Sigma-Delta 调制器主要采用两个级联的积分器 $H(Z)$ 构成。理论上,更高阶的噪声整形则可以通过增加前向通路中的积分器个数实现。

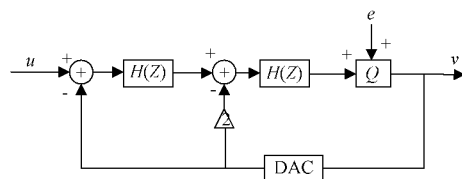


图 2 二阶 Sigma-Delta 调制器原理图

图 2 中, $H(Z)$ 是理想积分器的 Z 域线性模型,其表达式为 $H(Z) = Z^{-1}/(1-Z^{-1})$, e 表示量化噪声。将 $H(Z)$ 代入式(5),二阶 Sigma-Delta 调制器的 Z 域传输函数可具体表示为:

$$V(Z) = \frac{H^2}{1+2H+H^2}U(Z) + \frac{1}{1+2H+H^2}E(Z) = Z^{-2}U(Z) + (1-Z^{-1})^2E(Z) \quad (6)$$

由式(6)可知,输入信号 $U(Z)$ 和量化器引入噪声信号 $E(Z)$ 的传输函数和分别是 Z^{-2} 和 $(1-Z^{-1})^2$ 。由式(4)可得二阶单环一位量化调制器,即 $L=2, N=1$ 时的信噪比:

$$SNR = 12.04 + 1.76 + 50\lg M - 10\lg \frac{\pi^4}{5} \quad (7)$$

由式(7)可看出,过采样率 M 的取值也对信噪比有直接影响。图 3 展示了理想一阶、二阶调制器的信噪比与过采样率 M 的关系。由图可知, M 每增大一倍,一阶和二阶调制器的信噪比可分别提升 9 dB 和 15 dB,显而易见,二阶调制器具有更强大的噪声整形能力。

尽管如此,作为传统二阶调制器的缺点,根据式(6)可

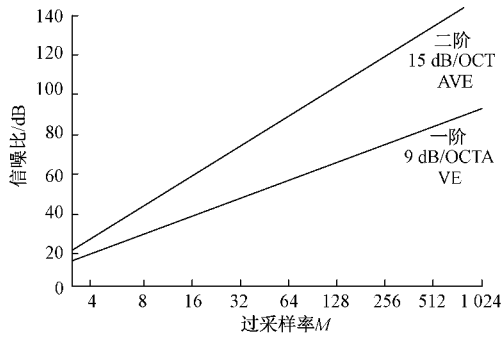


图 3 不同调制阶数下的 SNR 与过采样率关系

知输入信号被延迟了两个时钟周期，这导致了误差信号 e 只是输入信号的高通滤波，使得积分器极易满幅导致过载，最终降低信噪比。另一方面，为实现更高的过采样率以改善谐波失真，提升动态范围，需要仔细设计积分器中的运算放大器，提高其增益线性度，这大大增加了整体调制器的设计复杂度^[15]。

为了解决上述两个问题，本文提出一种新型的拓扑结构设计实现具有低失真和宽动态范围的二阶单环 Sigma-Delta 调制器。

3 创新提出的二阶单环调制器

本文所提出的新型低失真二阶单环 Sigma-Delta 调制器如图 4 所示，其结构中包含 2 个积分器、1 个量化器、2 个加法器、3 个运算放大器和 1 个 DAC。

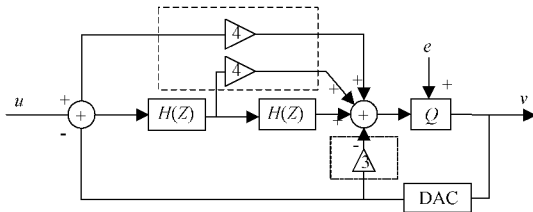


图 4 改进的低失真二阶调制器结构

由图 4 可知，通过将两级积分器 $H(Z)$ 前置，并增加两路额外的前馈路径，可跨过积分器直接将输入信号前馈至输出端，相较于无前馈结构，积分器仅仅处理量化噪声，没有输入信号分量，所以降低积分器的输出摆幅，不易过载，从而降低了对运放的设计要求。基于图 4 所表示的调制器结构，可写出其对应的传输函数如下：

$$V(Z) = \frac{H^2 + 4H + 4}{H^2 + 4H + 4}U(Z) + \frac{1}{H^2 + 4H + 4}E(Z) = U(Z) + \frac{1}{H^2 + 4H + 4}E(Z) \quad (8)$$

由上式可以看出，该新型调制器结构的输入信号 $U(Z)$ 的传输函数 STF 可简化为 1，说明输入信号通过调制器被直接输出，过程中没有产生任何延迟，而同时，与二阶调制器类似，可看出第二项的量化噪声 $E(Z)$ 与积分器进行了有效的二阶调制。

进一步，为了实现噪声项的标准二阶整形，可将积分器的 Z 域线性模型设为：

$$H(Z) = \frac{Z^{-1}}{1 - Z^{-1}} - 1 \quad (9)$$

将其带入式(8)，可得量化前后产生的噪声传输函数为 $NTF(Z) = (1 - Z^{-1})^2$ ，即量化噪声进行了二阶整形。因此，整体调制器的输出信号表达式为：

$$V(Z) = U(Z) + (1 - Z^{-1})^2 E(Z) \quad (10)$$

由式(10)可知，该结构中的积分器只对量化噪声进行整形处理。其好处有 3 点：1) 引入前馈结构使得 Sigma-Delta 调制器对积分器非线性不敏感，提高了稳定性。2) 积分器性能对输入信号不产生直接影响，因此增大输入信号的幅度也不会导致积分器过载，从而有效提高了整体调制器的动态输出范围。3) 由于量化噪声 e 的幅度远远小于输入信号 u ，本结构中，经 DAC 反馈输入至积分器的信号噪声幅度也较小，相较于需要对大幅度输入信号和噪声同时处理的传统结构，这样将大大降低对积分器内部运放模块的直流增益和建立时间的要求，有效降低了实际电路的设计复杂度。尽管如此，在实际电路应用时，仍需通过降低运放输出摆幅和调整积分器比例系数以减小积分器非线性对量化误差造成的影响^[16]。

4 实验与讨论

本研究使用 MATLAB 工具平台对所提出的 Sigma-Delta 调制器进行 Simulink 建模和结构设计，之后对结构中的各功能模块及整个系统进行仿真并展开该离散系统的时域和 Z 域分析。所提出调制器的线性结构模型如图 5 所示，其参数及指标如表 1 所示，针对该调制器，其功能实现可使用输入输出的时域波形进行验证，同时使用 Simulink 中的功率谱密度(power spectral density, PSD) 模块对整体系统的性能进行总体分析和量化评价。

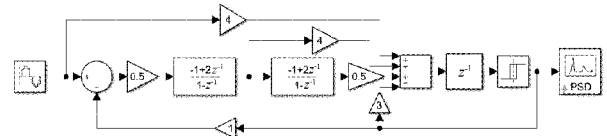


图 5 本文提出的二阶单环 Sigma-Delta 调制器结构

表 1 所提出的二阶 Sigma-Delta 调制器参数及性能指标

名称	设计数值
信号带宽/KHz	1
量化器位数/bits	1
阶数	2
过采样率	512
有效位数/bits	17.41
信噪比/dB	106.6

图 6 是量化器 Q，也是整体调制器的输入输出波形，输入信号的一个周期波形如图 6(a)所示，相对应的经调制器

处理的输出信号如图 6(b)所示。由图 6 可看出所提出 Sigma-Delta 调制器可有效地将连续的周期性模拟信号转换为以稀疏程度表示高低电平持续时间的离散数字信号。由于 Simulink 信号源模型建立时已经设定采样频率,所以第 1 个波形输出为采样过后的波形。

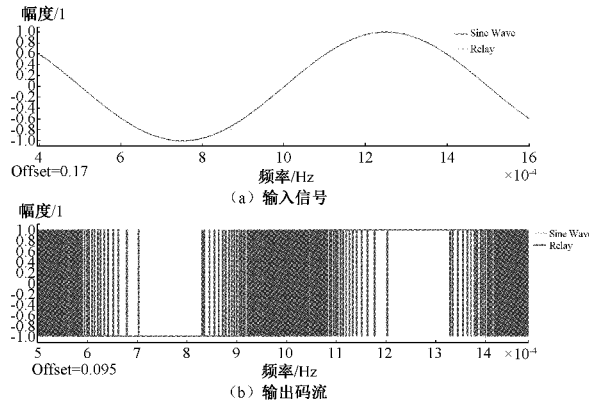


图 6 信号波形图

对比量化器输出波形和输入波形可以得出,该系统的传递函数和系统模型是吻合的。当输入信号正值较大时,输出信号为高电平的比例大,当输出信号为负值较小时,输出信号低电平所占比例大。当输入信号在零值附近时,输出信号呈高电平或者低电平的比例基本一致。

图 7 展示了传统结构和本文所提出的新型二阶调制器的功率谱密度对比图。可以看出,在采样信号频率 1 024 KHz,输入信号带宽为 1 KHz 的仿真条件下,文献[15]的传统二阶单环调制器的信噪比仅为 100.3 dB,二次谐波失真为 79.15 dB;与之相比,本文所提出的新型调制器的信噪比 SNR 高达 106.6 dB,有效位数为 17.41 位,二次谐波失真为 82.69 dB,信噪比和谐波失真分别优化改进了 6.3 和 3.54 dB。另外,文献[15]和[17]采用 4 位量化技术,这就需要 15 个比较器,且必须用 4 位反馈 DAC 进行模拟反馈信号重构,导致电路复杂度骤升,且多位 DAC 的元器件失配问题引入谐波失真,大大降低了系统线性度。而本文采用一位量化器,仅用 1 个比较器即可实现,相应的反馈 DAC 可用电压源与开关电路实现,结构简单,具有良好的线性度的同时也简化了后端数字抽取滤波器的设计;文献[17]采用的 MASH(multi-stage noise shaping)结构会增加版图面积,且复杂度较高;本文提出的二阶单环 Sigma-Delta 调制器结构简单、面积小,易于集成。文献[18]采用 3 级前馈、2 级反馈和 3 个加权求和模块;本文采用 2 级前馈、2 级反馈和 2 个加权求和模块,电路设计时,少一个前馈路径、求和模块,省去 2 个电容、简化时序逻辑设计,节约面积和成本。文献[19]采用单环 3 阶结构,需要 3 个积分器实现 3 阶噪声整形。然而 3 个积分器级联于同一个环路,实现噪声整形,相较于 2 阶积分器,在高频段增益显著增大,导致系统不稳定;其采用 1 024 的过采样率,降低了

调制器速度;本文采用 512 的过采样率、2 阶前馈结构,使调制器对积分器非线性不敏感,提高了稳定性。与近年现存的研究具体性能指标对比如表 2 所示,相较于文献[15]、[18],采用二阶结构、512 的过采样率,而本文实现了更高的信噪比;相较于文献[17]、[19],虽带宽不及二者,但本文用了更少的积分器,结构更简单。基于所提出新型架构的二阶单环调制器在各项关键性能指标上均具有明显的优越性。

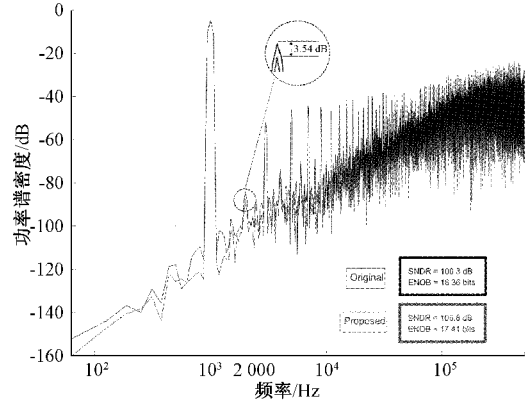


图 7 传统调制器与改进的调制器功率谱密度

表 2 近年发表的 Sigma-Delta 调制器性能对比

文献	阶数 结构	过采 样率	信号带宽/ kHz	信噪比/ dB	有效位数/ bits
[15]	2 阶单环	512	1	100.3	16.00
[17]	MASH2-2	500	12 000	88.0	14.30
[18]	2 阶单环	512	1 000	100.2	16.36
[19]	3 阶单环	1 024	0.1	99.0	16.90
本文	2 阶单环	512	1	106.6	17.41

5 结 论

本文设计了一款新型拓扑结构的低失真宽动态范围二阶 Sigma-Delta 调制器。通过增加输入信号直通的前馈路径,结合调整积分器传输函数,实现积分器对输入信号保持的同时,只针对量化噪声进行二阶整形处理。该结构在增加输入信号幅度时可抑制积分器过载,同步提高了传统二阶调制器的信噪比特性和动态输出范围。采用 MATLAB、Simulink 进行了仿真验证,结果显示,本文所提出的新型 Sigma-Delta 调制器的信噪比高达 106.6 dB,有效位数为 17.41 位,二次谐波失真为 82.69 dB,与传统的二阶调制器相比,信噪比和谐波失真性能分别提升了 6.3 和 3.54 dB。进一步与近期多个同类调制器电路的对比中,多项指标也展现出了明显的优势,也为高阶级联 MASH 结构调制器的设计提供了新思路,对高质量信号转换和传输有重要意义。

参考文献

- [1] LEE J, OH Y, OH S, et al. Low power CMOS-based hall sensor with simple structure using double-sampling

- delta-sigma ADC[J]. *Sensors*, 2020, 20(18):5285.
- [2] 郑伟,高博,刘玥伽,等. Sigma-Delta ADC 中高抽取率滤波器设计[J]. *电子测量技术*, 2020, 43(6):160-164.
- [3] 方敏. 基于两步多位量化技术的 SC $\Sigma-\Delta$ 调制器及其非理想特性的建模[J]. *电子测量与仪器学报*, 2018, 32(2):186-192.
- [4] 陈继华,吴晨昺,谌志新. 基于 STM32 的 Delta-Sigma 调制的鱼探仪发射机信号源设计[J]. *仪器仪表学报*, 2016, 37(S1):67-73.
- [5] YUAN J, ZHANG Z F, WU J, et al. Continuous time sigma delta ADC design and non-idealities analysis[J]. *Journal of Semiconductors*, 2011, 32(12):128-133.
- [6] SHANTJI P, RICHARD S, GABOR C T. Understanding Delta-Sigma data converters, 2nd edition[M]. New Jersey: IEEE Press, 2017.
- [7] INOSE H, YASUDA Y, MURAKAMI J. A telemetry system by code modulation $\Sigma-\Delta$ modulation[J]. *IRE Transactions on Space Electronics and Telemetry*, 1962, 8(3):204-209.
- [8] 吕立山,周雄,李强. 低压低功耗 Sigma-Delta 调制器综述[J]. *微电子学*, 2018, 48(3):395-400.
- [9] CHAO C H, NADEEM S. A higher order topology for interpolative modulators for oversampling A/D converters[J]. *IEEE Trans Circuits & Syst*, 1990, 37(3):309-318.
- [10] CUBAS H A, JUNIOR J. Top-down design for low power multi-bit Sigma-Delta modulator[C]. 2012 25th Symposium on Integrated Circuits and Systems Design (SBCCI), IEEE, 2012:1-6.
- [11] SUNG G M, GUNNAM L C, LIN W S, et al. A third-order multibit switched-current delta-sigma modulator with switched-capacitor flash ADC and IDWA[J]. *Ieice Transactions on Electronics*, 2017, 100(8):684-693.
- [12] QIU D, YI T, HONG Z. A low-power triple-mode sigma-delta DAC for reconfigurable (WCDMA/TD-SCDMA/GSM) transmitters [J]. *Journal of Semiconductors*, 2011, 32(2):96-101.
- [13] GEERTS Y, STEYAERT M, SANSEN W. A high-performance multibit Delta Sigma CMOS ADC[J]. *IEEE Journal of Solid-State Circuits*, 2000, 35(12):1829-1840.
- [14] CANDY J. A use of double integration in Sigma-Delta modulation[J]. *IEEE Transactions on Communications*, 1985, 33(3):249-258.
- [15] 郭书包,仇玉林,叶青. 一种宽带、低失真、高过载特性的 Sigma-Delta 模数转换器结构[J]. *电子器件*, 2007, 30(4):1258-1261.
- [16] MALCOVATI P, BRIGATI S, FRANCESCONI F, et al. Behavioral modeling of switched-capacitor sigma-delta modulators[J]. *IEEE Transactions on Circuits and Systems Part I: Fundamental Theory and Applications*, 2003, 50(3):352-364.
- [17] LI D, FEI C, ZHANG Q, et al. Mismatch errors randomization for multi-bit DAC in Sigma-Delta modulators based on butterfly-type network [J]. *Microelectronics Journal*, 2019, 94(Dec.):104651.1-104651.8.
- [18] 刘振宇,宋树祥,蒋品群,等. 二阶高精度离散时间 Sigma-Delta 调制器的设计[J]. *微电子学与计算机*, 2021, 38(6):77-81.
- [19] 王彬,何光旭,肖姿逸,等. 一种高精度单环高阶 $\Sigma-\Delta$ 调制器[J]. *微电子学*, 2017, 47(5):644-647.

作者简介

王阁藩, 硕士, 主要研究方向为高分辨率模拟信号调制器/Sigma-Delta 型 ADC 设计。

E-mail: max2584325811@163.com

李恺, 硕士, 主要研究方向为低功耗传感链路/模拟前端及结合算法的性能优化。

E-mail: likaieer@163.com

刘博(通信作者), 博士, 副教授, 主要研究方向为混合信号/模拟/RF IC 及其版图设计自动化。

E-mail: liubo110@haust.edu.cn

王金婵, 博士, 副教授, 主要研究方向为宽带半导体材料与器件。

E-mail: 15903790309@139.com

张金灿, 博士, 副教授, 主要研究方向为 HBT 器件模型及超高速集成电路设计。

E-mail: zjc850126@163.com