

DOI:10.19651/j.cnki.emt.2210081

## 高可靠性高速通信系统的国产化设计与实现\*

薛伟钊<sup>1</sup> 张会新<sup>1</sup> 郭瑞卿<sup>2</sup> 彭晴晴<sup>3</sup> 赵睿<sup>4</sup>

(1. 中北大学仪器科学与动态测试教育部重点实验室 太原 030051; 2. 西安电子科技大学电子工程学院 西安 710071;  
3. 北方自动控制技术研究所 太原 030006; 4. 中国人民解放军空军通信士官学校 大连 116600)

**摘要:** 为了提高通信系统的可靠性与传输速度,增加传输距离,降低系统的误码率并达到国产化的目的,创新性的设计的双路冗余与CRC相结合的算法并利用包括国产FPGA在内的国产器件,完成一套高可靠性高速通信系统的国产化系统设计。经过多种复杂场景下的应用与测试,传输速度由原系统的0.4 Gbit/s提升至1.25 Gbit/s,单路传输提升为双路冗余传输提升了系统可靠性,传输距离由原系统的40 m提升至100 m,误码率降低为0。达到了复杂环境下保持高可靠性、高速、远距离、零误码率以及国产化的目的。日前已在某项目中得到应用。

**关键词:** 高可靠;高速通信;国产化;双路冗余;远距离;零误码率

**中图分类号:** TP274 **文献标识码:** B **国家标准学科分类代码:** 510.40

## Design and implementation of localization of high-speed communication system

Xue Weizhao<sup>1</sup> Zhang Huixin<sup>1</sup> Guo Ruiqing<sup>2</sup> Peng Qingqing<sup>3</sup> Zhao Rui<sup>4</sup>

(1. Key Laboratory of Instrument Science and Dynamic Measurement, North University of China, Taiyuan 030051, China;  
2. School of Electronic Engineering, Xidian University, Xi'an 710071, China;  
3. North Automatic Control Technology Institute, Taiyuan 030006, China;  
4. Air Force Communication NCO Academy, Dalian 116600, China)

**Abstract:** In order to improve the reliability and transmission speed of the communication system, increase the transmission distance, reduce the BER of the system and achieve the purpose of localization, the innovative design of dual redundancy and CRC combined algorithm and the use of domestic devices, including domestic FPGA, to complete a set of high reliability high-speed communication system of the fully localized system design. After a variety of complex scenarios and tests, the transmission speed was increased from 0.4 Gbit/s to 1.25 Gbit/s, the single channel transmission was upgraded to dual channel redundancy transmission to improve the system reliability, the transmission distance was increased from 40 m to 100 m, and the BER was reduced to 0. The system achieves high reliability, high speed, long distance, zero BER and localization in a complex environment. The purpose is to maintain high reliability, high speed, long distance, zero BER and localization in complex environment. It has been applied in a project.

**Keywords:** high reliability; high-speed communication; localization; dual redundancy; long distance; zero BER

## 0 引言

近年来,随着我国综合国力的增强,航天发射活动频繁<sup>[1]</sup>,关键技术的研究与国产化已经迫在眉睫<sup>[2]</sup>。近年来,以美国为首的发达国家对于我国的芯片半导体领域进行了技术封锁。各种所谓的“黑名单”的出现,让我们深刻的认清了现实,也极大的推动了我国相关产业的发展<sup>[3]</sup>。今年俄乌局势的迅速恶化以及俄罗斯受到的经济与科技制裁又

一次给我们敲响了警钟。在此之前,为了保证产品的性能与可靠性,我国在航天军工等领域大量的使用进口器件,相关产品的国产化率比较低,另外,国产半导体器件还存在着可靠性较差,性能较低等诸多问题。为了解决“卡脖子”问题,摆脱对国外的严重依靠,相关科技工作者已经开始部署国产化工作<sup>[4]</sup>。现场可编程逻辑门阵列<sup>[5]</sup> (field programmable gate array, FPGA)在国内外的许多领域尤其是航空航天上的应用非常广泛<sup>[6]</sup>,随着国家对相关产业

收稿日期:2022-05-23

\* 基金项目:国家自然科学基金青年科学基金(51705475)项目资助

的关注与支持,国产FPGA的性能有了显著提高。在此之前,相关产品受到国产FPGA性能低及其他的因素,使用传统的并行传输,或者RS422、RS485、LVDS进行速度较低的串行传输,随着测量系统的复杂程度增加,信息量增加,信号线的数量增加,距离增长等问题,严重影响数据的质量,高速串行数据传输以他的优势正在取代传统的数据传输方式<sup>[7]</sup>。

本系统与传统的测量系统的数据传输相比有着高可靠性,高速度,远距离,零误码率的特点。设计重点与创新点是在硬件方面,选择了深圳市国微电子有限公司的高性能FPGA为控制核心,选用中航光电生产的HJ30JM1与四路收发一体有源光缆组件为传输核心,软件方面设计了双路冗余与CRC相结合的算法。经过在各种复杂应用场景的测试,本系统均可以满足任务的要求。对解决高速高精度数据传输装备国产化问题既有重要的显示意义<sup>[8]</sup>。

## 1 总体方案设计

本系统总体设计如图1所示,包括两个上位机,两个接口板,两个四路收发一体有源光模块以及光纤7个部分组成。

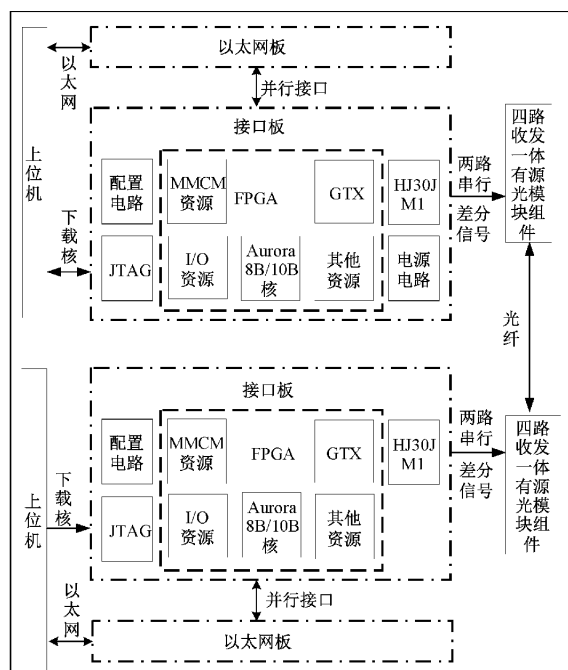


图1 总体设计图

在本系统中,以两个接口板为核心,接口板的核心为深圳市国微电子有限公司的SMQ7K325T系列FPGA,用到了Aurora 8B/10B软核,GTX硬核,MMC等资源。另外,其电源芯片以及相关的配置芯片均为该公司生产的相关芯片。两个接口板通过HJ30JM1、HJ30JY-36T四路收发一体有源光模块以及一根光纤互相连接。

上位机是通过JTAG接口以及下载核与接口板相连接,上位机的主要功能是通过Vivado中的ILA硬核观察

输入输出波形以此来判断接收端与发送端的数据是否符合协议。再将数据通过以太网传递给上位机,观察数据是否正确来验证系统的正确性。

四路收发一体有源光缆组件是通过HJ30JM1接插件与接口板相连接的,两个光缆组件的功能是进行光电转换,来完成数据的传输,它们之间是由光纤组成的。为了增强可靠性降低系统风险,本文进行了双冗余的设计,使用了四路中的两路。

## 2 硬件电路设计

本系统主要是以国产FPGA为核心,外围的时钟电路,电源电路,配置电路、光电转换以及数据传输电路组成的完整的硬件传输系统。

为了满足任务要求的1.25 Gbit/s传输速率以及远离串行传输的要求,本系统以FPGA的GTX硬核为高速收发器,利用光电转换技术以及光纤传输为介质组成了硬件电路,接下来将详细介绍这两部分<sup>[9]</sup>。

### 2.1 GTX介绍

GTX是多吉比特收发器(multi-gigabit transceiver, MGT)中的一种,是FPGA内部集成的实现高速数据收发的模块,采用了CML高速电平转换、CDR、8B/10B、64B/66B以及预加重等技术的一个硬核模块,可以极大的减小时钟的扭曲,信号的衰减核线路噪声对接收性能的影响,从而达到较高的传输速率的通信方式,在万兆网,PCIE-Express等接口中都有使用。

其发送框图与接收框图如图2与3所示<sup>[10]</sup>。从内部的发送框图与接收框图中可以看出,GTX收发器的收发两段都是由物理编码子层(physical coding sublayer, PCS)与物理媒介适配层(physical media attachment, PMA)组成,PCS部分主要是将FPGA内部产生的或者接收到的数据进行8B/10B编码或解码的等加工的过程;PMA进行并串转换或者串并转换以及预加重技术或者均衡技术等处理的过程<sup>[11-12]</sup>。

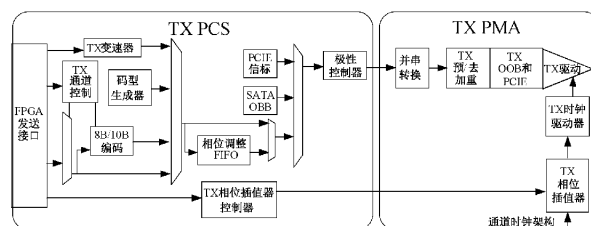


图2 GTX发送框图

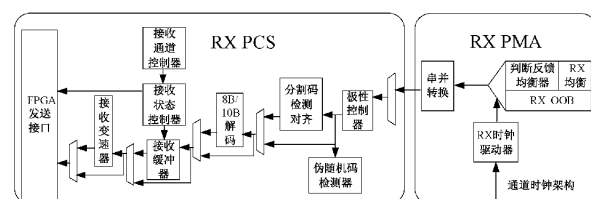


图3 GTX接收框图

其中 PMA 部分接收或发送的都是 CML 电平,与下文介绍的四路收发一体有源光模块相匹配。

### 2.2 接口板实物展示

如上所述,接口板上主要由 FPGA 以及相关的电源电路配置电路,在满足任务要求的功能的情况下,本系统尽量保证接口板的小型化,这同样也是任务要求的。该接口板长度为 68 mm 宽度为 64 mm,厚度为 2 mm,符合设计要求。

### 2.3 四路收发一体有源光缆组件设计

本系统所使用的四路收发一体有源光缆组件的主要功能是光电转换,其内部集成了光电转换电路,一端为 HJ30JY-36TJ 接插件与接口板上焊接的 HJ30JM1 型接插件相连接,另一端为 12 芯多模 MPO 光插头。具备 I2C 通信监控功能,可监控模块工作温度、功率等相关工作信息以此来保证传输的质量与稳定性。该组件可以同时完成 4 路 CML 电信号与光信号之间的转换,来保证数据传输链路的完整。如图 4 所示是光缆组件与接口板的连接示意图。

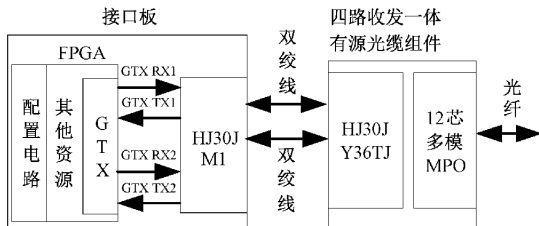


图 4 连接示意图

## 3 软件程序设计

在本系统中主要设计的软件程序是以 Aurora 8B/10B 软核的时序控制程序为核心,信号源程序、数据校验程序以及双冗余控制程序为辅助设计的完整程序。

### 3.1 Aurora 协议

Aurora 是一个用于高速串行通信的软件链路层协议,为物理层也就是上文提到的 GTX 提供透明接口,以此来为高速数据通信提供可行性方案。该协议以点对点的方式完成高速串行传输。与 RapidIO、PCIe 等协议只支持固定的传输速率不同,Aurora 协议是封装起来的,设计者可以根据自身需求修改通信速率等配置,可以提高设计者的工作效率。虽然使用的逻辑资源不多,但仍具有能提供低延迟高带宽和高度可配置的特性<sup>[13]</sup>。

Aurora 分为两个 IP 核,分别是 Aurora 8B/10B 与 Aurora 64B/66B 这两个协议各有各的优点,这里就不详细介绍了,本设计用到的是 SMQ7K325T 系列国产 FPGA,以及其中的 Aurora 8B/10B 协议,与上文提到的 GTX 通信接口配合,可以实现 500 MB/s 到 10.3125 GB/s。该协议可以根据 8B/10B 之间的转换表来保证线路上的 DC 平衡,虽然由 20% 的带宽开销,但是可以保证有足够的信号高低跳变来恢复时钟,增强数据传输的稳定性,保证数据的准确性<sup>[14]</sup>。

如图 5 所示是 Aurora 8B/10B 的结构框图。由图 5 可以清楚的了解到该内核主要是由用户数据收、发数据接口,通道逻辑,全局逻辑,4 个主要部分组成的。在通道逻辑根据收发不同分别接入不同的 GT 通信接口(在本系统的核心 SMQ7K325T 中 GT 接口即为 GTX 通信接口)。

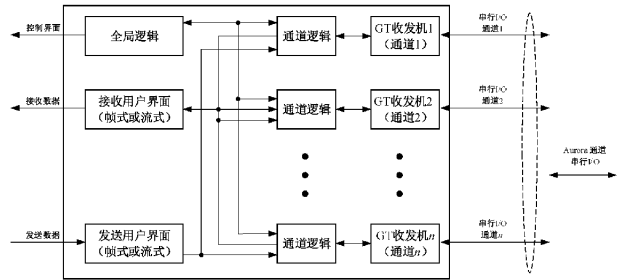


图 5 Aurora 8B/10B 的结构框图

### 3.2 Aurora 传输模式

Aurora 接口之间通信可以由一条链路组成,也可由两条至多条链路组成,还包括单工模式和全双工模式,相互组合可以分为,单链路单工模式,单链路双工模式,多链路单工模式以及多链路双工模式,为了达到要求的冗余操作,本系统使用的是多链路双工模式。

在每个模式下,Aurora 还可以根据用户需求,选择不通的接口模式,分为帧式接口与流式接口。

如图 6 与 7 所示分别是帧式接口与流式接口的示意图<sup>[15]</sup>。

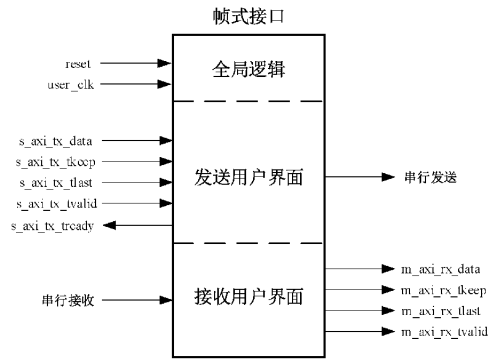


图 6 Aurora 8B/10B 帧式接口示意图

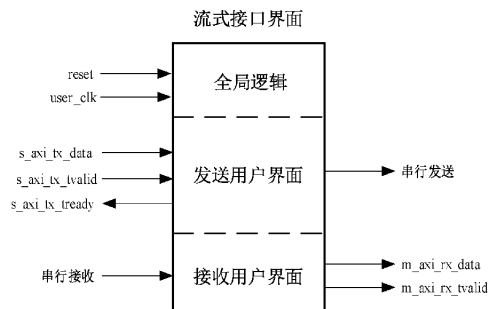


图 7 Aurora 8B/10B 流式接口示意图

帧式接口符合 AXI4-Stream 协议规范,包括发送和接收生成帧信号,以供使用。

对比帧式,流式接口允许在不使用帧分隔符的条件下发送数据,操作较为简便,接口资源占用的也较少,并且数据端口宽度是根据链路宽度与链路数量来确定的。

在本系统中,需要用到起始字节,结束字节以及需要 CRC 校验来保证数据传输的准确率与稳定性,因此本文选用帧式接口,虽然在效率方面有所降低,但是,可以达到系统需要足够稳定的要求<sup>[16]</sup>。

### 3.3 数据控制时序介绍

帧式接口的收发端分别有一个并行数据流以及多个控制信号,在图 7 中可以看出,发送端有用户提供给帧式接口的  $s\_axi\_tx\_data$  数据帧、 $s\_axi\_tx\_tkeep$  指示在最后字节中有效位长度、 $s\_axi\_tx\_tlast$  指示最后字节位置、 $s\_axi\_tx\_tvalid$  指示有效字节位置的 3 个控制信号,以及帧式接口反馈的  $s\_axi\_tx\_tready$  指示数据已经准备完毕。

接收端有与发送端相对应的  $m\_axi\_tx\_data$ 、 $m\_axi\_tx\_tvalid$ 、 $m\_axi\_tx\_tlast$ 、 $m\_axi\_tx\_tkeep$  这 4 个信号,由于接收端没有内置弹性缓冲区,因此没有与  $s\_axi\_tx\_tready$  相对应的信号。

另外还有根据配置帧式接口时,根据所需通信速率产生的  $user\_clk$  时钟以及复位信号。其中  $user\_clk$  可以根据设置的速率后,由 IP 核产生并供用户使用的,可以根据计算得出通信速率与  $user\_clk$  的关系。

设定本系统需要使用的传输速率为  $a$  Gbps,设置的通道宽度为  $b$  Bytes,其中 1 Bytes 为 8 bit,由于要经过 8B/10B 编码,所以  $user\_clk$  的大小  $c$  根据式(1)可以计算出结果,此方法可以用来调试传输系统。

$$c = \frac{a}{b \times 10} \quad (1)$$

根据 AXI4-Stream 传输协议,在数据发送的过程中,会自动调整数据发送时序,分别是简单数据传输、Pad 数据传输、暂停数据传输以及时钟补偿数据传输,在绝大部分情况下,数据传输为简单数据传输。

接收接口会根据以上 4 种数据接收来调整控制信号来保证数据传输的准确性与稳定性。图 8~12 为 4 种数据传输下的发送端时序图以及接收端时序图,其中接收端时序图只有一种。

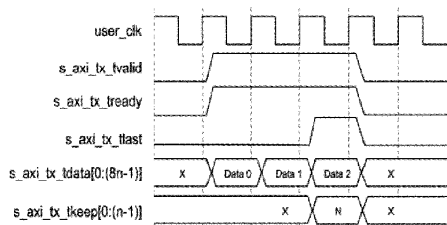


图 8 简单数据发送端时序图

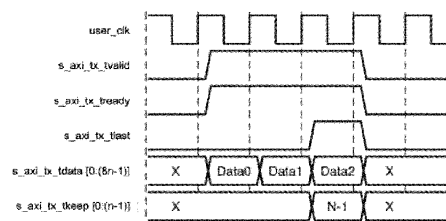


图 9 Pad 数据发送端时序图

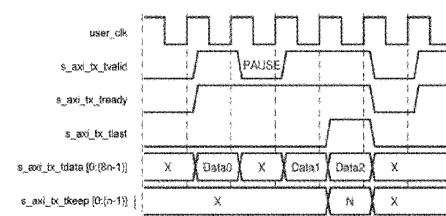


图 10 暂停数据发送端时序图

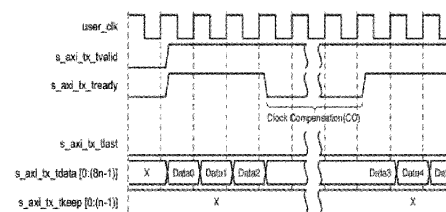


图 11 时钟补偿数据发送端时序图

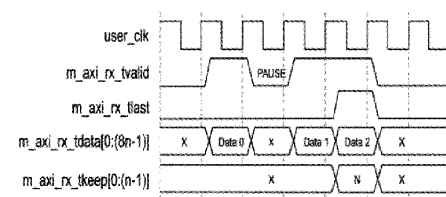


图 12 接收端时序图

### 3.4 系统软件设计

在本系统中,用到了上文提到的帧式接口,通道宽度为 4 Bytes,通信速率为 1.25 Gbps,为了保证传输的可靠性,设计了双路通信的冗余设计。

如图 13 是软件设计发送流程。在图 13 中,可以看出通道 1 与通道 2 为双冗余设计,当通道 1 可以工作时,由通道 1 发送数据,当通道 1 链路不完整时,由通道 2 发送数据,以此来提高系统的可靠性。

软件设计接收流程如图 14 所示,在图 14 中,可以看出,通道 1 与通道 2 接收同样为双冗余设计,当通道 1 链路完整时,由通道 1 接收数据,当通道 1 链路不完整时的由通道 2 接收数据,以此跟发送端匹配达到双冗余设计的目的。接收到数据后进行判断是否为递增数,是则证明系统的设计正确。

如图 15 是根据系统的所需配置最终生成的 Aurora 8B/10B 模块示意图。

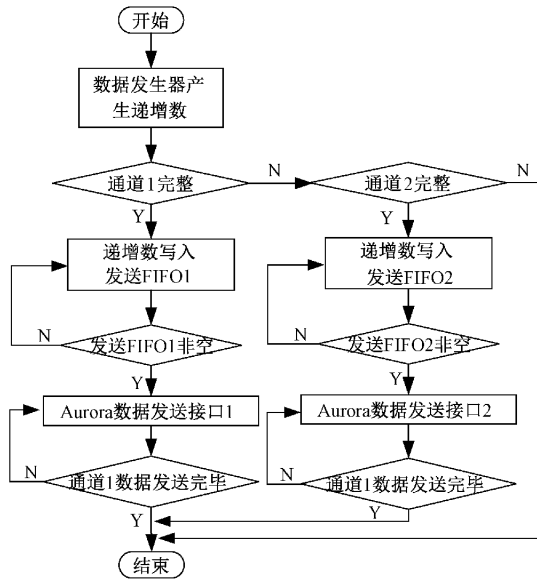


图 13 软件设计发送流程

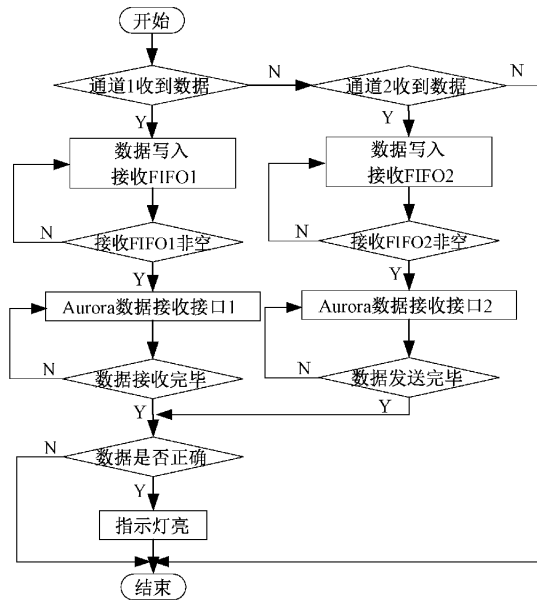


图 14 软件设计接收流程

### 4 系统验证与分析

在本系统中,判断系统收发数据的正确与否主要有 3 种方式,第 1 种是指明灯,这种方式较为简单,就不在赘述,第 2 种是利用 Vivado 的 debug-IP,ILA 核来完成的,利用该 IP 核可以观察到收发的部分数据。第 3 种方式是将接口板接入到以太网功能板上,利用相关上位机对收发的数据进行解析对比,来判断数据的正确性。

本系统设计的双路冗余数据协议主要分为指令、数据,引导头以及计数器,其中 9 开头的是指令数据段,3 开头的的数据协议段,数据协议的末尾有结束标志与帧计数。

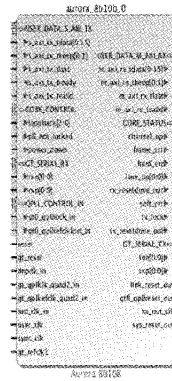


图 15 Aurora 8B/10B 模块示意图

### 4.1 ILA 核收发数据对比

ILA 核功能类似于片上逻辑分析仪,通过在 RTL 设计中嵌入 ILA 核,可以抓起信号的实时波形,可以帮助发现代码运行中给的问题或者验证软件是否满足要求<sup>[17]</sup>。如图 16 所示是发送端 ILA 核波形图。可以看出,发送端的时序与上文提到的简单数据传输时序相同,通过放大图可以看出发送端数据为 16 进制 30000000\_00000034\_64310000。

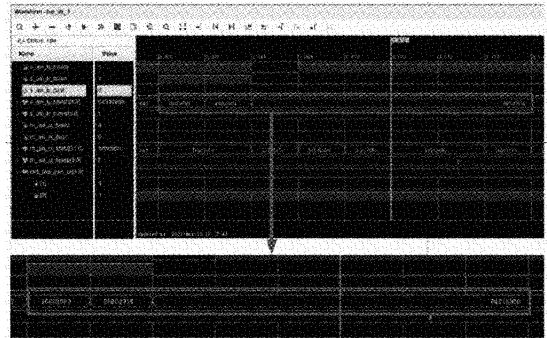


图 16 ILA 核发送波形图

如图 17 所示是接收端 ILA 核的波形图,可以看出接收的时序图与上文提到的接收端时序图相同,根据放大图

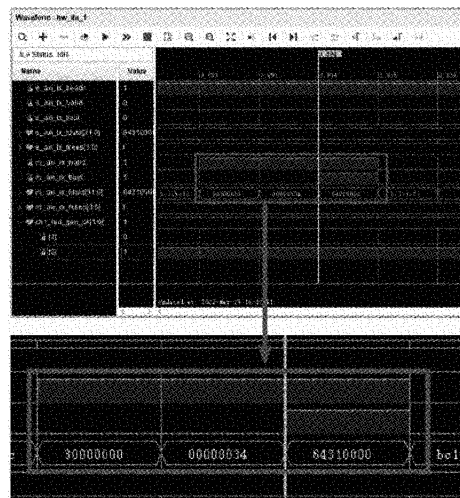


图 17 ILA 核接收波形图

可以看到接收端数据为 30000000\_00000034\_64310000。

通过对比图 16 与 17 中的数据,指示灯信号以及实物上的指示灯来确定,收发数据是一致的。

#### 4.2 上位机读取数据对比

根据上文提到的数据协议格式,上位机会对收到的数据进行处理,去掉数据头等关键字留下数据与帧计数。图 18 所示为部分数据的截图,从图中的实线框可以看出,数据是递增的,虚线框可以看出帧计数是连续的,证明本系统的数据是正确的。

图 18 部分数据截图

## 5 结 论

本系统利用国产化器件完成了高可靠性高速通信系统的设计,在不同测试环境下,都可以保证系统在至少 100 m 的传输距离下达到 1.25 Gbit/s 的传输速度,设计的双路冗余与 CRC 校验相结合的算法可以保证传输系统的稳定性与准确性,确保误码率保持为 0。整个系统不仅对相关国产器件进行了功能验证,为其他需要国产化的设备提供了参考,而且为之后的航天航空以及其他领域的高速串行数据传输系统国产化提供了重要的参考价值。整个系统提高了相关产品的性能,满足了任务要求。在未来,随着国产器件的性能的提升,相关数据传输系统的速度、可靠性、传输距离等关键指标还可以继续提高,接口模块的体积以及功耗等性能等还有很大的提升空间。

#### 参考文献

- [1] 赵晓阳,张会新,薛伟钊,等.基于 LVDS 的光电转换式长线数据传输链路设计[J].电子测量技术,2021,44(23):126-130.
- [2] 魏志瑾.基于国产 FPGA 的高速总线驱动设计及验证[J].舰船电子对抗,2019,42(3):108-111.
- [3] 张倩.关于我国集成电路装备国产化问题的研究[J].电子测量技术,2019,42(2):28-32.
- [4] 郑志旺.基于国产 FPGA 的数据采集存储系统的研究

与设计[D].太原:中北大学,2021.

- [5] HU P, HUANG H, XIE Q. The method research and technology implementation of eddy current hardness-sorting based on LS-SVM[J]. Instrumentation, 2020, 7(1):15-25.
- [6] 史建.基于国产 SMQ2V6000 的嵌入式网络接口设计与实现[D].成都:电子科技大学,2018.
- [7] 杨云鹏,许波,高媛,等. GTX 接口在宽带自适应传输中的应用[J].电子测量与仪器学报,2020,34(3):171-179.
- [8] 崔文涛,李杰,张德彪,等.基于国产 ADC 芯片的 TIADC 系统时间误差自适应校准算法[J].仪器仪表学报,2021,42(11):132-139.
- [9] 张彦军,刘召军,陈良昌,等. FPGA GTX 互联通信设计及测试[J].电子设计工程,2020,28(23):129-133.
- [10] 杨云鹏,许波,高媛,等. GTX 接口在宽带自适应传输中的应用[J].电子测量与仪器学报,2020,34(3):171-179.
- [11] 靳蕴瑜.基于 FPGA 的高速数据互连模块设计与应用[D].成都:电子科技大学,2018.
- [12] 朱庆之.基于 FPGA 的 GTX 片内环回的设计与测试[J].电子测量技术,2018,41(5):128-131.
- [13] 李亮.基于 FPGA 的高速光纤通信数据传输技术的研究与实现[D].吉林:吉林大学,2017.
- [14] 许超.基于 Aurora 的高速数据记录装置设计与实现[D].太原:中北大学,2021.
- [15] 陈熙.基于高速串行总线的数据传输系统的研究[D].北京:北京理工大学,2017.
- [16] 王新刚.基于 Aurora 协议的万兆串行数据传输研究[D].石家庄:河北科技大学,2019.
- [17] 祝倩,白云飞,安军社.基于国产 FPGA 的星载 Nor Flash 控制器设计与验证[J].重庆邮电大学学报(自然科学版),2021,33(4):630-636.

#### 作者简介

薛伟钊,硕士研究生,主要研究方向为存储测量仪器的研究与 FPGA 研究与应用。

E-mail:281576338@qq.com

张会新(通信作者),博士,副教授,硕士生导师,主要研究方向为柔性分布式光纤传感技术研究、抗高过载大容量高速固态存储测试技术、特殊环境下集成测量仪器研究。

E-mail:zhanghx@nuc.edu.cn