

DOI:10.19651/j.cnki.emt.2210394

5G 毫米波大带宽信号内插器设计与实现^{*}

安宇宁¹ 刘祖深² 江丹²

(1. 中北大学 太原 030051; 2. 中电科思仪科技(安徽)有限公司 蚌埠 233010)

摘要: 5G 无线通信毫米波频段因其具有大带宽、高速率的特点成为未来移动通信领域的研究方向。然而,在毫米波频段下信号发生器的需实现不同大小信号带宽的配置。针对这问题,本文设计了一种快速 FIR 滤波器与多相内插器相结合的并行内插结构,能够扩大 5G 毫米波信号发生器的发射带宽范围且具有插值效率高,功耗低、资源占用率低等优势。通过仿真及优化后实验验证结果表明,在不影响解调结果情况下,本文所提内插结构相比传统 4 路并行 4 倍内插器,快速 FIR 内插器 DSPs 的使用减少了 25%,LUT 的使用减少了 15.2%,DSPs 的功耗减少了 23.8%,满足了系统资源占用率低以及低功耗的实际需求,成果已应用于国产 5G 基站综测仪中。

关键词: 多相内插器;快速 FIR 滤波器;并行滤波器

中图分类号: TN929.5 **文献标识码:** A **国家标准学科分类代码:** 510.10

Design and implementation of 5G millimeter wave large bandwidth signal interpolator

An Yuning¹ Liu Zushen² Jiang Dan²

(1. North University of China, Taiyuan 030051, China;

2. Ceyear Technologies (Anhui) Co., Ltd., Bengbu 233010, China)

Abstract: The millimeter-wave frequency band of 5G wireless communication has become the research direction of the future mobile communication field because of its large bandwidth and high speed. However, in the millimeter wave frequency band, the signal generator needs to realize the configuration of different signal bandwidths. In response to this problem, this paper designs a parallel interpolation structure combining a fast FIR filter and a polyphase interpolator, which can expand the transmission bandwidth range of the 5G millimeter-wave signal generator, and has high interpolation efficiency, low power consumption, and low resource consumption. Advantages such as low occupancy rate. The experimental verification results after simulation and optimization show that, without affecting the demodulation results, the interpolation structure proposed in this paper reduces the use of fast FIR interpolator DSPs by 25% compared with the traditional 4-channel parallel 4-times interpolator. The use of LUTs is reduced by 15.2%, and the power consumption of DSPs is reduced by 23.8%, which meets the actual needs of low system resource occupancy and low power consumption. The results have been applied to domestic 5G base station comprehensive testers.

Keywords: polyphase interpolator; fast FIR filter; parallel filter

0 引言

随着移动通信技术的快速演进升级,5G 移动通信已经商用。5G 毫米波技术是 5G 应用中一项重要的基础技术,相对于 6 GHz 以下的频段,毫米波具有大带宽、低时延和灵活空口配置等独特优势,可满足无线通信对系统容量、传输速率和差异化应用等方面的需求^[1]。针对 5G 毫米波设

备的性能验证的测试仪表,不仅需满足 5G 毫米波波段的测试,还需向下兼容 4G、3G、802.11a/b/g/n/ac 等上一代既有标准^[2]。因此,5G 毫米波信号发生器设计,需考虑不同大小带宽信号的配置。目前,罗德与施瓦兹 SMW200A 矢量信号发生器与是德科技 VXG M9384B 微波信号发生器可实现 2 GHz 的 IQ 调制带宽。国内矢量信号发生器可实现的 IQ 调制带宽约为 500 MHz。本文所应用的 5G 基

收稿日期:2022-06-20

^{*} 基金项目:中国电科集团专项创新基金(41F1365)项目资助

站综测仪可实现 IQ 调制带宽为 2 GHz,为兼容不同带宽信号的产生,本文将设计并行多速率模块提高 5G 基站综测仪的兼容性。

多速率信号处理技术作为软件无线电实现信号数字化的关键,通过内插器与抽取器的设计实现多速率的转换^[3]。其中,内插器的插值过程会引入镜像误差以及在抽取器的抽取过程会产生混叠误差,所以需要滤波器进行滤波处理^[4-5]。目前,用于多速率系统中常用的滤波器有 CIC 滤波器、半带滤波器以及多相滤波器,这三种滤波器都有其各自应用的范围,例如,半带滤波器只能进行 2 倍的整数倍内插或抽取,CIC 滤波器只适用于信号速率远小于抽样频率的情况^[6]。在多速率信号处理过程中,信号速率转换不满足以上条件时,仍需要采用低通 FIR 滤波器对抽取前或内插后进行滤波,通常此情况都应用多相滤波器进行滤波^[7]。

射频集成电路技术的快速发展,大带宽信号数模/模数转换器的使用宽带数模或模数转换器可直接输出大带宽信号(高达 GHz)^[8]。例如 ADI 公司的 AD9172 DAC 芯片数据传输速率高达 12.6 GSPS,可完成 2G 或更大带宽信号的数模转换。当应对大带宽信号时,多相滤波结构需要很高的时钟频率,FPGA 目前能够提供的最大时钟频率约为 900 MHz,这就导致 FIR 滤波器不能够直接使用。

针对采样率超过 FPGA 最大时钟频率的问题,最直接的方式是构造并行 FIR 滤波器。并行滤波器采用多个乘法器和并行加法器按流水结构工作,能够达到提高运算速率和数据的吞吐量,并且降低功耗^[9]。其不足是:随着并行度的增加,其硬件资源消耗也呈线性增长^[10]。快速 FIR 滤波器(fast FIR algorithm,FFA),是一种并行滤波器的改进结构,在文献[11-13]中有详细介绍。由 Winograd 的著作可知,两个 $N-1$ 次的多项式相乘,可以只用 $2L-1$ 个乘法运算,降低的乘法运算,被前置和后置加法器代替。这种乘法数量的缩减是以加法数量的增加为代价来实现的。由于加法器相比乘法器所需的运算时间更短以及消耗的硬件资源更少,通过这种算法优化可以达到并行滤波器的运算速度和硬件消耗的平衡。因此,本文主要针对 5G 毫米波大带宽信号速率转换问题,提出了一种快速 FIR 滤波器与多相内插器相结合的并行内插结构,降低了内插滤波器计算复杂度的方法,能够在工程应用中解决 5G 毫米波信号发生器兼容不同带宽信号产生的问题。

1 传统滤波器

1.1 内插滤波器

整数(M)倍内插是指在原信号两个采样点之间插入 $M-1$ 个零,经过 M 倍内插后的输出信号 x_M 与输入信号 $x(n)$ 之间的关系为:

$$x_M(n) = \begin{cases} x(\frac{n}{M}), & n = 0, \pm M, \pm 2M \dots \\ 0, & \text{其他} \end{cases} \quad (1)$$

内插后信号的频谱与原信号对比,相当于对原信号频谱进行 M 倍压缩,并且相比原信号频谱每个周期内产生了 $M-1$ 镜像分量^[14]。因此对于内插后的信号必须进行抗镜像滤波,滤除镜像分量,内插过程如图 1 所示。抗镜像滤波器为低通滤波器,通带截止频率需满足 $\omega_c \leq \frac{\pi}{M}$ 。

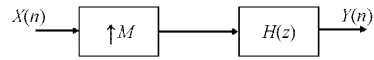


图 1 M 倍内插结构

1.2 并行滤波器

并行技术既可以增加 FIR 滤波器的吞吐率,也能够降低 FIR 滤波器的功耗。但采用并行结构,硬件资源消耗会随着并行级数线性增长,这大大降低了并行 FIR 滤波器的可行性和应用价值。文献[15]中提到快速 FIR 算法(fast FIR algorithm,FFA),快速 FIR 算法在传统算法的基础上通过采用特定的多项式方法实现减少所需要的子滤波器数目,从而降低实现复杂度^[16]。

如图 2 所示为传统 2 路并行 FIR 滤波器,其需要 4 个长度为 $N/2$ 的子滤波器,2 个后置加法器,1 个延时单元,总共需要 $2N$ 个乘法器和 $(2N-2)$ 个加法器。

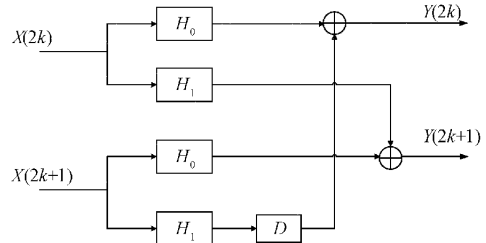


图 2 传统 2 路并行 FIR 滤波器

如图 3 所示为 2 路并行快速 FIR 滤波器,其相比传统并行滤波器可以节约 $N/2$ 次乘法和 $N/2$ 次加法,即此滤波结构只需进行 $3N/2$ 次乘法和 $3N/2$ 次加法操作,相比传统 2 路并行 FIR 数字滤波器硬件资源得到节约。

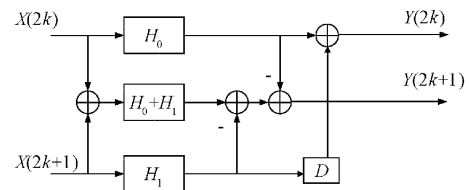


图 3 2 路并行快速 FIR 滤波器

L 路并行结构可通过文献[17]推导及验证。如表 1 所示,为 128 阶 FIR 滤波器, L 路传统并行滤波器与快速 FIR 滤波器乘法器资源消耗比较。当并行路数越多快速 FIR 滤波器相比传统并行滤波器所消耗的乘法器个数越少,硬件资源消耗越少。因此,本文基于快速 FIR 滤波器设计大带宽插值器。

表1 128阶并行滤波器乘法器资源消耗比较

并行路数 L	传统并行滤波器	快速 FIR 滤波器	乘法器节约个数
2	256	192	64
4	384	288	96
8	576	432	144
16	864	648	216

2 改进型并行内插器设计

2.1 基于快速 FIR 内插器设计

快速 FIR 内插器的设计是将滤波器系数通过多相分解后传入快速 FIR 滤波器中。其分为两个子模块,系数多相结构与快速 FIR 滤波器模块。

其中,多相滤波器结构,即多相结构是一种能够有效实现内插和抽取滤波器的结构。本文采用多相结构的内插滤波器结构如图4所示。

设原 FIR 滤波器的阶数为 N ,系数为 $h(n)$,多相结构要求阶数 N 必须为内插因子 M 的倍数。内插滤波器的多相结构巧妙利用了内插滤波器延迟线上的某些抽样是零值

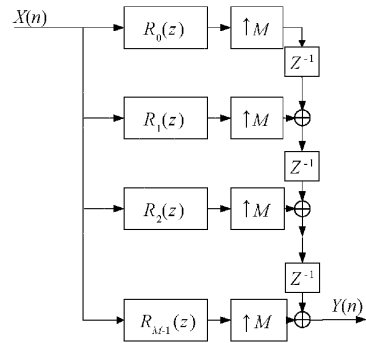


图4 高效多相内插结构

的特点,内插器被除去,从而无需寄存或缓存零值抽样,同时原滤波器被分解为 M 个子滤波器,其公式表示为式(2),即为 FIR 数字滤波器的内插多相结构。

$$H(z) = \sum_{n=0}^{M-1} R_n(z^M) z^{-(M-1-n)} \quad (2)$$

多路并行快速 FIR 滤波器可通过小尺寸的并行快速 FIR 滤波器级联能够实现大尺寸的并行 FIR 滤波器。例如,图5所示4并行快速 FIR 滤波器,可看作是3组2并行快速 FIR 滤波器级联而成。

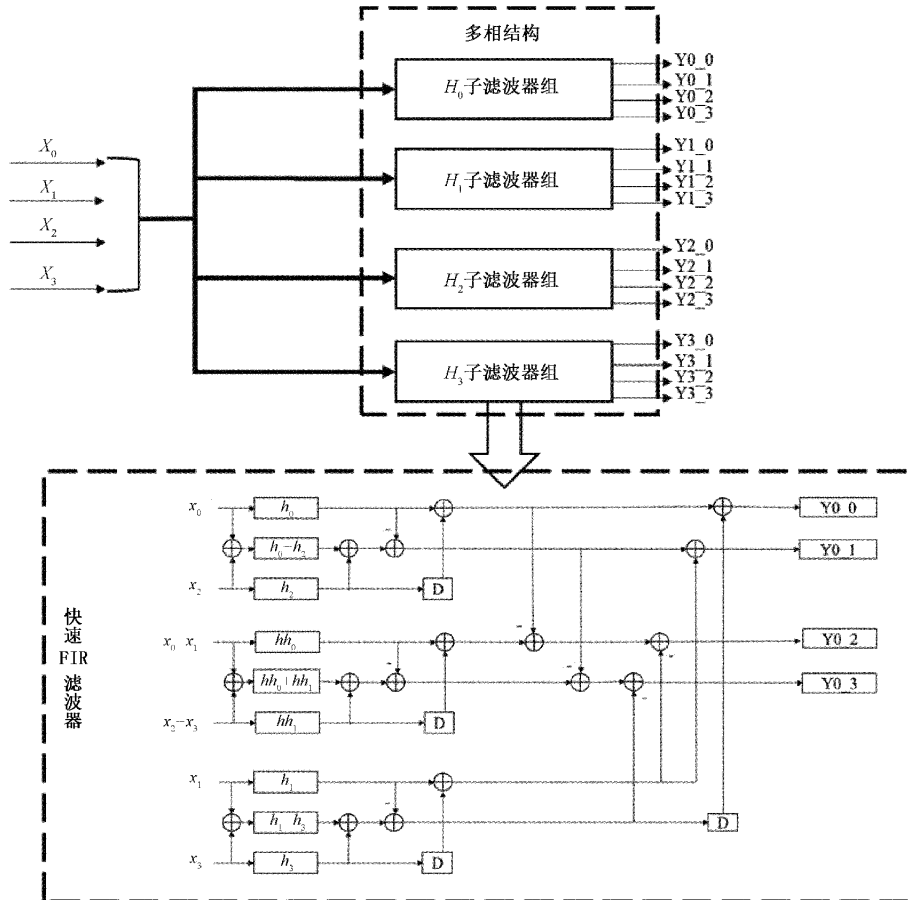


图5 基于快速 FIR 内插器示意图

如图 5 为 4 路并行 4 倍内插器的结构示意图,4 个子滤波器组的输入均为 X_0 、 X_1 、 X_2 和 X_3 。其中 H_0 、 H_1 、 H_2 和 H_3 为滤波器系数的多相分解,即系数每四个点进行一次抽取。子滤波器组为快速 FIR 滤波器,并行输入 4 路信号经过每一个子滤波器组输出 4 路并行信号,一共输出 16 路信号,将 16 路信号进行组合后就可输出 4 路并行 4 倍内插信号。

4 组子滤波器的结构相同,系数不同。因篇幅原因,图 5 中快速 FIR 滤波器的结构是 H_0 子滤波器组示意图,其中 h_0 、 h_1 、 h_2 、 h_3 为 H_0 的多相分解,即 H_0 每四个点进行一次抽取。首先,将 4 路并行输入信号通过前置加法器组合后传入子滤波器组中的 4 个子滤波器中。其次,为保证进入加法器中信号时序对齐,子滤波器中部分输出的信号经过延迟模块后输出。最后,子滤波器中输出的信号经过后置加法器,组合为 4 路并行数据,由于滤波器组输出,即可实现边插值边滤波。

2.2 复杂度分析

基于快速 FIR 内插器的计算复杂度分析,主要从子滤波器总数、乘法器总数以及增加的加法器总数三方面进行分析。

1) 子滤波器

$$F = M \cdot \prod_{i=1}^w F_i \quad (3)$$

如式(3)所示, F 表示为子滤波器总数, M 为内插倍数,并行路数 $L=2^w$, F_i 为 2 路并行基于快速 FIR 滤波器个数。

2) 乘法器

$$P = \left(\frac{3}{2}\right)^w \cdot N \quad (4)$$

如式(4)所示,其乘法个数与快速 FIR 滤波器使用个数相同。

3) 加法器

$$A = 2 \cdot \left(\frac{3}{2}\right)^w \cdot N + M \cdot \sum_{i=0}^{w-1} 2^i 3^{w-i} \quad (5)$$

如式(5)所示,其中, $2 \cdot \left(\frac{3}{2}\right)^w \cdot N$ 为子滤波器中卷积运算所用加法器, $M \cdot \sum_{i=0}^{w-1} 2^i 3^{w-i}$ 前置加法器与后置加法器。基于快速 FIR 内插器与快速 FIR 滤波器相比,其前置加法器与后置加法器增加了 M 倍。

表 2 为 128 阶 4 路并行 4 倍内插器计算复杂度分析。其中,传统并行内插器子滤波器个数为 48,乘法器个数为 384,加法器个数为 464;基于快速 FIR 内插器子滤波器个数为 36 个,乘法器个数为 288,加法器个数为 636。因此,本文提出的基于快速 FIR 内插器相比传统并行内插器子滤波器个数减少了 25%,乘法器个数减少了 25%,计算复杂度明显减少。

表 2 4 路并行 4 倍内插器计算复杂度比较

相关参数	子滤波器 个数	乘法器 个数	加法器 个数
传统并行内插器	48	384	464
基于快速 FIR 内插器	36	288	636

3 硬件设计及分析

3.1 硬件设计

本文所设计的基于快速 FIR 滤波器的 4 路并行 4 倍内插器 FPGA 的 RTL 图如图 6 所示。其中,rom_sin 模块为波形存储模块;parallel4_xx 为 4 路并行快速 FIR 滤波器;4 个并行滤波器实现了 4 倍内插。以此类推,如需实现多倍数内插可增加并行滤波器个数。

本文就适应背景以及功能来说,该内插器应用于国产 5G 基站综测仪中,处理对象为大带宽 5G 信号,其特征为具有采样率高,信号带宽大以及实现方式多样化。如图 7 所示,将该内插器封装为可应用于 5G 综测仪中速率转换 IP 核。其中,输入信号为 4 路并行的 16 位数据由 indata_all 接口输入;因实际需求此内插器设计为 2 倍内插、4 倍内插、8 倍内插,以及 16 倍内插,其插值倍数由 cont_inpt 控制;输出信号位数由内插倍数控制,如 4 倍内插时,输出为 16 路并行 32 位数,由 odata_all 输出。

3.2 硬件资源分析

本文硬件资源分析将比较 FPGA 中 DSPs、LUT、LUT ROM 消耗、DSP 功耗、逻辑功耗以及最大时钟等参数在传统并行结构内插器与基于快速 FIR 内插器在 FPGA 实现中使用情况。

如表 3 所示,与 4 路并行 4 倍内插传统并行结构内插器相比,快速 FIR 内插器 DSPs 的使用减少了 25%;LUT 的使用减少了 15.2%;DSPs 的功耗减少了 23.8%;LUT 的使用减少了 12.1%;DSPs 的功耗减少了 15.6%。快速 FIR 内插器的最大时钟与传统并行内插器均为 307.2 MHz。传统并行内插器的逻辑功耗低,是由于快速 FIR 结构的实现思想是通过增加加法器的使用从而代替乘法器。基于快速 FIR 内插器的实现,满足了系统资源占用率减少以及低功耗的实际需求。

4 仿真与验证

4.1 实验验证平台

如图 8 所示,为实验验证平台整体设计。基于快速 FIR 内插器的原型设计及仿真是由 MATLAB 完成,再经过 Vivado 在 FPGA 硬件实现后,再利用 MATLAB 验证 FPGA 仿真结果是否满足设计需求。需验证测试信号经过内插器后能否输出固定速率为 2.457 6 GHz 的转换信号,且输入输出的有效带宽没有改变,通带的系统噪声满足实际应用要求。

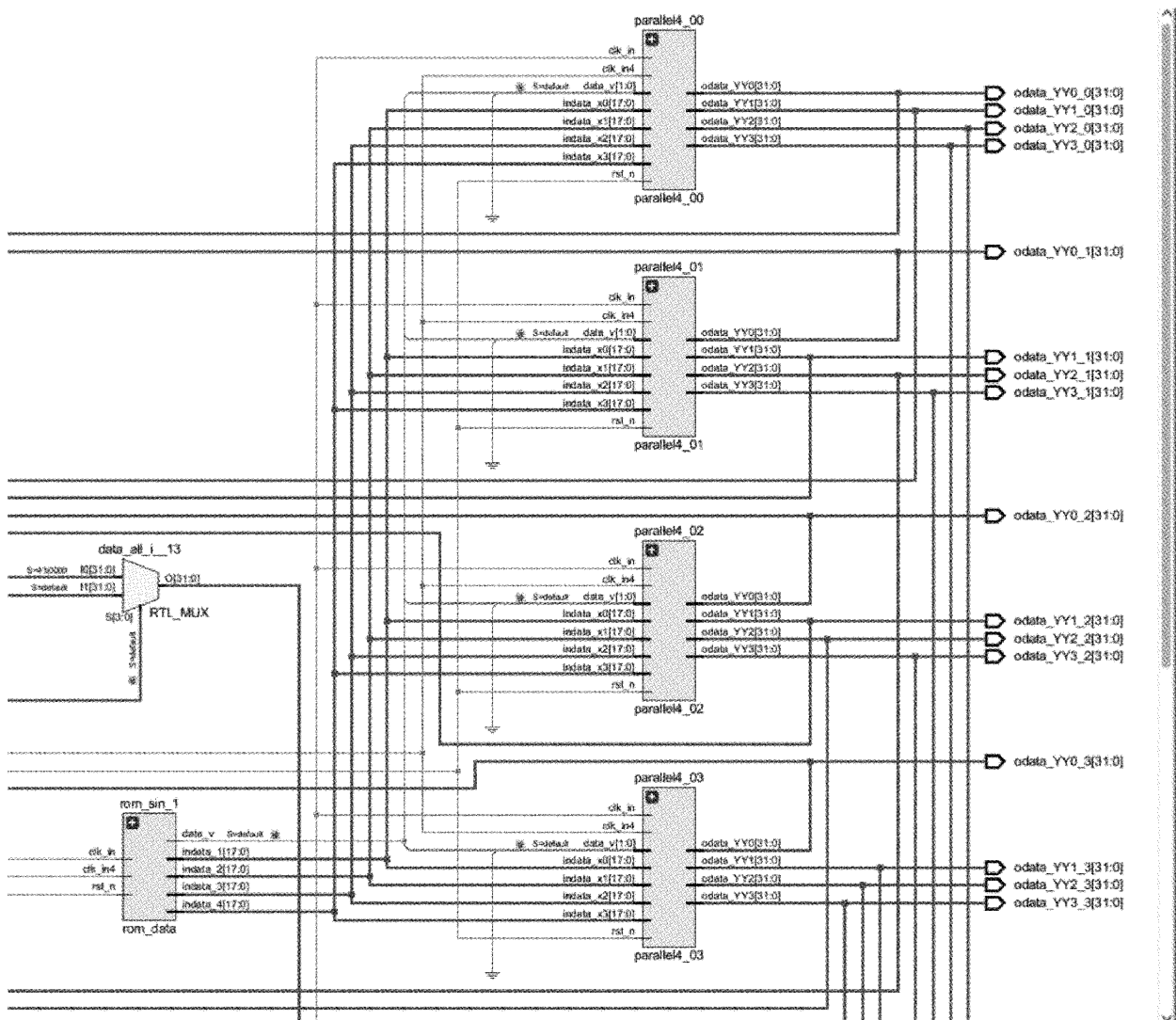


图6 基于快速FIR内插器FPGA的RTL图

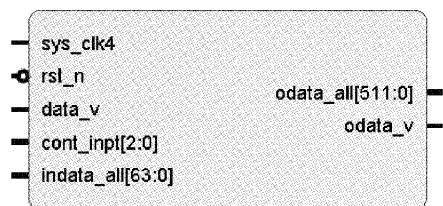


图7 快速FIR内插器IP核

表3 4路并行4倍内插器硬件参数比较

相关参数	DSPs	LUT	LUT RAM
传统并行结构	384	12 242	6 960
直接型快速FIR结构	288	10 384	5 412
相关参数	DSP 功耗	逻辑功耗	最大时钟
传统并行结构	0.147 W	0.215 W	307.2 MHz
直接型快速FIR结构	0.112 W	0.221 W	307.2 MHz

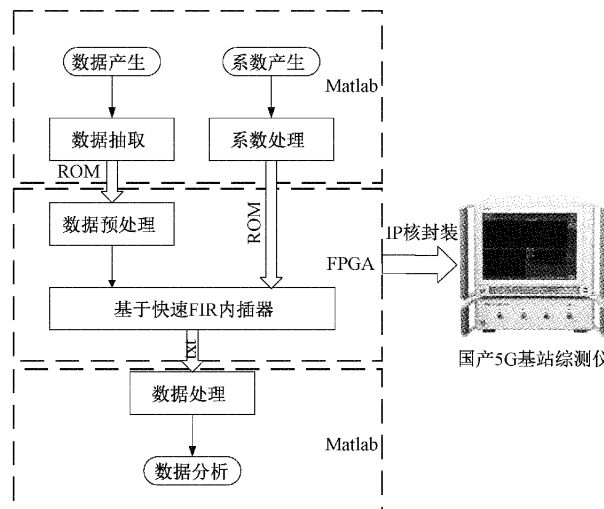


图8 实验验证平台整体设计

本文仿真在 5G 下行系统中进行,为了提高仿真的准确性和工程可实现性,仿真采用 5G NR 测试模版数据,由 MATLAB 产生的测试参数如表 4 所示。

表 4 测试参数

仿真参数	值
信号类型	5G NR
系统带宽/MHz	400
采样频率/MHz	614.4
子载波间隔/kHz	120
调制方式	QPSK
插值倍数	4 倍

由于该测试输入信号在 MATLAB 双浮点运算下生成的,通带噪声过于理想,如此高的精度在硬件电路实现时需要消耗大量资源,因此综合考虑信号精度和硬件资源要求,将内插器中内部信号与滤波器系数设置为 16 位位宽的定点值。在 Vivado 中作做 FPGA 仿真时,调用该输入测试文件,在相同仿真时间下记录 FPGA 仿真输出结果,在 Vivado 仿真中数据不再是双精度浮点运算,而是与实际电路一致的定点运算。

4.2 实验数据分析

测试仪器一般通过误差矢量幅度 (error vector magnitude, EVM) 对结果进行分析验证, EVM 是表征接收均衡后的波形和理想波形之间的差异,其计算公式为:

$$EVM = \sqrt{\frac{\sum_{k=1}^M |Z(k) - R(k)|^2}{\sum_{k=1}^M |R(k)|^2}} \quad (6)$$

其中, $Z(k)$ 是接收端进行均衡处理后的信号, $R(k)$ 为进行重构的理想信号模型。

基带信号采用 QPSK 调制方式,在信噪比为 -10 dB 下,利用分析仪对 EVM 结果进行对比如图 9 所示。

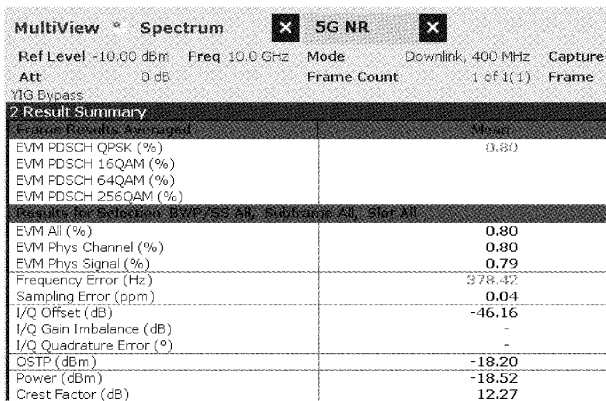


图 9 未插值解调 EVM

如图 9 与 10 所示 EVM 值分别为 0.80 与 0.96,符合误差矢量幅度不超过 17.5% 的最低要求。实测结果可以

看出,低采样率的信号通过基于快速 FIR 内插器插值后对解调结果无影响。

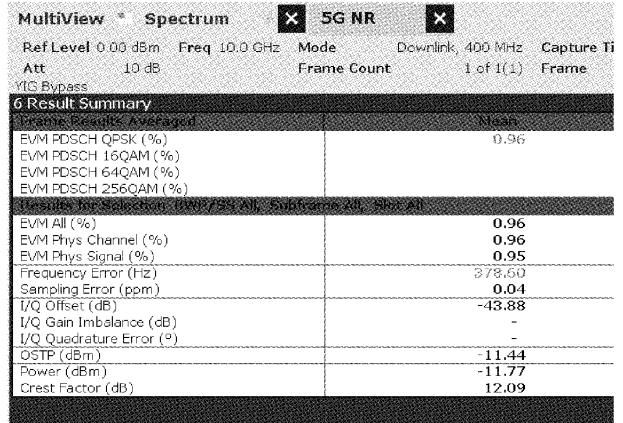


图 10 插值后解调 EVM

5 结 论

本文针对 5G 毫米波大带宽系统兼容低采样率问题,设计了一种快速 FIR 滤波器与多相内插器相结合的并行内插结构,从而降低了此类滤波器的计算复杂度和硬件实现成本。仿真与实测结果表明,所提结构能够在不影响解调指标下,实现速率转换。

参考文献

- [1] 李峰. 5G 毫米波和超宽带信号的验证和测试[J]. 电信网技术, 2015(5): 80-86.
- [2] 张黎明. 毫米波 5G NR 信号 OFDM 技术研究与实现[J]. 电子测量技术, 2020, 43(22): 146-149.
- [3] 张黎明. B5G 毫米波 OTA 接收机多速率数据处理研究与实现[J]. 国外电子测量技术, 2021, 40(5): 68-72.
- [4] 汪昕, 徐驰, 俞度立. 多速率信号转换器的设计与实现[J]. 自动化与仪器仪表, 2020(5): 63-66, 78.
- [5] 曲春梅. 基于 FPGA 的多通道多速率信号传输研究与设计[D]. 成都: 成都理工大学, 2015.
- [6] JING Q, LI Y, TONG J. Performance analysis of multi-rate signal processing digital filters on FPGA [J]. EURASIP Journal on Wireless Communications and Networking, 2019, 2019(1): 1-9.
- [7] 张峻涛, 王平, 傅石雨. 超高速并行滤波结构 FIR 的 FPGA 实现及应用[J]. 通信对抗, 2013, 32(1): 36-39.
- [8] LIN S C, CHUANG K, CHANG C W, et al. Efficient interpolation method for wireless communications and signal processing applications[J]. IEEE Transactions on Microwave Theory and Techniques, 2021, 69(5): 2753-2761.
- [9] AWAIS M, RIAZ A, KHAN W T. An ultra-wideband (16-40 GHz) mmWave antenna for

- automotive radar and 5G applications[C]. 2019 IEEE International Symposium on Antennas and Propagation and USNC-URSI Radio Science Meeting. IEEE, 2019: 1919-1920.
- [10] 龚世鹏. 基于FPGA并行FIR滤波器的设计与实现[D]. 西安:西安电子科技大学, 2019.
- [11] HOU B, YAO Y, QIN M. Design and FPGA implementation of high-speed parallel fir filters[C]. 3rd International Conference on Mechatronics, Robotics and Automation. Atlantis Press, 2015: 975-979.
- [12] MAHALAKSHMI R, SASILATHA T. An improved digital fir filter design using fast FIR algorithm and modified carry save addition[J]. National Academy Science Letters, 2018, 41(3): 147-150.
- [13] PALIWAL P, SHARMA J B, NATH V. Comparative study of FFA architectures using different multiplier and adder topologies [J]. Microsystem Technologies, 2020, 26(5): 1455-1462.
- [14] 陈婷. 基于FPGA的高速并行多速率信号处理技术[D]. 西安:西安电子科技大学, 2013.
- [15] 黄磊. 基于多相滤波结构的整数倍内插技术[J]. 无线电工程, 2011, 41(5): 62-64.
- [16] RENGAPRAKASH S, VIGNESH M, ANWAR N S, et al. FPGA implementation of fast running FIR filters[C]. 2017 International Conference on Wireless Communications, Signal Processing and Networking (WiSPNET), IEEE, 2017: 1282-1286.
- [17] 王颖, 刘娟, 郝鑫, 等. 用于太赫兹高速通信的FIR滤波器64并行实现算法[J]. 太赫兹科学与电子信息学报, 2020, 18(4): 560-564.

作者简介

安宇宁, 硕士研究生, 主要研究方向为移动通信测试仪器的设计与研发、数字信号处理等。

E-mail: anyn1017@163.com

刘祖深, 博士, 研究员级高工, 主要研究方向为微波通信测量技术与仪器研究和开发工作。

E-mail: eibb@ei-electro.com

江丹, 硕士, 工程师, 主要研究方向为5G物理层技术。

E-mail: danjiang01@126.com