

DOI:10.19651/j.cnki.emt.2210438

## 基于交织编码的抗单粒子翻转加固技术研究\*

刘金枝<sup>1,2</sup> 邹彬<sup>3</sup> 周丹阳<sup>1</sup>

(1. 中国民航大学安全科学与工程学院 天津 300300; 2. 中国民航大学民航航空器适航审定技术重点实验室 天津 300300;  
3. 中国民航大学电子信息与自动化学院 天津 300300)

**摘要:** 航空电子设备中静态随机存储器型芯片易受环境中高能粒子辐射发生单粒子翻转,造成关键存储数据遗失严重影响飞机安全,当前系统级加固技术存在纠错能力有限,实用性不强的问题。为增强纠错能力同时提高实用性,本文提出构造最优解循环移位交织器联合(21,16)汉明码的加固方法,纠正多种错误图样的连续4 bit及以下翻转,搭建利用单帧重构技术的故障注入平台来替代粒子辐照实验,无损高效的评估加固设计有效性。实验结果表明采用(21,16)汉明码结合最优解循环交织器对抗单粒子相邻多位翻转的加固率平均提高了48.54%,增强了SRAM型存储单元抵御单粒子翻转的性能,保证机载电子系统的安全性。

**关键词:** SRAM存储单元;交织器;汉明码;单帧重构;单粒子翻转

**中图分类号:** TN406 **文献标识码:** A **国家标准学科分类代码:** 410-630

## Research on anti-single event upset reinforcement based on interleaving coding

Liu Jinzhi<sup>1,2</sup> Zou Bin<sup>3</sup> Zhou Danyang<sup>1</sup>

(1. School of Safety Science and Engineering, Civil Aviation University of China, Tianjin 300300, China;  
2. Key Laboratory of Aircraft Airworthiness Certification Technology, Civil Aviation University of China, Tianjin 300300, China;  
3. School of Electronic Information and Automation, Civil Aviation University of China, Tianjin 300300, China)

**Abstract:** Static random access memory (SRAM) chips in avionics equipment are prone to single event upset due to high-energy particle radiation in the environment, resulting in the loss of key stored data and seriously affecting aircraft safety. The current system level reinforcement technology has the problems of limited error correction capability and poor practicability. In order to enhance the error correction ability and improve the practicability, this paper proposes a reinforcement method of constructing the optimal solution cyclic shift interleaver combined with (21,16) Hamming code to correct the continuous 4 bit or less inversion of multiple error patterns, and build a fault injection platform using single frame reconstruction technology to replace the particle irradiation experiment, so as to evaluate the effectiveness of reinforcement design losslessly and efficiently. The experimental results show that the reinforcement rate of (21,16) Hamming code combined with the optimal cyclic interleaver against single event adjacent multi bit rollover is increased by 48.54% on average, which enhances the performance of SRAM memory cells against single event rollover and ensures the safety of airborne electronic systems.

**Keywords:** SRAM storage unit; intertwined; Hamming code; single frame reconstruction; single event upset

## 0 引言

芯片厂商 Xilinx、Altera 等对一系列 FPGA 型号的辐照实验结果和我国空间技术研究院辐照研究表明,以静态随机存储器型(static random access memory, SRAM)为基本构造的存储单元对单粒子翻转尤为敏感<sup>[1]</sup>。航空电

子设备运行工况恶劣<sup>[2]</sup>,飞行高度面临较强高能粒子辐照,其中 SRAM 型存储单元连续多位翻转问题(multi-bit upsets, MBU)已经成为影响航空设备安全性能的主要原因之一<sup>[3-4]</sup>。SRAM 型存储器发生单粒子多位翻转时错误图样<sup>[5]</sup>,在 45 nm 和 65 nm 尺寸工艺下 MBU 主要表现为同一字节中相邻的 2~4 位最为明显<sup>[6-7]</sup>,因此针对连续

收稿日期:2022-06-23

\* 基金项目:中央高校基本科研业务项目费项目(3122019168)资助

MBU 设计加固方法作为提升 SRAM 安全性的热门研究方向。

目前,国内外抗单粒子翻转的加固方法大致能够划分为电路加固<sup>[8]</sup>、工艺加固、版图加固和系统加固<sup>[9]</sup>。电路加固工艺繁琐,生产成本低,增加芯片的集成度,可靠性差<sup>[10]</sup>;工艺加固需特殊工艺,制造成本高;版图加固不能完全增强电路对单粒子翻转的抵消效应,更适用于控制单粒子的闩锁效应<sup>[11]</sup>。系统级加固采用纠错算法的加固方法增强器件的稳定性。在发生错误时使用必要的算法将错误修正,不改变设计工艺,简单易实现且成本低<sup>[12-14]</sup>。

当前的误差校正码(error correcting code, ECC)系统级加固技术,国内外学者都做了大量的研究。2020 年 Rahul 等<sup>[15]</sup>提出一种确定性线性搜索来生成 SEC-DED-DAEC H(39,32)和 H(72,64)码的解,来实现修复 SRAM 存储单元相邻位置的错误,但是只能纠正一定范围内的错误,超出范围会出现误纠。Sanchez 等<sup>[16]</sup>提出了一种保护由 8 位存储设备组成的 16 位和 64 位数据存储器不受单粒子功能中断和单粒子翻转干扰的方法,该方案使用正交拉丁方码,可在单粒子功能中断发生时激活,但设计所需的开销很大,占用资源很多。杨鸿勋等<sup>[17]</sup>采用了汉明码与交织技术结合解决了信道中的随机出错与突发错误,提高了信道的抗干扰能力,但他的实现过程仅仅通过仿真设计实现,误差较大,实际工程应用效果无法保证。

当前纠错编码加固技术纠错能力有限,占用资源过多,结合交织技术提高纠错能力仅停留在仿真阶段,本文以 XC5VFX130T 芯片为研究对象,针对连续的 4 bit 及以下的错误提出构造最优解循环移位交织器联合(21,16)汉明码的加固方法,搭建故障注入平台模拟粒子辐照实验对加固方法进行验证,实验数据表明对小容量存储数据,最优解循环移位交织器联合(21,16)汉明码使单粒子翻转的功能中断截面减少了 48.54%,证明了加固方法的有效性和实用性。

## 1 纠错码加固存储单元

### 1.1 汉明码的选择

在通常设定中,把汉明码的码长设为  $n$ ,  $k$  代表汉明码信息位数,根据汉明码的定义和原理,不难得到,校验位数为  $r = n - k$ 。有  $r$  个校验位就有  $r$  个校验关系式,出现一位数据发生翻转的情况就有  $n$  种可能,这时需要满足关系式  $n = k + r \leq 2^r - 1$ 。

表 1 为常见信息码位数和校验码位数之间的关系。

表 1 信息码位数和校验码位数之间的关系

信息码位数	1	2~4	5~11	12~26
校验码位数	2	3	4	5

分析上表信息码和校验码位数之间的关系,考虑冗余

面积开销的情况下,信息位在 12~26 位上,校验码为 5 位,利用率是最优的。

在汉明码的设计过程为了得到最适合最优的汉明码,通常采用位开销(bit overhead)和码率(code rate)的概念来计算各种汉明码的资源占用情况。位开销的表示如式(1)。

$$BitOverhead = \frac{r}{k} \tag{1}$$

$$CodeRate = \frac{k}{n} \tag{2}$$

数据位位数和汉明码码长的比值代表的是码率,从式(2)中,可以直观得到每种汉明码有效数据位的利用率。表 2 将利用位开销和码率计算几种不同的汉明码,以此直观的表现出各种汉明码的设计实现的资源消耗情况。

表 2 常见汉明码的位开销和码率

汉明码	位开销	码率
(7,4)	0.75	0.571 42
(12,8)	0.5	0.666 66
(21,16)	0.312 5	0.761 90
(71,64)	0.109 375	0.901 41

由于是对存储器进行加固设计,对多位翻转进行加固,考虑编译码模块的面积开销和后续算法设计要求,在不超过芯片一行 32 位物理地址的范围内(21,16)汉明码的位开销为 0.312 5,码率达到 0.761 9,对小容量存储数据来说,降低了冗余度,提高了信息的有效利用率,因此本文采用(21,16)汉明码。

### 1.2 电路设计

使用汉明码对 SRAM 进行加固设计的结构如图 1 所示,电路设计整体操作是为了提高存储器抗单位翻转的能力,因此在原先的电路基础上设计编解码电路,数据输入编码电路得到新的数据产生校验位,在解码模块进行相同的操作,将编解码电路得到的校验位进行异或处理,在可纠正的能力范围内,此电路设计就能实现错误数据的纠正和修复。

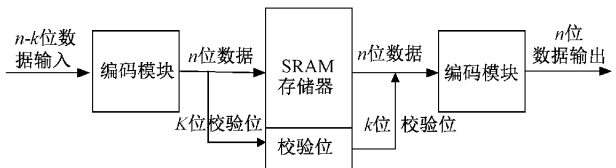


图 1 纠错编码加固 SRAM 的基本结构

对 16 位原数据进行编码可以得到 21 位的汉明码,把数据存储在存储器中,再对所存储的数据进行调用时进行汉明解码,依据(21,16)汉明码检纠错算法分析,得出出错数据位的位置,进行取反,完成 SRAM 型存储单元的抗单粒子单位翻转的加固设计。

图 2 是(21,16)汉明码仿真实现图,将校验位和数据位

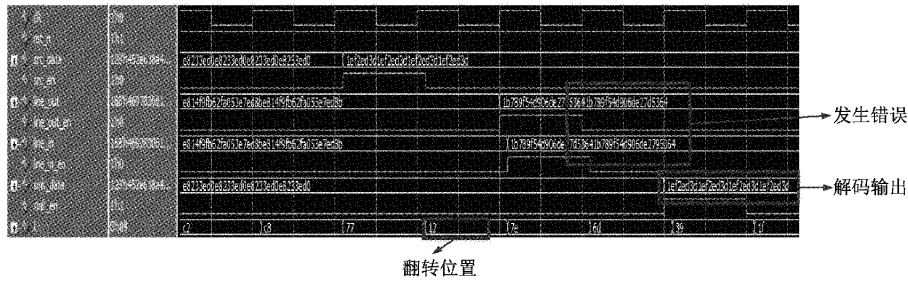


图2 (21,16)汉明码仿真结果

结合到一起实现纠正单位翻转能力。仿真波形图可以看出在 18 位发生翻转,经过解码之后得到正确数据。

## 2 最优循环移位交织联合(21,16)汉明码加固存储单元

### 2.1 循环移位交织器最优解的构造

构造  $m \times n$  数组( $n$  个长度为  $m$  的单机纠错码字):纠正最大的突发错误不需要预先知道错误突发的大小和形状。

对于任意正整数  $m$  和  $n, m \times n$  数组的最大可能交错距离  $t$  是:

$$t = \begin{cases} \lfloor \sqrt{2n} \rfloor, & n \leq \lfloor m^2/2 \rfloor \\ m + \lfloor (n - \lfloor m^2/2 \rfloor) / m \rfloor, & n \geq \lfloor m^2/2 \rfloor \end{cases} \quad (3)$$

对于任意正整数  $m$  和  $n$ ,上述构造生成了一个  $m \times n$  矩阵,具有式(3)中给出的交错距离  $t$  最大的最优交错数组。

对于长度为  $m$  的单机纠错码,纠正大小为  $t$  的任意突发错误,则交错所需的最小码字数由  $n$  表示。

$$n = \begin{cases} \lceil t^2/2 \rceil, & t \leq m \\ \lceil m^2/2 \rceil + m(t - m) = mt - \lfloor m^2/2 \rfloor, & t \geq m \end{cases} \quad (4)$$

优化步骤:1)选择合适移动参数  $P_i$ ;2)按列进行移位:  $(j, i) \rightarrow [(P_i + j) \bmod n, j], 0 \leq i < m, 0 \leq j < n$ 。关键部分:选择  $m$  移动参数  $P_i$ ,同时  $0 \leq P_i < n, 0 \leq i < m, P_i \in Z_n = \{0, 1, \dots, n-1\}$ ,使得对所有的  $i \neq k, 0 \leq i, k < m, P_i$  满足条件:

$$|i \neq k| + |p_i - p_k| \geq T \quad (5)$$

$$|i \neq k| + |n - |p_i - p_k|| \geq T \quad (6)$$

根据移位参数  $P_i$  所满足的条件,构造  $P_i$  分两种情况讨论:

Case1:当  $n \geq \lfloor m^2/2 \rfloor$ ,最大的交织距离:  $T = (n - \lfloor m^2/2 \rfloor) / m + m$ ,则移动参数:

$$P_i = \hat{b}_i \pmod{n}, 0 \leq i < m \quad (7)$$

其中,  $n_s = \lceil \hat{t}^2/2 \rceil, \hat{t} = m, \hat{b} = 2 \lceil \hat{t}/2 \rceil - 1$

则移动参数:

$$p_{i\alpha} = \hat{p}_{i\alpha} + \alpha\eta, 0 \leq \alpha \leq m \quad (8)$$

注:  $\eta = \lfloor (n - \lfloor m^2/2 \rfloor) / m \rfloor$ , 并且  $\{i_0, i_1, \dots, i_{m-1}\}$  是  $\{0, 1, \dots, m-1\}$  的重排,使得  $\hat{p}_{i_0} \leq \hat{p}_{i_1} \leq \dots \leq \hat{p}_{i_{m-1}}$ 。

Case2:当  $n \leq \lfloor m^2/2 \rfloor$

最大的交织距离:  $T = \lfloor \sqrt{2n} \rfloor$

则移动参数:

$$P_i = b_i \pmod{n}, 0 \leq i < m \quad (9)$$

其中,  $t = \lfloor \sqrt{2n} \rfloor, n_s = \lceil t^2/2 \rceil, b = 2 \lceil t/2 \rceil - 1$ 。

### 2.2 最优循环移位交织器的实现

本文将(21,16)汉明码结合交织技术,实现能纠正任何相邻错误图样的 4 bit 错误,构造一个双端口 RAM,端口宽度为 21、深度为 8,利用读写控制器进行读写控制操作,输入 128 bit 数据进行汉明编码,将 168 bit 数据按照 8 行 21 列进行交织。

根据最优交织器的设计原理,本文将构造 8 行 21 列进行交织,首先将原数据写入矩阵中,如图 3 所示,再根据  $m$  和  $n$  的值确定是第二种移位情况,根据式(9)选择每列合适的移动参数,纠正最大范围内的连续 4 bit 不同错误翻转图样,每列的具体移位次数为  $\{3, 6, 1, 4, 7, 2, 5, 0, 3, 6, 1, 4, 7, 2, 5, 0, 3, 6, 1, 4, 7\}$ ,如图 4 所示,得到最优循环移位的参数,这样就能纠正任意形状相邻 4 bit 错误。

矩阵	输入原始数据
	0 0
	1 1
	2 2
	3 3
	4 4
	5 5
	6 6
	7 7

图3 原始数据矩阵

矩阵	循环移位交织
移位位数	$P_i$ 3 6 1 4 7 2 5 0 3 6 1 4 7 2 5 0 3 6 1 4 7 2 5 0
	5 2 7 4 1 6 3 0 5 2 7 4 1 6 3 0 5 2 7 4 1 6 3 0
	2 0 5 2 7 4 1 6 3 0 5 2 7 4 1 6 3 0 5 2 7 4 1 6 3
	4 1 6 3 0 5 2 7 4 1 6 3 0 5 2 7 4 1 6 3 0 5 2 7 4
	5 2 7 4 1 6 3 0 5 2 7 4 1 6 3 0 5 2 7 4 1 6 3 0 5
	6 3 0 5 2 7 4 1 6 3 0 5 2 7 4 1 6 3 0 5 2 7 4 1 6
	2 7 4 1 6 3 0 5 2 7 4 1 6 3 0 5 2 7 4 1 6 3 0 5
	3 6 1 4 7 2 5 0 3 6 1 4 7 2 5 0 3 6 1 4 7 2 5 0
	4 1 6 3 0 5 2 7 4 1 6 3 0 5 2 7 4 1 6 3 0 5 2 7 4

图4 最优循环移位交织矩阵

具体的实现过程是读写使能控制读信号、读地址、写信号以及写地址,在写使能的驱动下,进行写输入,将数据输入进行汉明编码,再进行交织编码得到最优循环移位交织矩阵,这 168 bit 作为用户的逻辑地址 0,将这 168 bit 的数据存入存储器,这里要将物理地址和逻辑地址进行软映射处理,具体的操作是把用户逻辑 0 地址映射转换为物理

地址的 0~7,每行放 21 bit 的数据,依然是交织最优解的矩阵形状,解码的过程是编码的相反过程,这里不作过多描述。

仿真波形图如图 5 所示,从仿真波形图可以看出交织设计功能的实现,交织编码和交织解码之后得到相同的数据。

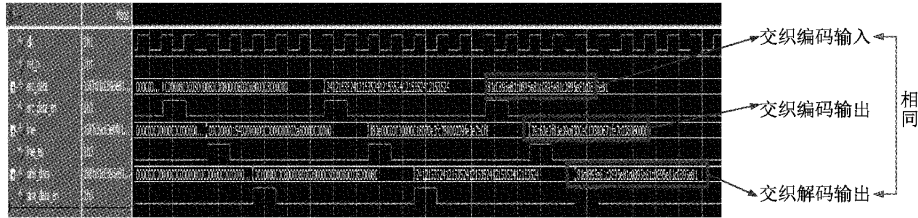


图 5 交织编解码仿真图

### 3 故障注入平台的搭建及验证

#### 3.1 故障注入设计方案

Virtex-5 系列芯片没有官方提供的专用软错误缓解 IP 核,需自行设计故障注入验证系统。本文选用 XC5VFX130T 型 FPGA 芯片利用单帧部分重构功能,达到等同于软错误缓解 IP 核故障注入效果<sup>[18]</sup>,利用累积故障注入模式连续随机注入模拟单粒子辐照试验,得到待评估电路的功能中断截面,进而实现对基于 XC5VFX130T 型 FPGA 系统的抗单粒子翻转加固效果的评估。

#### 3.2 故障注入关键技术

故障注入技术修改配置文件中的某一位,下载至 FPGA 的存储器中。但是有两个缺点:1)循环码校验的配置文件无法成功配置到器件上;2)故障注入都写入完整的配置文件所需的时间开销也是不容忽视的。为了解决上述问题,本文采用单帧重构功能,极大的缩减注入所需的时间,用最小的代价向存储器中写入错误,提高故障注入的效率。

本文破解 XC5VFX130T 型 FPGA 码流中同步字、数据包和附加指令的组成形式,明确了帧地址的生成规则,如表 3。

通过配置接口向器件内写入相应的配置数据块,实现单帧数据的重构。具体指令代码如表 4 所示。

#### 3.3 故障注入验证系统设计

故障注入试验的布局如图 6 所示,整个系统由评估测试台、待测电路板和功能中断监测系统组成。评估测试台与待测电路板之间通过 JTAG 接口相连,评估测试台产生故障码流,并通过部分重构功能将故障注入待测电路板中的 XC5VFX130T 芯片中,功能中断监测系统产生测试激励、接收测试电路的响应信号并判断待测电路的功能是否正确。

整个故障注入验证试验分为 3 部分:评估测试台、待测电路板和功能中断监测系统。待测电路板上有待测

表 3 帧地址的生成规则

帧地址	
0000 0000 BBT RRRR RCCC CMMM MMMM	
	块类型(000)
	(1)互连和块配置:000
B(3 bit)	(2)块 RAM 内容:001
	(3)互连和块特殊帧:010
	(4)块 RAM 非配置帧:011
	Top_BBit(0~1)
T(1 bit)	(1)顶层:0
	(2)底层:1
R(5 bit)	行地址(0~4)
C(8 bit)	列地址(0~37)
M(7 bit)	次要地址

表 4 配置数据相关指令

CFG_OUT	1111000100	进入配置总线进行回读
CFG_IN	1111000101	进入配置总线进行配置
JPROGRAM	1111001011	与 PROGRAM 指令作用相同

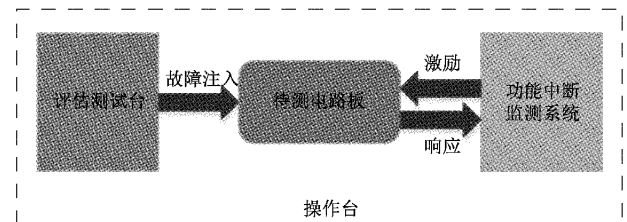


图 6 故障注入试验布局示意图评估测试台系统组成示意图

XC5VFX130T 型 FPGA 芯片的连接座,DB9 供电接口、连接 FPGA 用户 IO 的 VHDCI68 接口,用于测量板级电压的端口。如图 7 所示。功能中断系统检测故障注入的开始和停止,在设计时主要是监测信号的变化、接收测试电路的响应信号并判断待测电路的功能是否正确。利用累

积故障注入技术评估(21,16)汉明码结合最优循环交织加固 SRAM 存储单元的抗单粒子连续多位翻转的加固技术。

顶层模块包括 3 部分,1)构造双端口的 RAM 为本实验的加固对象;2)RAM 的控制器,控制 RAM 进行读数据、写数据;3)测试电路主要实现的功能是控制读写以及监测电路故障,发射信号决定故障注入的开始和故障注入的结束。如图 8 所示。

### 3.4 评估 SRAM 型存储器的加固设计

#### 1)参数设计

故障注入验证试验是采用累积故障注入方法,累积故

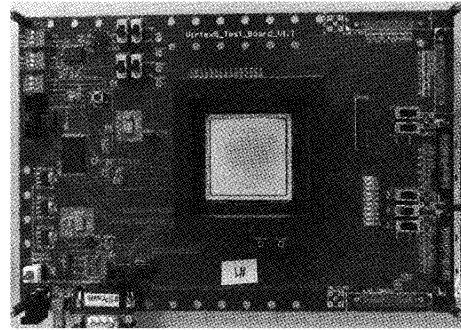


图 7 测试板卡硬件实物

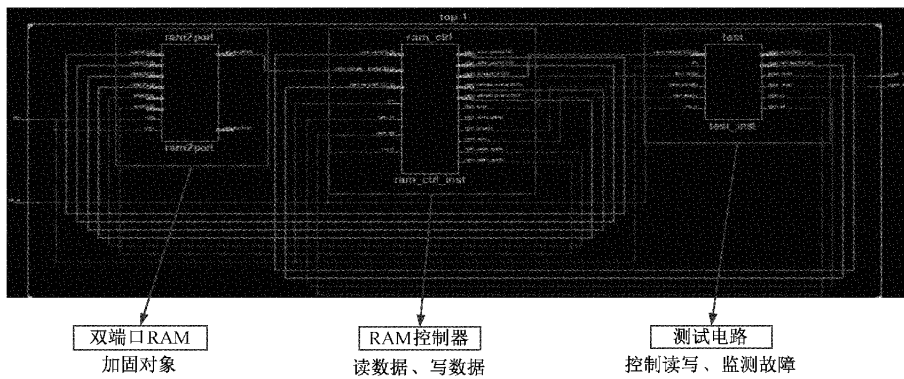


图 8 故障注入验证试验顶层模块

障注入在模拟单粒子辐照试验中设置不同的 LET 值对待测 FPGA 进行 SEU 实时监测,并对 SEU 截面进行评估,进而获得待测器件的 SEU 截面和单粒子功能中断(single event functional interrupt, SEFI)截面随 LET 值的变化关系曲线。模拟环境试验参数设置如表 5 所示,设置不同的 LET 值、注量率等参数。

表 5 故障注入模拟环境

CFG_OUT	1111000100	进入配置总线进行回读
CFG_IN	1111000101	进入配置总线进行配置
JPROGRAM	1111001011	与 PROGRAM 指令作用相同

本文单粒子功能中断截面的计算方法如式(10)、(11)所示,其中  $N$  为待测电路发生单粒子功能中断的次数,  $n_i$  为发生第  $i$  次功能中断时注入的故障的数量,  $\bar{n}$  为待测电路发生  $N$  次功能中断的平均次数,  $\sigma$  为待测电路的单粒子

功能中断截面。

$$\bar{n} = \frac{1}{N} \sum_{i=1}^N n_i \quad (10)$$

$$\sigma = \frac{1}{\bar{n}} \quad (11)$$

2)评估最优循环移位交织联合(21,16)汉明码抗单粒子多位翻转结果分析

针对相邻多位比特的故障注入,将(21,16)汉明码与最优循环交织技术结合进行电路的加固设计,在最初的故障注入时 LET 值较小,用逻辑分析仪抓取的内部时序运行图,在图 9 中汉明交织编码的数据为 112233445566778899AABBCCDDEEFF00,进行故障注入抓取到数据为 78F21EBD1E2DA54323018F0B442FF2CC8B4D4338D3,在经过汉明交织解码后,如图 10 原数据 112233445566778899AABBCCDDEEFF00,得出输入 128 bit 的数据与解码输出的数据是相同,加固技术可以解决单粒子多位翻转。

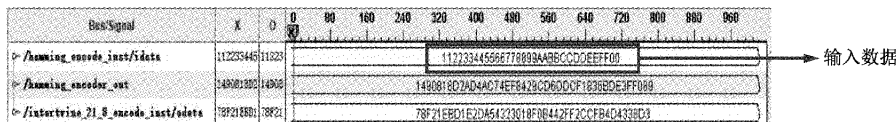


图 9 汉明交织编码内部时序运行图

将带有最优循环交织联合(21,16)汉明码的加固电路和未加固电路分别在特定的 10 组 LET 值下进行故障注入验证试验的测试评估,每组 LET 值分别进行 20 次 bit 数不同的 SEFI 故障注入,这里列举一组 LET 值下的发生单

粒子功能中断故障注入 bit 数,如表 6 所示。再对每组 LET 值下的 20 次试验结果取平均,得到未加固电路和加固电路的  $\sigma$  值,试验数据如表 7 所示,得到  $\sigma$  值随 LET 值变化关系如图 11 所示。

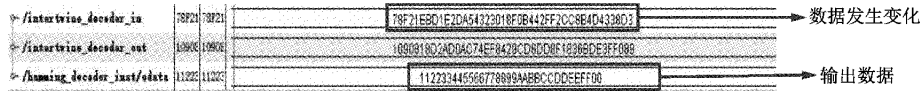


图 10 汉明交织解码内部时序运行图

表 6 相邻行多比特故障下未加固电路和加固电路的故障注入验证试验数据

LET (MeV·cm <sup>2</sup> /mg)	注入 bit 数	
	未加固电路	加固电路
4.06	368	903
	309	9 941
	1 010	4 858
	748	1 128
	653	820
	2 649	891
	1 497	178
	2 470	784
	1 176	1 425
	4 086	689
	6 889	760
	2 304	1 960
	297	166
	5 499	1 924
	4 276	3 337
	5 440	10 559
808	14 751	
6 806	4 585	
238	16 723	

表 7 故障注入验证试验功能中断截面(相邻多比特)

LET(MeV·cm <sup>2</sup> /mg)	未加固电路	加固电路
2.15	0.000 573	0.000 280
4.06	0.000 911	0.000 407
9.01	0.001 433	0.001 442
21.8	0.002 820	0.002 139
30.4	0.004 563	0.002 398
42.0	0.007 195	0.002 742
51.7	0.007 910	0.003 312
68.3	0.009 948	0.004 837
80.08	0.011 062	0.006 562
97.0	0.013 438	0.007 762

由图 11 可以看出,对待测电路进行相邻累积多比特故障注入,随着注量的增大,单粒子翻转效应逐渐加强,同时单粒子翻转的位数逐渐增多,造成  $\sigma$  值逐渐变大;加固电路与未加固电路相比, $\sigma$  值明显减小,说明该加固技术能够有效纠正单粒子翻转;同未加固电路相比加固电路的减

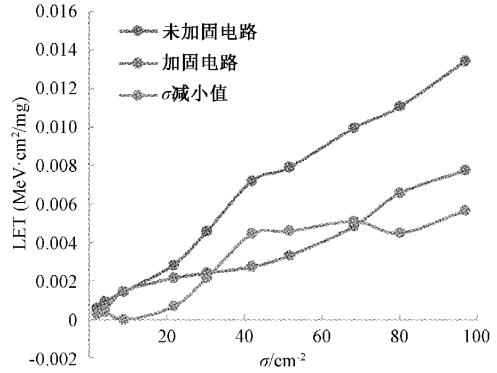


图 11 单粒子功能中断截面随 LET 值变化关系(相邻多比特故障注入试验)

小的  $\sigma$  值总体呈逐渐加大的趋势,进一步证明该加固技术的有效性,其变化的趋势逐渐减慢,这符合理论分析,即随着注量增大电路发生的单粒子效应类型增多,其中单粒子翻转中错误图样增加,而本文提出的加固技术主要针对单粒子翻转中相邻的 4 位及以下的错误图样,因此  $\sigma$  值减小的趋势随 LET 值的增大而减小。

### 3.5 仿真结果与故障注入结果对比分析

针对(21,16)汉明码+最优循环交织器加固存储器效果分析,仿真故障注入试验随机输入数据,在相邻位置设置数据位的翻转模拟故障注入,每次得出的输入数据与输出数据相同,证明了交织加固方案的正确性。故障注入试验中,设置不同的 LET 值和注量率来增加粒子能量,累积进行相邻比特的故障注入造成了存储器翻转的位数的增多,本文设计的(21,16)汉明码+最优循环交织器最多纠正相邻的 4 位错误,由图 11 可以看出此设计对抗单粒子相邻多位翻转具有加固作用。结合对图 11 的分析推测在 LET 值为 9.01 MeV·cm<sup>2</sup>/mg 时的  $\sigma$  值可能存在测量误差但并未影响整体趋势,考虑将 LET 值为 9.01 MeV·cm<sup>2</sup>/mg 时的  $\sigma$  值剔除,得到如表 8 所示的加固效果,加固率最高提高了 61.89%,平均提高了 48.54%,证明了加固方案的可行性。

表 8 (21,16)汉明码+最优循环交织器加固设计结果对比分析

参数	(21,16)汉明码+	(21,16)汉明码+
	最优循环交织器 仿真试验	最优循环交织器 故障注入试验
试验次数	50	50
加固效果	100%	48.54%
纠错能力	相邻多位	相邻多位

## 4 结 论

本文依据文献调研多种工艺尺寸下单粒子多位翻转错误图样集中在2~4位,提出将循环交织器和随机交织器结合构造最优循环交织器,联合(21,16)汉明码实现最大化纠正存储器发生相邻多位翻转的不同错误图样的加固技术,并通过仿真和故障注入的验证方式,证明了该加固技术的有效性和实用性,为保证航空电子硬件的安全提供技术参考,同时也为航空电子硬件单粒子效应适航审定的符合性验证提供技术基础。

## 参考文献

- [1] GADLAGE M J, ROACH A H, DUNCAN A R, et al. Soft errors induced by high-energy electrons[J]. IEEE Transactions on Device & Materials Reliability, 2017, 17(1):157-162.
- [2] 余晓霞,汤宝平,魏静,等. 强背景噪声条件下自适应图卷积神经网络的航空发动机附件机匣故障诊断方法[J]. 仪器仪表学报, 2021, 42(8):9.
- [3] 傅婧,蔡毓龙,李豫东,等. 质子辐照下正照式和背照式图像传感器的单粒子瞬态效应[J]. 物理学报, 2022, 71(5): 182-189.
- [4] 向刚,韩峰,周虎,等. 数据驱动的航天器故障诊断研究现状及挑战[J]. 电子测量与仪器学报, 2021, 35(2):1-16.
- [5] NAMBA K, LOMBARDI F. Parallel decodable two-level unequal burst error correcting codes[J]. IEEE Transactions on Computers, 2015, 64(10): 2902-2911.
- [6] 罗尹虹,张凤祁,郭红霞,等. 体硅90 nm SRAM重离子单粒子多位翻转实验和数值模拟[J]. 现代应用物理, 2017, 8(1): 48-55.
- [7] KUMAR C I, ANAND B. Design of highly reliable energy-efficient SEU tolerant 10T SRAM cell [J]. Electronics Letters, 2018, 54(25):1423-1424.
- [8] 王雪萍,曹靓. 应用于抗辐照FPGA的多标准I/O电路设计[J]. 电子与封装, 2019, 19(10):20-25.
- [9] ARBAT A, CALLIGARO C, ROIZIN Y, et al. Radiation hardened 2 Mbit SRAM in 180 nm CMOS technology [C]. 2012 IEEE First AESS European Conference on Satellite Telecommunications(ESTEL), 2012, DOI: 10.1109/ESTEL.2012.6400164.
- [10] 郭瑞. 抗辐射SRAM单元及存储器设计[D]. 哈尔滨: 哈尔滨工业大学, 2017.
- [11] REVIRIEGO P, PONTARELLI S, EVANS A, et al. A class of SEC-DED-DAEC codes derived from orthogonal latin square codes[J]. IEEE Transactions on Very Large Scale Integration Systems, 2015, 23(5): 968-972.
- [12] MANIATAKOS M, MICHAEL M K, MAKRIS Y. Multiple-bit upset protection in microprocessor memory arrays using vulnerability-based parity optimization and interleaving[J]. IEEE Transactions on Very Large Scale Integration Systems, 2014, 23(11): 2447-2460.
- [13] MANIATAKOS M, MICHAEL M K, MAKRIS Y. Vulnerability-based interleaving for multi-bit upset (MBU) protection in modern microprocessors [C]. 2012 IEEE International Test Conference, 2012, DOI: 10.1109/TEST.2012.6401594.
- [14] 王斌,刘杰,刘天奇,等. 重离子辐照带有ECC的65 nm SRAM器件伪多位翻转特性研究[J]. 原子核物理评论, 2018, 35(1): 66-71.
- [15] RAHUL K, YACHARENI S. Deterministic algorithm to generate SEC-DED-DAEC H-matrix for SRAMs in FPGAs for reliable space applications[C]. 2020 5th International Conference on Computing, Communication and Security (ICCCS), 2020, DOI: 10.1109/ICCCS49678.2020.9276924.
- [16] SÁNCHEZ-MACIÁN A, REVIRIEGO P, MAESTRO J A. Combined SEU and SEFI protection for memories using orthogonal latin square codes [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2016, 63(11):1933-1943.
- [17] 杨鸿勋,张林. 基于FPGA的交织编码技术研究及实现[J]. 科技资讯, 2017, 15(26): 27-31.
- [18] 葛云侠,武乾文,赵益波,等. 一种优化FPGA内嵌BRAM自检测March C++算法[J]. 国外电子测量技术, 2022, 41(4): 1-7.

## 作者简介

刘金枝(通信作者), 讲师, 主要研究方向为航电设备适航。

E-mail: ljzhebut@126.com

邹彬, 硕士研究生, 主要研究方向为机载电子设备硬件设计。

E-mail: bzou\_2015@163.com

周丹阳, 硕士研究生, 主要研究方向为机载电子设备硬件设计。

E-mail: geekzdy@163.com