

DOI:10.19651/j.cnki.emt.2210831

皮秒分辨率数字可编程精密延迟触发技术*

余甜^{1,2} 王志斌^{1,2} 景宁³

(1. 中北大学仪器与电子学院 太原 030051; 2. 中北大学微系统集成研究中心 太原 030051;

3. 中北大学信息与通信工程学院 太原 030051)

摘要: 为了产生高分辨率和宽动态延迟取样脉冲,引入了粗+细两级延迟框架。由外部 0.1~12 GHz 时钟信号经锁相环分频后生成大约 100~250 MHz 的同步时钟驱动计数器计数,当计数器达到预设值时,产生频率为 50 kHz 的同步进位脉冲信号,同时 10 bit、10 ps 分辨率的粗延迟芯片和 0.1 ps 分辨率的细延迟芯片开始工作并输出具有一定的延迟量的取样脉冲,由取样脉冲驱动取样器对同步射频信号进行精密取样。测试结果表明,数字可编程精密延迟触发器的分辨率和动态延迟范围分别可以达到 1 ps 和 10 ns 以上。

关键词: 延迟发生器;多级延迟;取样示波器

中图分类号: TM383.6 **文献标识码:** A **国家标准学科分类代码:** 510.80

Digitally programmable precision delay trigger technology with picosecond resolution

Yu Tian^{1,2} Wang Zhibin^{1,2} Jing Ning³

(1. School of Instrument and Electronics, North University of China, Taiyuan 030051, China;

2. Center for Microsystem Intergration, North University of China, Taiyuan 030051, China;

3. School of Information and Communication Engineering, North University of China, Taiyuan 030051, China)

Abstract: In order to generate high resolution and wide dynamic delay sampling pulses, a coarse + fine two-stage delay framework is introduced. The external 0.1~12 GHz clock signal is divided by the phase-locked loop to generate a synchronous clock of about 100~250 MHz to drive the counter to count. When the counter reaches the preset value, a synchronous carry pulse signal with a frequency of 50 kHz is generated, and the resolution is 10 bit and 10 ps. The coarse delay chip and the fine delay chip with a resolution of 0.1 ps start to work and output sampling pulses with a certain delay amount, and the sampling pulse drives the sampler to precisely sample the synchronous radio frequency signal. The test results show that the resolution and dynamic delay range of the digital programmable precision delay trigger can reach 1ps and 10 ns, respectively.

Keywords: delay generator; multistage delay; sampling oscilloscope

0 引言

精密延迟技术广泛用于天体粒子物理学、飞行时间分析、时间相关单光子计数和雷达回波信号模拟系统中的特殊触发生成和基于时间的测量。如取样示波器采用顺序等效采样技术,使用功分器对重复性高频的信号一分为二,一路作为触发信号驱动精密延迟模块产生取样脉冲对另一路射频信号进行取样,以较低的采样速率对高频信号进行采样^[1-3],不仅有较高的带宽、而且克服了对 AD 转换器转换速率的制约。同时高速码型信号经过时钟恢复后,其输出

的时钟信号作为触发信号对码型信号进行眼图测试。其精密延迟模块负责测量同步触发信号的频率,同时在同步触发信号的驱动下产生取样脉冲对射频信号进行精密取样^[4]。精密延迟系统的分辨率和动态范围直接影响了仪器的波形采集精细度与工作带宽。

目前,是德科技和泰克公司的 86100 系列、N1000 系列、TSO820 系列产品可以通过几十 K 的采样率对 50 GHz 射频信号进行等效采样,其生产的取样示波器已在高速光电信号和码型信号测试领域进行了广泛的应用,而国内关于取样示波器和精密延迟技术的研究并没有成熟的方案,

收稿日期:2022-07-26

* 基金项目:国家自然科学基金(62105302)项目资助

电子科技大学袁超、邱渡裕等提出了高低频分离路径的阻抗变换技术,但是仅由单延迟芯片产生的动态延迟无法同时满足高精度的延迟分辨率和宽动态延迟范围,所实现的带宽仅为 4 GHz^[5]。在本文中,为了进一步提高取样示波器的工作带宽,介绍了一种具有粗延迟和精细延迟的多级延迟方法。输入触发时钟经可编程分频器模块分频后驱动计数器芯片产生频率为 50 kHz 的同步进位脉冲依次进入 10 bit、10 ps 分辨率粗延迟芯片和 0.1 ps 分辨率细延迟芯片^[6-7],上位机根据时基刻度和取样点数设置 FPGA 驱动粗延迟芯片和细延迟芯片的延迟量来实现 10 ns 的宽动态延迟范围的同时满足 1 ps 的高精度分辨率,最终输出的取样脉冲驱动取样器对同步射频信号进行精密取样^[8]。

1 精密延迟触发电路工作原理

1.1 顺序等效取样原理

在被测信号与触发信号同步的基础上,精密延迟触发电路在触发信号的驱动下,每一次触发生成取样脉冲的延迟都会比上一次触发时刻的延迟有一个相同的时间增量。取样脉冲经脉冲压缩模块放大后驱动取样器对被测信号进行同步取样^[9],同时驱动 ADC 对取样后的信号进行采集,由于被测信号是重复的,每个取样点经延迟后的取样脉冲取样后分别取自于被测信号波形的不同位置上,若干取样点组成一个周期,就可以在上位机直接重构出被测信号^[10],同时根据每次触发后延迟增量的大小和重构波形一个周期的取样点数就可以计算出被测信号的频率,其工作原理如图 1 所示。上位机通过设置时基刻度和采样点数就可以控制精密延迟触发电路每次触发后延迟增量的大小,每次触发后延迟增量越小,被测信号一个周期内采集的点数就越多,采集到的波形携带的信息就越准确^[11]。

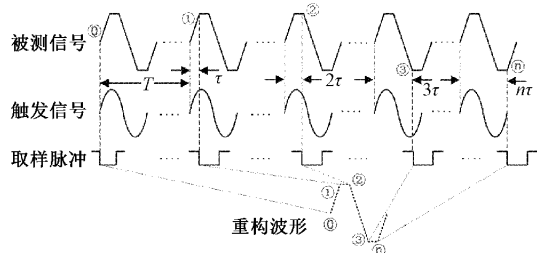


图 1 顺序等效取样原理

1.2 多级延迟取样原理

如图 2 所示,多级延迟电路由两个延迟芯片级联组成:粗延迟和细延迟。精密延迟触发电路接收到上位机时基刻度和采样点数的指令设置后计算每次触发后延迟增量的大小^[12],然后控制粗延迟和细延迟工作。粗延迟延迟范围为 10 ns,精度为 10 ps,细延迟延迟范围为 10 ps,精度为 0.1 ps。每次触发后细延迟延迟增量为 1 ps,当细延迟延迟量达到 10 ps 后,粗延迟增加 10 ps,同时细延迟重新从 0 ps 开始延迟。在这个过程中,精密延迟触发电路每产生

一次取样脉冲的同时需要产生同步采样脉冲驱动 ADC 将取样后的被测信号进行采集恢复并将采集到的被测信号传给上位机,进行波形重构^[13-14]。

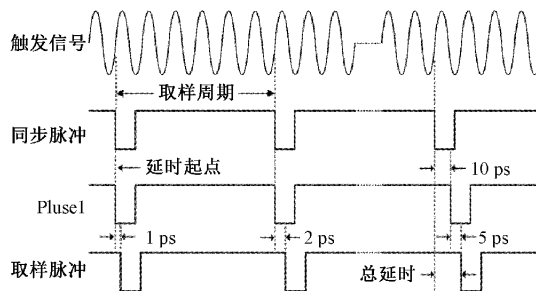


图 2 多级延迟取样原理

2 精密延迟触发电路电路设计

精密延迟触发电路粗延迟和细延迟由分辨率为 10 ps 的粗延迟芯片 MC100EP196 和分辨率为 0.1 ps 的细延迟芯片 HMC911 组成,图 3 为精密延迟触发电路工作原理图。可编程分频器模块采样两片 HMC862 级联组成,输入触发信号频率范围为 100 MHz~12 GHz^[15],外部触发信号经可编程分频器模块分频后扇出两路同步触发信号,一路同步触发信号使用 PLL 进行 16 分频后进入 FPGA 测频,FPGA 每 100 ms 对分频后的信号进行测频^[16],并控制可编程分频器模块使同步触发信号的频率约为 100~250 MHz。当确认了同步触发信号准确的频率值后,另一路同步触发信号驱动 MC10EP016 计数器模块的时钟端,FPGA 通过设置计数器模块的初始值和控制 PE 和 MR 使能启动同步计数器产生 50 kHz 的进位脉冲信号^[17],进位脉冲信号相继进入 MC100EP196 粗延迟模块和 HMC911 细延迟模块进行相应的延迟后,生成幅值为 350 mV、200 ps 下降沿的取样脉冲信号驱动取样器进行精密取样。同时,FPGA 检测到进位脉冲信号后产生同步采样脉冲信号驱动 ADC 进行同步采样,ADC 的采样周期为 20 μs^[18]。

3 实验验证与数据分析

3.1 外部触发信号频率测量

本设计采用直接测频法对外部触发信号进行测频,其工作原理如图 4 所示,由系统的基准时钟 CLK 生成闸门信号 En,En 高电平的持续时间为 T_{En} ,当闸门信号持续为高电平时,被测信号 FX 驱动 FPGA 内部计数器进行计数,计数值为 cnt,则被测信号的周期如式(1)所示。当闸门高电平持续的时间越长,则计数值 cnt 越大,测量得到的被测信号的频率就越精确。

$$T_{FX} = \frac{T_{En}}{cnt} \quad (1)$$

为验证外部触发信号频率测量的精确性,使用射频源 E8257D 产生 13 GHz 射频信号作为触发信号,触发信号

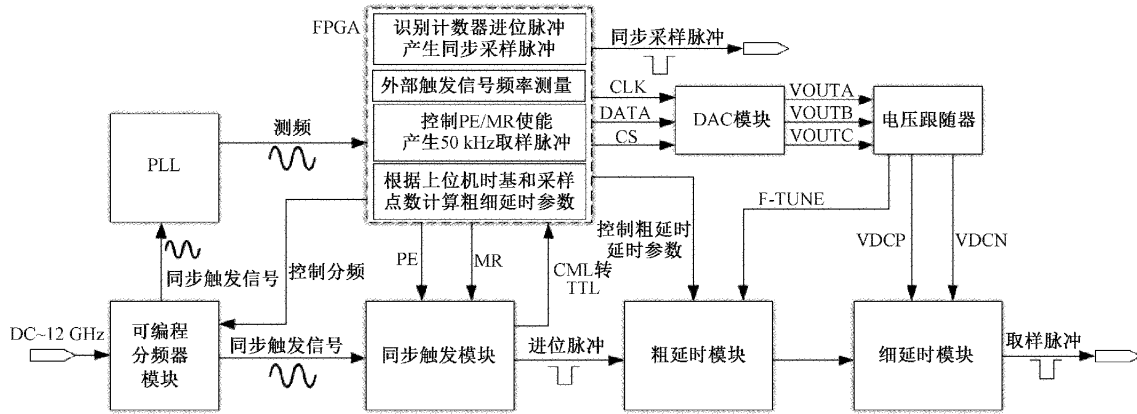


图3 精密延迟触发电路工作原理

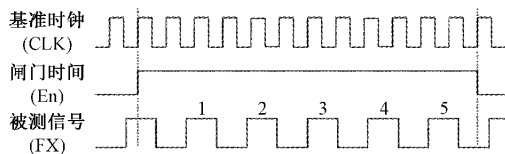


图4 直接测频法工作原理

经可编程分频器模块分频后产生两路同步触发信号,其中一路同步触发信号经PLL进行16分频后进入FPGA进行测频,测频模块的基准时钟为200 MHz,闸门信号高电平持续时间为100 ms,测频模块根据测频的结果控制可编程分频器模

块进行分频,使同步触发信号的频率约为100~250 MHz。

图5为FPGA的在线逻辑分析仪测频的结果,其中HMC862_U1和HMC862_U2信号控制可编程分频器模块级联的HMC862的分频比,此时可编程分频器分频为64, startCnt信号为闸门信号,NX为被测信号在闸门信号高电平使驱动计数器计数的结果,NX为1269535,即可计算出输入FPGA的被测信号的频率为12.69 MHz,同步触发信号的频率为203.12 MHz,外部输入的触发信号频率为13 000.03 MHz,FPGA根据测频模块计数器计数的结果和级联HMC862的分频比就可以精确测量到外部触发信号的频率。

Name	128	64	0	64	128	192	256	320	384	448
HMC862_U1										7h
HMC862_U2										7h
sig_in	[Timing diagram showing a periodic signal]									
fre_test:fre_test:startCnt	[Timing diagram showing a pulse]									
fre_test:fre_test:done	[Timing diagram showing a pulse]									
fre_test:fre_test:sig_in	[Timing diagram showing a periodic signal]									
fre_test:fre_test:Count	[Timing diagram showing a pulse]									
fre_test:fre_test:NX	1269535									
fre_test:fre_test:state	1000h									

图5 在线逻辑分析仪测频结果

3.2 粗延迟精度测量

本设计粗延迟精度主要有两个指标:延迟动态范围为10 ns和分辨率为10 ps,使用采样率为20 GSa/s、带宽为4 GHz的示波器(RTO2044)和射频源E8257D来测量粗延迟精度,使用射频源产生1 GHz射频信号作为外部触发信号的同时产生50 MHz射频信号输入示波器作为同步参考,设置粗延迟模块进行1 000次步进延迟,每次步进延迟10 ps,总延迟范围为10 ns,取样周期为20 μs,细延迟延迟为0。以精密延迟触发电路最终输出的取样脉冲的下降沿作为触发条件,时基刻度为5 ns/div,如图6所示,在示波器余晖模式下,从示波器的时域上分析,50 MHz的射频信号相对于取样脉冲依次移位10 ns,满足粗延迟的10 ns动态延迟范围。

同理,在射频源输出1 GHz射频信号的基础上,设置粗延迟模块进行5次步进延迟,每次步进延迟为10 ps,同

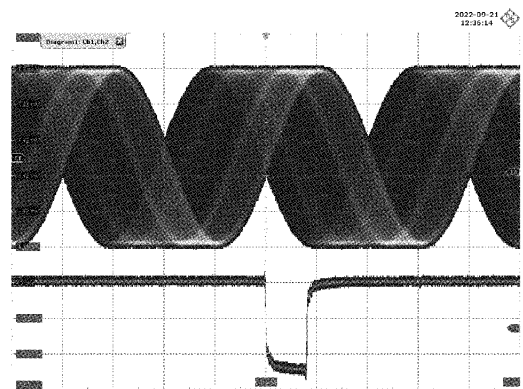


图6 粗延迟延迟范围测量

时示波器以计数器进位脉冲的下降沿作为触发条件,在余晖模式下,测量取样脉冲的延迟精度。受示波器带宽制约的影响,时基刻度最小为40 ps/div,测量结果如图7所示,

图中波形为取样脉冲在余晖模式下依次延迟 10 ps 所组成的 5 个脉冲波形,其延迟精度达到粗延迟芯片 10 ps 的延迟精度,在正常工作过程中,取样脉冲的抖动小于 1 ps。

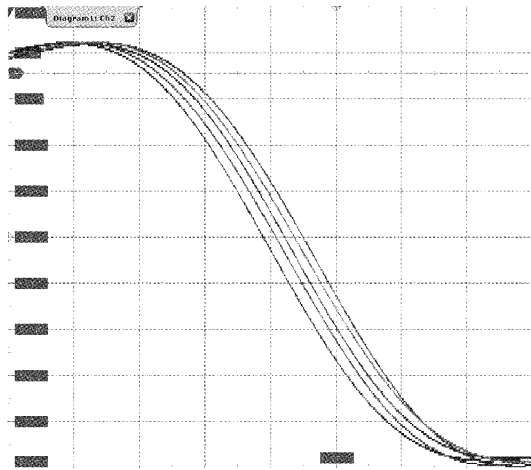


图 7 10 ps 步进延迟精度测量

3.3 细延迟精度测量

细延迟的技术指标为 10 ps 的动态延迟范围和 1 ps 的延迟精度,每当细延迟的延迟量达到 10 ps 后,粗延迟就会增加 10 ps,同时细延迟重新从 0 ps 开始延迟。根据顺序等效取样原理,每次触发脉冲产生后的延迟增量越小,取样脉冲的抖动越小,所重构的被测信号的频率就越高。由于示波器带宽限制,无法直接观测细延迟每次触发后的延迟增量,故搭建如图 8 所示的测试平台进行整机联调,由精密延迟触发电路、脉冲压缩电路、中频滤波放大电路和数据采集电路组成整个测试系统,中频电路板上的黄色金属块为微波取样器,精密延迟触发电路产生的取样脉冲经脉冲压缩电路后驱动取样器对被测信号进行取样。

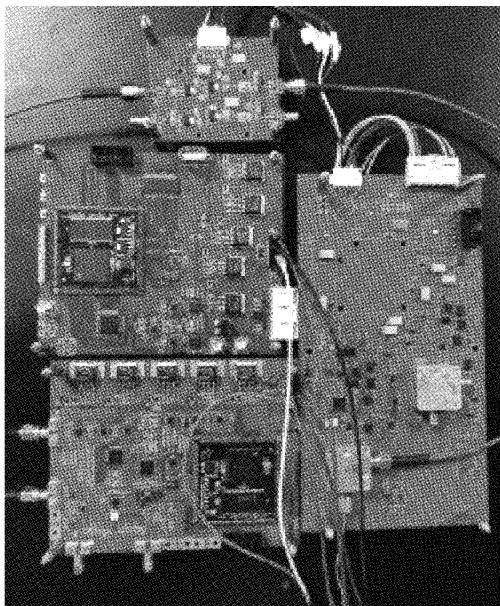


图 8 整机硬件测试平台

在搭建好整机测试平台后,使用射频源 E8257D 产生 1 GHz 射频信号作为触发信号,产生 30 GHz 射频信号作为被测信号。精密延迟触发电路设置动态延迟范围为 1 000 ps,单位步进延迟为 1 ps,取样点数设置为 1 000,取样周期为 20 μ s,示波器测试波形如图 9 所示,其中时基刻度为 20 ns/div,2 通道脉冲信号为 ADC 同步采样信号,脉冲信号的下降沿驱动 ADC 进行同步采集,1 通道正弦包络状信号为被测信号取样后的中频信号,根据顺序等效取样原理,ADC 同步取样信号依次对正弦包络状信号进行采集并将采集到的信号传给上位机进行波形重构,并根据精密延迟触发电路的时基和采样点数就可以计算恢复出被测信号的频率。上位机重构的波形如图 10 所示,此时上位机时基刻度为 10 ps/div,整机系统能够精确恢复出被测信号。通过整机硬件系统联调测试,精密延迟触发电路的细延迟模块能够以单位步进延迟为 1 ps 的分辨率正常工作且信号的抖动不会影响整机系统的正常工作。

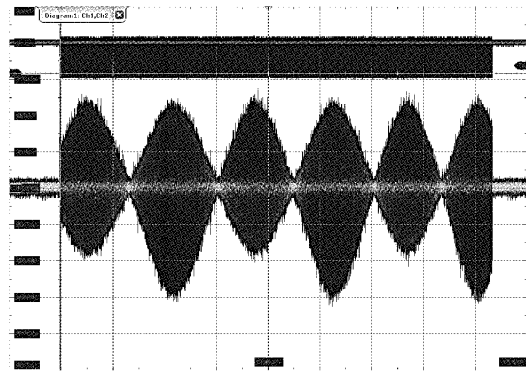


图 9 取样点数为 100,被测信号为 30 GHz 时重构波形

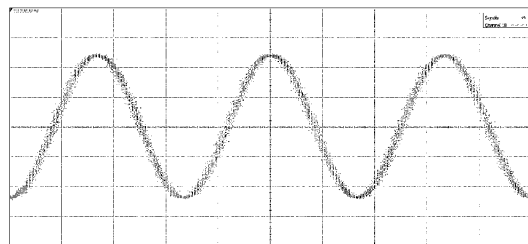


图 10 上位机重构波形

4 结 论

精密延迟触发电路为了实现宽动态范围和高分辨率取样脉冲延迟,引入了具有粗延迟和精细延迟的多级延迟框架。粗延迟和精细延迟模块分别由 MC100EP196 和 HMC911 两个高精度延迟芯片实现,当 MC100EP196 计数器模块达到预设值时就会产生进位脉冲,同时级联的粗延迟模块和细延迟模块开始工作。测量结果表明,精密延迟触发电路的输入触发信号频率范围为 100 MHz 至 12 GHz 并能精确测量出触发信号的频率,取样脉冲的动态延迟范围和延迟分辨率分别可以达到 10 ns 和 1 ps,等效采样率

达到 100 MSa/s~1 TSa/s。

参考文献

- [1] 张君禹. 取样示波器等效采样系统设计与实现[D]. 成都:电子科技大学,2014.
- [2] 李海涛,阮林波,田耕. 基于级联步进延时的顺序等效采样方法及实现[J]. 自动化仪表,2020,41(10):74-77.
- [3] 崔琪,顾金良,刘庆国,等. 基于 DSP+FPGA 的高速数据采集系统的设计[J]. 国外电子测量技术,2020,39(1):93-98.
- [4] 李浩,李加琪,吴嗣亮. 一种大动态范围高分辨率的脉冲延迟器设计[J]. 军民两用技术与产品,2006(5):36-38.
- [5] 朱江淼,王世鏢,赵科佳,等. 宽带取样示波器时基误差补偿的新方法研究[J]. 计量学报,2020,41(1):85-89.
- [6] 刘震,张敏娟,王志斌,等. 一种取样示波器低抖动超窄脉宽时基信号研究与分析[J]. 国外电子测量技术,2021,40(5):58-61.
- [7] 刘军. 极窄脉冲合成与超快沿产生电路设计[D]. 成都:电子科技大学,2019.
- [8] 徐宗健. 高速码型与极窄脉冲合成模块设计[D]. 成都:电子科技大学,2016.
- [9] 刘映光,王志斌. 取样器输出中频信号处理电路设计[J]. 国外电子测量技术,2020,39(1):72-76.
- [10] 潘昭浩,张政权,刘庆想,等. 高精度多路脉冲延时技术[J]. 强激光与粒子束,2021,33(10):124-129.
- [11] 李玺钦,马成刚,赵娟,等. 多通道可延时同步脉冲产生系统研究[J]. 电子设计工程,2016,24(8):44-46,49.
- [12] 程亚昊,王志斌,景宁. 数字可编程高分辨率多级脉冲延迟技术[J]. 国外电子测量技术,2022,41(2):169-172.
- [13] ABDULRAZZAQ B I, HALIN I A, KAWAHITO S, et al. A review on high-resolution CMOS delaylines: towards sub-picosecond jitter performance [J]. SpringerPlus, 2016, 5(1): 434.
- [14] ALI K, GHOLAMREZA M, EESSAM E, et al. Modeling and jitter improvement of SRD-based ultra-wideband pulse generator [J]. IEEE Transactions on Microwave Theory and Techniques, 2014, 62(8): 1736-1747.
- [15] 詹健,陈新竹,舒汀,等. 宽带数字波束形成雷达的高精度延时补偿新方法[J]. 现代雷达,2018,40(10):27-31.
- [16] 杨万渝,王起,杨西,等. 基于 FPGA 的示波器插值算法实现[J]. 国外电子测量技术,2018,37(7):45-49.
- [17] 程昊腾. 极窄脉冲信号调理技术研究[D]. 成都:电子科技大学,2015.
- [18] SANKARSAN P, ARIJIT D, RANJAN D R, et al. Design, characterization, and optimization of a multilayer U-type hexaferrite-based broadband microwave absorber [J]. IEEE Transactions on Electromagnetic Compatibility, 2018, 60(8): 1734-1742.

作者简介

余甜,硕士研究生,主要研究方向为数据采集传输和高速电路设计。

E-mail: 1543628294@qq.com

王志斌(通信作者),教授,主要研究方向为光电子技术与仪器。

E-mail: wangzhibin@nuc.edu.cn

景宁,副教授,主要研究方向为光子学和信号处理。

E-mail: jingning@nuc.edu.cn