

基于FPGA的CCD成像电路软件设计

苏健 于正阳 徐磊

(北京空间机电研究所 北京 100094)

摘要: 为满足 CCD 成像电路集成化、小型化的发展需求,设计了一种高性能的新型成像电路系统,采用 FPGA 作为成像系统的控制核心,产生 A/D 转换器的配置驱动信号实现模数转换,对图像数据进行编码合成转换成数传格式输出成像,通过遥测遥控三线接口实现成像系统与外部的通讯,用以接收星上辅助数据及成像参数调整指令等。实验结果表明,设计的成像电路软件能够满足卫星相机视频处理功能的测试需求,成像效果清晰,简化了硬件电路的同时提高了软件集成度,具有很高的工程应用价值。

关键词: CCD;AD;成像电路;信号处理;FPGA

中图分类号: TN409 **文献标识码:** A **国家标准学科分类代码:** 510.4050

Software design of CCD imaging circuit based on FPGA

Su Jian Yu Zhengyang Xu Lei

(Beijing Institute of Space Mechanics & Electricity, Beijing 100094, China)

Abstract: In order to meet the needs for the integration and miniaturization of CCD imaging circuit, a new high performance imaging circuit system is designed in this paper. Using FPGA as the core of the imaging circuit, configuring the A/D converter to realize analog to digital conversion, coding and synthesizing the converted image data and arranging the data transmission format, realizing the communication between the imaging circuit and the outside by the telemetry and telecontrol three wire interface, so as to receive the auxiliary data on the satellite and the adjustment instructions of the imaging parameters. The experimental results show that the imaging circuit software designed in this paper can meet the test requirements of video processing function of satellite camera. The imaging effect is clear, the hardware circuit is simplified and the software integration is improved. It has high engineering application value.

Keywords: CCD; AD; imaging circuit; signal processing; FPGA

0 引言

电荷耦合器件(charge coupled device, CCD)图像传感器是高性能的固体成像器件,它可以实现光电转换,广泛应用于图像采集系统中。在遥感相机视频电子学系统中,来自光学系统的光信号通过 CCD 转换成电信号,再经过相关双采样、A/D 转换等操作后转换为数字信号,发送给数字信号处理电路进行数据合成处理,完成成像功能。

传统的 CCD 成像电路主要包括焦平面电路、信号处理电路和积分时间电路 3 部分,3 部分电路分别由各自的 FPGA 作为核心处理器控制实现相应功能。其中焦平面电路 FPGA 软件为 CCD 提供时序驱动信号,确保 CCD 正常工作;信号处理电路 FPGA 软件驱动 A/D 转换器完成模数转换,将 CCD 输出的模拟信号转换为数字信号,并进行数据合成处理然后输出给数传分系统;积分时间电路 FPGA

软件为信号处理电路提供工作所需的主时钟、行同步等信号,并向信号处理电路发送指令信息^[1]。

在传统设计方法中,由于 3 部分电路分别采用单独的 FPGA 作为各自的主控芯片,不仅使软硬件集成度低,而且增加了整个电路的研制成本,同时由于 FPGA 设计的降额要求,还造成一定程度的逻辑资源浪费。为提高成像电路的集成度和高信噪比、高分辨率等要求,本文对 CCD 成像电路进行合理规划,设计了一套高性能的 FPGA 软件,去掉传统成像电路中积分时间电路的 FPGA,只保留焦平面电路和信号处理电路的 FPGA,采用 A/D 转换器进行模数转换,集成 PROM 和 SRAM 缓存,以 RS232 和三线串口为控制接口对图像数据进行存储、图像处理、编码和图像显示。本文设计的成像电路提高了软硬件的集成度,满足遥感相机小型化的发展需求,同时具备较强的通用性^[2-3]。

1 成像电路系统组成

CCD 成像电路的组成如图 1 所示,由焦平面电路和信号处理电路两部分组成。每部分电路都有各自的 FPGA 作为主控制器实现相应功能,其中,焦平面电路 FPGA 接收信号处理电路发来的同步信号和成像档位信息进行相关操作,生成 CCD 的驱动信号,经过滤波放大,输出模拟信号给信号处理电路^[4-5]。本文主要介绍的是信号处理电路的 FPGA 软件设计,信号处理电路包括 A/D 转换器、FPGA、PROM、SRAM、数传接口以及遥测遥控三线接口等。

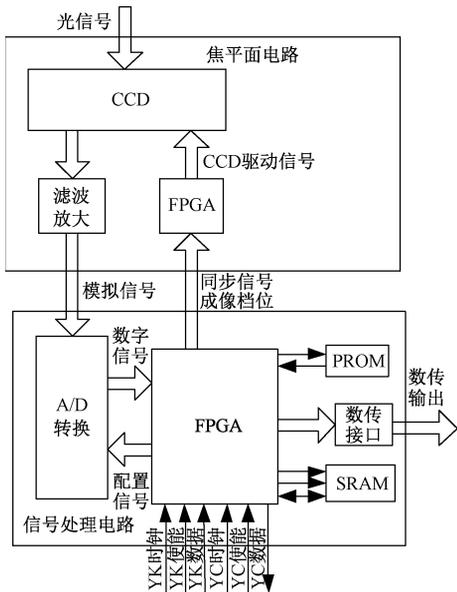


图 1 成像电路系统组成

CCD 输出的模拟信号经过相关双采样,模数转换等操作后转换为数字信号。信号处理电路 FPGA 软件的主要功能是产生焦平面电路工作所需的同步信号和成像档位信息;产生 A/D 转换器的配置时序,接收 A/D 量化后的数字信号与辅助数据进行数据处理与合成,输出给数传分系统进行成像;通过三线串口接收星上管理控制器发送的辅助数据及成像参数等遥控指令,调整电路的工作状态,返回相应的遥测量^[6-7]。

2 软件设计与实现

FPGA 软件是整个系统的重要组成部分,控制逻辑采用自顶向下的设计思路,层级结构如图 2 所示,主要包括全局信号管理模块、配置 A/D 转换器模块、数据合成模块、存储控制模块、遥测遥控模块。其中数据合成是完成图像数据处理的核心模块,主要包括图像数据接收模块、辅助数据处理模块、图像算法处理模块和数传格式编排模块^[8]。

上电或复位后,对复位信号延时以确保复位信号稳定有效,之后全局信号管理模块生成内部工作需要的各类时

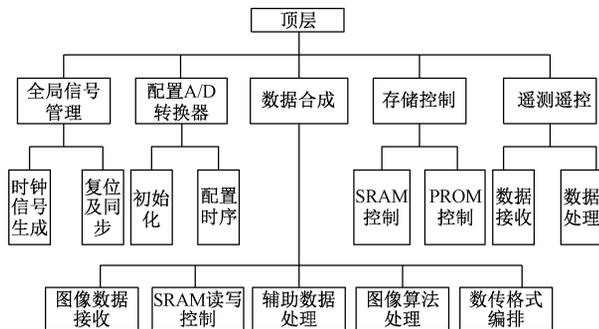


图 2 FPGA 软件功能划分

钟信号和同步信号;产生 A/D 转换器的配置驱动信号,驱动 A/D 转换器对图像模拟信号进行模数转换;接收辅助数据和 A/D 转换后的数字图像信号进行合成和算法处理,按照数传格式输出;接收三线指令并对指令进行解析和正确响应;完成外部参数的存储控制^[9-10]。

2.1 全局信号管理模块

全局信号管理模块管理整个软件的同步、时钟和复位信号。包括复位延时模块和全局信号生成模块。上电或复位后,首先对复位信号进行延时,之后全局信号生成模块产生全局的复位信号、时钟信号、同步信号等。全局信号管理模块内部结构如图 3 所示。

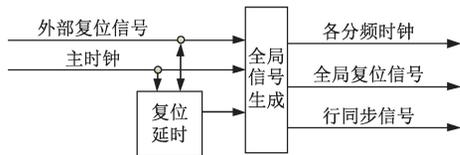


图 3 全局信号管理模块结构

2.2 A/D 转换器配置模块

复位噪声是 CCD 工作时的主要噪声。为消除复位噪声的干扰,提高图像质量和信噪比,需要采用相关双采样(correlated double sampling, CDS)技术。所谓 CDS 技术是指器件内部配有 2 个采样脉冲 SHP 和 SHD。在一个模拟信号输出周期内,这对采样脉冲分别对模拟信号的参考电平和有效电平进行采样,并且把握好两次采样的时间间隔,将两次采样电压值相减即为输出 CDS 电压值,即可消除复位噪声的干扰^[11]。

由于 SHP 和 SHD 信号是器件内部产生,无法直接观察其位置是否正确,因此需介入 H1 信号辅助测试。H1 信号上升沿等于 SHD 采样脉冲的位置,H1 信号下降沿等于 SHP 采样脉冲的位置。通过示波器测量并改变 H1 信号和 CCD 模拟信号的相位关系即可确定 SHP 和 SHD 采样脉冲的信号位置。它们对应的寄存器值和地址如图 4 所示。通过三线串口配置相应寄存器,可以调整两个脉冲的采样位置^[12-13]。

A/D 正常工作是在正确配置内部寄存器的基础上完

Address	Data Bit Content	Default	Name	Description
60	[12:0]	01001	HITCONTROL	H1 signal control.Polarity [0] (0 = inversion, 1 = no inversion). H1 positive edge location [6:1]. H1 negative edge location [12:7].
61	[12:0]	00801	RGCONTROL	RG signal control.Polarity [0] (0 = inversion, 1 = no inversion). RG positive-edge location [6:1]. RG negative-edge location [12:7].
62	[14:0]	0	DRVCONTROL	DRVCONTROL: 1 Drive-strength control for H1X [2:0], H2X [5:3], H3X [8:6], H4X [11:9], and RG_X [14:12]. Drive-current values: 0 = off, 1 = 4.3 mA, 2 = 8.6 mA, 3 = 12.9 mA, 4 = 17.2 mA, 5 = 21.5 mA, 6 = 25.8 mA, 7 = 30.1 mA
63	[11:0]	00024	SAMPCONTROL	SHP/SHD sample control.SHP sampling location [5:0]. SHD sampling location [11:6].
64	[5:0]	0	DOUTPHASE	DOUOUT phase control.

图 4 各功能寄存器的地址和赋值

成功能的改变,内部寄存器是由 FPGA 通过三线串口进行配置的,寄存器的位宽为 32 bit,由 8 bit 地址位和 24 bit 数据位组成,三线时钟上升沿对应数据中心,三线时钟下降沿对应数据跳变沿,配置的时序关系如图 5 所示。

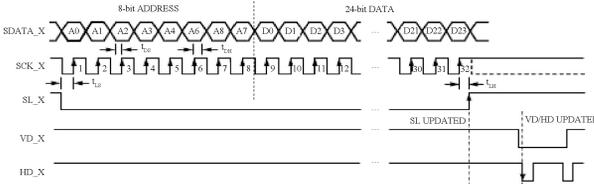


图 5 A/D 转换器配置时序

2.3 数据合成模块

主要功能为接收 A/D 转换后的图像数据,对图像数据进行暗像元校正、不一致性校正算法处理,对辅助数据进行格式编排,最后根据数传格式要求将图像数据和辅助数据合成一路数据输出^[14]。主要包括图像数据接收模块、图像算法处理模块、辅助数据处理模块、图像数据读写控制模块和数传格式编排输出模块。A/D 转换后的图像数据存入外部 SRAM 中进行读写乒乓操作,然后对图像数据进行算法处理,最后与编排好后的辅助数据合成一路输出至数传系统,结构如图 6 所示。

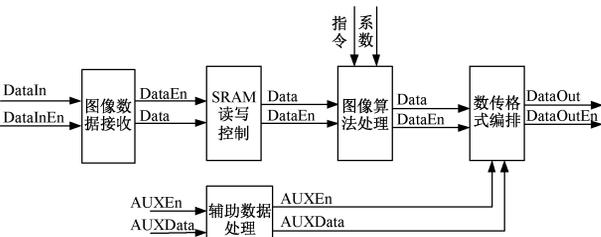


图 6 数据合成模块结构

数传电路接口形式采用 LVDS 接口,视频处理电路向数传分系统输出图像数据以及时钟信号、同步信号。图像数据经过串转并模块转换成串行数据信号输出,同步信号低电平有效。时钟上升沿对齐同步信号跳变沿,时序关系如图 7 所示。

2.4 存储控制模块

上电后读取 PROM 中的参数,用第二类系数完成初始化(写入广播模块的 BRAM 相应地址),并将校正系数存储到外部 SRAM 中。根据级数指令从 SRAM 中读取相应的

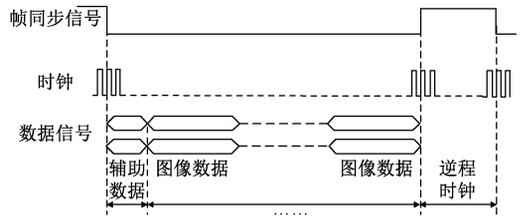


图 7 数传接口信号时序关系

校正系数,提供给算法模块使用。模块用于串行读出一次 Xcf16p(器件最高速度 40 MHz)中存储数据,读取位数、字节数、读取分频数可设,完成将 *.MCS 格式转换成 FPGA 从高到低排列的数据,并输出数据有效,数据跳变延后一个周期,存储控制模块如图 8 所示。

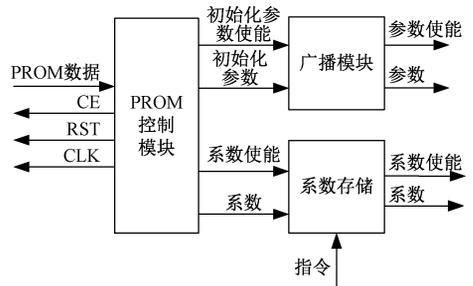


图 8 存储控制模块结构

2.5 遥控遥测模块

遥控功能是指成像电路通过三线串口接收星上管理控制器发送的辅助数据、积分时间以及 A/D 增益等指令。遥测功能是指成像电路在接收到星上管理控制器发送的三线时钟及三线使能后,将需要返回的工作状态信号发送给管理控制器。遥测遥控模块包括串行接收模块和数据处理模块,其中,数据处理模块包括字节校验模块和指令解析模块。串行接收模块接收管理控制器发送过来的三线指令,将串行控制码转换为并行码。字节校验模块完成并行码的校验字检验。转换后的并行码共有 4 个字节,最后一个字节为校验字节,如果接收到的校验字节与字节校验模块计算得到的校验字一致,该并行码才能进行指令解译,否则该指令无效。解析正确的遥控指令按指令类型转发给后续模块^[15]。

遥控三线信号的时序图如图 9 所示。遥控三线串行接口时钟下降沿对数据中心,误差±10%,使能低电平有效。串行使能跳变沿与三线时钟上升沿对齐,误差±10%,低电平区间包含 32 个时钟下降沿。串行数据的字节长度为 32 bit,其中高 4 位(A3~A0)为代码标识位,D27~D8 为数数据位,D7~D0 为校验位^[16]。

3 测试与分析

信号处理电路 FPGA 软件采用 Xilinx ISE 13.3 集成

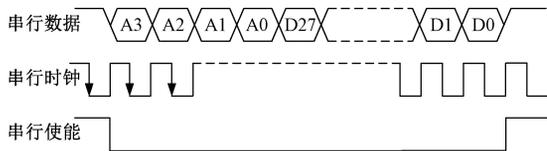


图 9 遥控三线信号时序关系

开发环境调试,仿真工具为 ModelSim SE 6.5,测试工具为 Xilinx Chipscope13.3 和示波器。将成像电路通过视频转接电路与上位机相连,视频转接电路模拟星上管理控制器为信号处理电路提供主时钟以及遥控三线信号,同时接收信号处理电路输出的数传数据,通过 Cameralink 接口将图像数据传输到上位机,在上位机上通过图像采集软件观察图像数据输出是否正确。示波器用来观察各接口的时序波形是否满足设计要求。

A/D 内部配置寄存器的位宽有 32 bit,其中高 8 bit 为地址,剩余 24 bit 为数据。图 10 所示为发送地址数据为 X“17”的寄存器配置指令。a 线为三线时钟,b 线为三线数据,c 线为三线使能,可以看出三线时钟上升沿对应数据中心,三线时钟下降沿对应数据跳变沿,三线使能低电平有效,满足 A/D 配置时序要求。

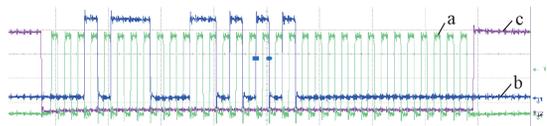


图 10 A/D 配置串口发送波形

图 11 所示为遥控三线串口的实测相位关系,串行时钟下降沿对数据中心,使能低电平有效。串行使能跳变沿与三线时钟上升沿对齐。满足遥控三线信号时序关系。

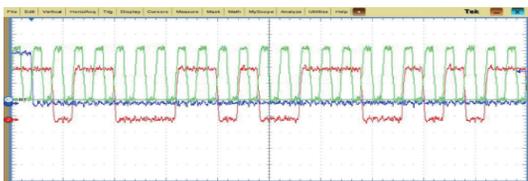


图 11 三线串口实测相位关系

CCD 工作时,在入射光相同的情况下,由于各个像元在光电响应、噪声等方面均不同,致使每个像元携带的光电子数不同,对应的输出数据也会出现差异,这种现象叫像元响应的不一致性。通过开启或者关闭像元不一致性算法,图像会有明显不同。图 12 所示为未开启像元不一致性算法,可以看出图像有明显的竖条纹。



图 12 像元不一致性校正前

图 13 所示为系统开启像元不一致性校正算法,可以看到图像经过校正后条纹得到明显改善。



图 13 像元不一致性校正后

通过上位机发送增益和级数指令,观察图像是否正确响应。上位机采集到的图像如图 14 所示,从上到下分别是增益 0 dB、级数为 2 级时;增益 0 dB、级数为 4 级时;增益 6 dB、级数为 2 级时。可以看出,本文设计的成像电路能够正确响应指令变化,并且随着增益和级数的增加,图像变亮。



图 14 上位机采集的图像

通过上位机图像采集软件和示波器波形的观察,可以确认本文设计的信号处理电路 FPGA 软件满足各项功能要求。

4 结 论

本文在传统成像电路的基础上,设计并实现了一种新型的成像电路系统结构,去除传统成像电路中的积分时间电路 FPGA 软件,只保留焦平面电路 FPGA 软件和信号处理电路 FPGA 软件。该系统以 FPGA 作为逻辑控制的核心,详细介绍了信号处理电路的总体结构和模块划分及工作原理,通过模块化的设计方法实现图像数据的处理等功能。通过对关键信号的观测与分析,以及对上位机采集的图像进行分析,本文提出的 FPGA 软件设计方法能够满足 CCD 成像电路的功能和性能的设计要求,提高了系统的软硬件集成度,对遥感相机系统的研制进程有很大的促进作用。

参考文献

[1] 马飞,刘琦,尹娜,等. CCD 遥感相机视频电子系统 FPGA 软件集成化设计[J]. 现代电子技术, 2015, 38(6): 51-54.
 [2] 陈瑞明,吴淞波,王建宇,等. 对地观测高分相机视频电子学集成化技术[J]. 航天返回与遥感, 2013, 34(3): 34-41.
 [3] 达选福,王怀义,李涛,等. 基于集成信号处理芯片的 CCD 相机视频电子学系统设计[J]. 航天返回与遥感, 2008, 29(4): 30-35.

- [4] 黄伟,王旭明,于生全,等.一种轻小型遥感相机视频处理 FPGA 软件设计[J].电子学报,2014,42(11):2303-2309.
- [5] 卜洪波,陈瑞明,张玉贵,等.基于电子倍增 CCD 的微光成像传感器焦面电路设计[J].航天返回与遥感,2012,33(5):47-54.
- [6] 武奕楠,吕增明,张宇,等.基于 FPGA 的多通道面阵 CCD 成像系统设计[J].光机电信息,2011,28(6):39-43.
- [7] 郑亮亮,张贵祥,金光.高速多光谱 TDICCD 成像电路系统[J].中国光学,2013,6(6):939-945.
- [8] 宁永慧,马天波,郭永飞.基于 TDI-CCD 的成像 FPGA 系统软件设计与应用[J].现代电子技术,2011,34(2):167-169.
- [9] 万旻,李涛.TDICCD 时序设计在 FPGA 中的工程实现[J].航天返回与遥感,2006,27(3):34-40.
- [10] 万旻,包斌,成桂梅.一种现场可编程门阵列门延时精确调整时序的方法[J].航天返回与遥感,2010,31(2):62-68.
- [11] 黄巧林,金伟其,朱敏.航天 TDICCD 相机视频信号处理中相关双采样技术的研究[J].航天返回与遥感,2002,23(4):17-25.
- [12] 尹娜,程芸,王鹏.基于 FPGA 的双采样 A/D 通用配置方案[J].电子测量技术,2014,37(6):63-66.
- [13] 牟研娜,王鹏,尹娜.CCD 信号采样位置选取方法的研究[J].航天返回与遥感,2011,32(1):45-50.
- [14] 任慧建,殷兴辉.基于 FPGA 的高速线阵 CCD 图像采集系统[J].电子测量技术,2014,37(11):33-36.
- [15] 徐磊,马飞,翟国芳.基于 FPGA 的 CCD 模拟器采集系统的设计[J].电子测量技术,2014,37(8):112-116.
- [16] 刘蕾,江洁,张广军.基于 CPLD 的线阵 CCD 的驱动及数据采集[J].电子测量与仪器学报,2006,20(4):107-110.

作者简介

苏健,硕士,工程师,主要从事遥感相机视频电子学方面研究。

E-mail:sujian1003@163.com