

# 基于FPGA的手持式数字示波器的设计\*

朱詠筠 易 艺 郝建卫 李俊凯 王奕澄

(桂林电子科技大学信息科技学院 电子工程系 桂林 541004)

**摘要:** 针对传统示波器体积大、携带不便等问题,利用现场可编程门阵列(field programmable gate array,FPGA)强大的性能,研制一款基于FPGA的手持式数字示波器。系统以Altera公司FPGA为主控芯片组建逻辑控制电路,利用Quartus II开发工具以及Verilog HDL语言描述控制逻辑,实现时钟分配、采样缓冲、触发、测频、测幅等功能。用SOPC Builder构建Nios II软核处理器,通过C语言编程实现触摸控制、显示控制等功能。经过实验测试表明,该示波器系统工作稳定,具有较高的性能指标和实用性,在手持式数字示波器的研制方面有较好的参考价值。

**关键词:** FPGA;数字示波器;Nios II;ADS831;实时采样

**中图分类号:** TM935.37 **文献标识码:** A **国家标准学科分类代码:** 510.8040

## Design of hand-held digital oscilloscope based on FPGA

Zhu Yongjun Yi Yi Hao Jianwei Li Junkai Wang Yicheng

(Department of Electronic Engineering, Institute of Information Technology, Guilin University of Electronic Technology, Guilin, 541004, China)

**Abstract:** According to the weakness of traditional oscilloscope problems such as large volume and inconvenience, the project base on FPGA (Field Programmable Gate Array) strong performance to develop a hand-held digital oscilloscope. The system use Altera FPGA as the main control chip to design a logic control circuit. And it use the Quartus II development tools and Verilog HDL language to describe the functions such as control logic, clock distribution, sampling buffer, trigger, frequency and amplitude measuring, etc. System design the SOPC Builder to build the Nios II soft core processor, and it through the C language programming to realize the touch control, display control functions. The test result shows that the oscilloscope system work is stable, and it has high performance and practicality. The project has reference value in the research of the hand-held digital oscilloscope.

**Keywords:** FPGA; digital oscilloscope; Nios II; ADS831; real-time sampling

## 1 引言

手持式数字示波器主要应用于工业、电力电子设备的故障诊断和安装调试等特定领域。传统手持式数字示波器的设计方案一般为ARM+FPGA<sup>[1]</sup>,利用ARM控制液晶、继电器等外围器件,利用FPGA控制多路采样并处理数据<sup>[2]</sup>,复杂的系统结构使其价格昂贵,难以普及应用。为了满足人们低成本消费需求,设计了一种基于FPGA的手持式数字示波器。该示波器充分发挥FPGA的长处,利用其可构建Nios II软核处理器的特点,使系统的集成度更高<sup>[3]</sup>,进一步减少硬件成本与体积,使示波器更具灵活性。

## 2 系统总体设计

FPGA诞生于1985年,其具有极高的灵活性以及能够快速完成产品设计的优点,因此广泛应用于电子产品中。

Nios II是Altera公司推出的一种采用哈佛结构的具有32位指令集的第2代片上可编程软核处理器。它最大的优点是模块化的硬件结构,具有极高的灵活性和可裁剪性。Nios II可以定制外设的数量和种类,根据实际需要去设计处理器,使成本得到很好的控制。

手持式数字示波器主要包括电源模块、信号调理模块、模数转换模块、控制模块和显示模块。其总体设计框图如

图 1 所示,被测信号通过信号调理模块后,通过 A/D 模块转换成数字信号,然后送给 FPGA<sup>[4]</sup>。在 FPGA 中,用 Verilog HDL 描述的逻辑电路完成对数字信号高速的采集、存储、运算等工作<sup>[5]</sup>,再把数据送给 Nios II 软核处理器处理,Nios II 软核处理器根据需求对 DAC、继电器、触摸屏等设备进行控制,最后通过显示模块把波形显示出来。在整个过程中,用 Verilog HDL 描述的逻辑电路与 Nios II 软核紧密协作,实现对高速数字信号的采集、处理和各种复杂信号的控制。

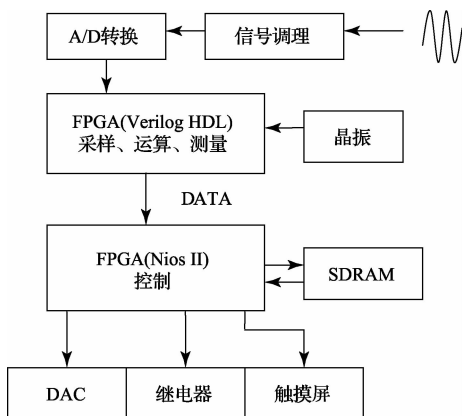


图 1 系统设计总体

### 3 系统硬件电路设计

系统硬件电路由 FPGA 最小系统、A/D 转换电路、信号调理电路组成。下面对各模块电路进行介绍。

#### 3.1 FPGA 最小系统

FPGA 最小系统设计如图 2 所示,FPGA 采用 Altera 生产的 EP2K8Q208 型号,具有 8256 个 Les,32 个 M4K RAM blocks,支持 18 个嵌入式乘法器和 2 个 PLL,资源配备十分丰富。同时为其配备 64 Mbit 的 SDRAM 与 16 Mbit 的 FLASH 配置芯片,为 Nios II 的运行提供有力的保障。

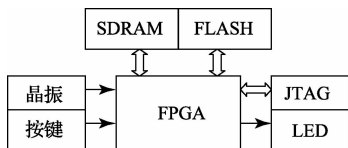


图 2 FPGA 最小系统设计

#### 3.2 A/D 转换模块电路

A/D 转换电路如图 3 所示,A/D 转换芯片采用德州仪器公司生产的 ADS831,该芯片属于流水线型模数转换器,信噪比达到 49 dB,具有内部基准源。其分辨率为 8 位,最高采样率可达 80 MSa/s。

ADS831 供电电压为 5 V,VDRV 引脚为数据电平端,RESL 引脚为高电平时,ADS831 测量范围为 1.5~3.5 V。

EXT 引脚为低电平时,芯片采用内部基准源。

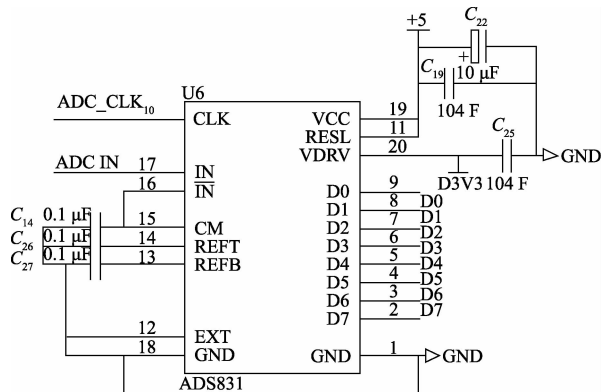


图 3 A/D 转换模块电路

#### 3.3 信号调理模块电路

信号调理模块电路如图 4 所示。输入信号经过 AC/DC 耦合选择后,进入阻容衰减网络进行衰减,再经过由运放构成的电压跟随器进行阻抗变换,最后进入 AD603 电路进行程控放大。放大后的信号需要通过偏置电压调节器调节偏置电压,使其电压变化范围在 1.5~3.5 V。

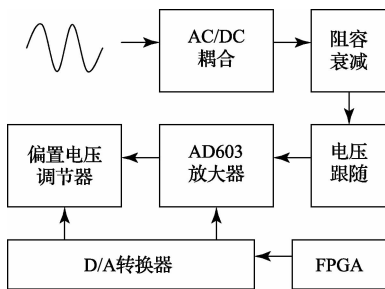


图 4 信号调理模块电路

### 4 系统软件设计

系统的软件设计由 Verilog HDL 部分和 Nios II 部分组成,其中 Verilog HDL 部分主要实现数据的缓冲、测量等工作。Nios II 部分采用 C 语言编写,主要实现波形显示、触摸控制、继电器控制等工作。

#### 4.1 Verilog HDL 总体设计

Verilog HDL 部分总体设计如图 5 所示,晶振产生 20 MHz 的时钟信号经过 FPGA 自带的 PLL 倍频后送给时钟控制系统进行分频及分配工作。ADC 采样返回的数据分别送至触发检测模块、幅度检测模块和作为数据缓冲的 RAM 中,当触发检测模块通过数据运算获得触发信号后,数据缓冲 RAM 开始连续读取 ADC 采样返回的数据<sup>[6]</sup>。同时频率测量模块对 ADC 采样返回的数据进行整理,使其变成非 0 即 1 的逻辑信号送到计数器进行定时计数,由此获得当前信号的频率值。

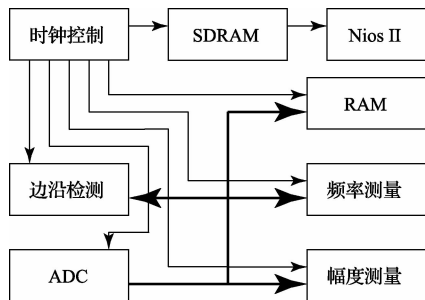


图5 Verilog HDL 部分设计

#### 4.2 边沿检测模块设计

为了使 ADC 采样返回的数据能够用于检测被测信号的边沿以及频率,需要对这些数据进行整形,如式(1)所示。

$$f_{out} = \begin{cases} 1, & adc\_data > \left( \max - \frac{\max - \min}{2} \right) \\ 0, & adc\_data \leq \left( \max - \frac{\max - \min}{2} \right) \end{cases} \quad (1)$$

利用 ADC 采样返回的数据进行统计,得到其中的最大值和最小值,然后获得中位数,如果当前数据大于这个中位数,则数据整形模块判定为真,如果小于或等于这个中位数,则数据整形模块判定为假。整形的过程相当于给被测的模拟信号加上一个比较器,比较的值就是被测信号的中值,如图6所示。

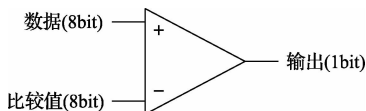


图6 整形比较示意

利用整形获得的方波信号来判断被测信号的上升沿或下降沿。

#### 4.3 频率测量模块设计

通过边沿检测模块后,ADC数据被处理成1位二进制数,利用直接测频的方法对1位二进制数的上升沿进行计数,即可获得被测信号的频率值,其程序流程如图7所示。

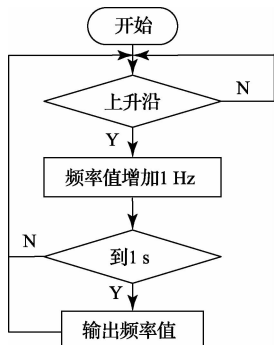


图7 频率测量程序流程

#### 4.4 幅度测量模块设计

从 ADC 采集到的数据从 FPGA 的 IO 口输入,被送至多个处理模块,其中一路送至幅度测量模块。幅度测量模块在一定的时间内,把数据的最大值、最小值记录下来,然后送到 Nios II 软核处理器进行处理<sup>[7]</sup>。幅度的最大值测量程序流程图如图8所示。

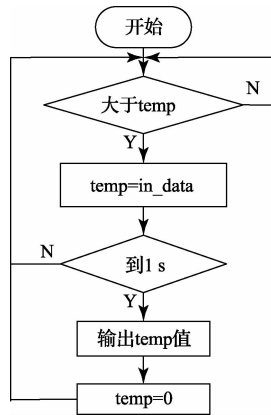


图8 最大值测量程序流程

#### 4.5 RAM 模块设计

利用 Verilog HDL 来描述 A/D 的控制电路可以进行高速有效的数据采样,RAM 模块的存储时钟与 A/D 模块的采样时钟同步,当 RAM 收到 reset 复位信号时,使存满标志 done 复位,RAM 地址从新回到 0。当 RAM 模块收到存储使能信号时,并且 RAM 地址当前值小于 4 096,则把 A/D 采集到的数据存储于当前地址。当 RAM 地址大于或等于 4 096,则使存满标志 done 置位,当 Nios II 软核检测到 done 为高电平时,就开始获取 RAM 的数据。

```
always @(posedge clk1 or negedge reset)
begin
    if(! reset) begin done=0;ram_addr=0;
    end
    else begin
        if((ram_addr<4096)&&.(mem_E))
        begin
            ram[ram_addr]=indata;
            ram_addr=ram_addr+1;
        end
        else if(ram_addr>=4096)
        begin
            done=1;
        end
    end
end
```

Nios II 为 RAM 模块提供一个低速的时钟 clk2 和一个地址,当 RAM 模块检测到 clk2 的上升沿时,使输出数据

端 outdata 输出 Nios II 提供的地址位置的数据。因此 Nios II 可以很方便的根据需求,从 RAM 模块中提取缓冲数据<sup>[8]</sup>。

```
always @(posedge clk2)
begin
    outdata=ram[mem_addr];
end
```

## 5 测试结果

通过对所设计的手持式数字示波器的进行测试<sup>[9]</sup>,得到其主要性能指标如表 1 所示,其对部分参数测量结果如表 2 所示,其对 1 kHz 方波信号测量结果如图 9 所示。

表 1 主要性能指标

指标	测得参数
垂直灵敏度	8 bit
最大实时采样率	80 MSa/s
扫描速率	4s/div~0.5 $\mu$ s/div
输入阻抗	1 M $\Omega$

表 2 示波器测量结果

测试项目	测试结果				
	1	2	4	7	10
输入信号频率/MHz	1	2	4	7	10
输入信号幅度/V	1.00	1.00	1.00	1.00	1.00
输入信号频率/MHz	1.000	2.000	4.000	7.000	10.001
测得信号幅度/V	1.00	1.01	0.98	0.99	1.03

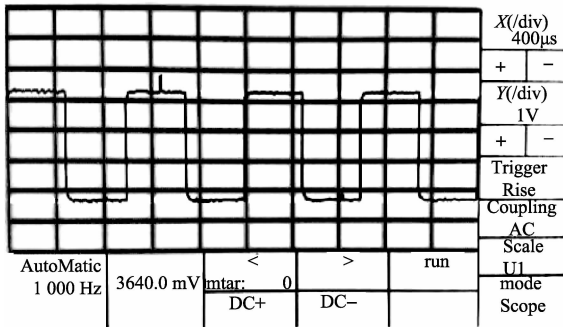


图 9 测量 1 kHz 方波信号

## 6 结 论

手持式数字示波器将数据采集控制电路、存储、运算、

液晶控制、触摸控制、继电器控制等工作都由单片 FPGA 来完成,使得成本进一步压缩<sup>[10]</sup>,硬件电路的设计进一步简化。测试结果表明,该示波器具有实时采样率高、体积小、携带和操作方便等优点,且具有良好的实际推广应用价值。

## 参考文献

- [1] 贾楠,许金.基于 STM32 与 FPGA 的数字示波器设计[J].装备制造技术,2014(6):55-56.
- [2] 张淑梅.基于 ARM+FPGA 的高精度数据采集系统设计[J].国外电子测量技术,2014,33(11):62-65.
- [3] 张松,李筠.FPGA 的模块化设计方法[J].电子测量与仪器学报,2014,28(5):560-565.
- [4] 初华,万强,曹海源,等.基于 DSP 和 FPGA 的数字示波器设计[J].自动化仪表,2012,34(3):79-82.
- [5] 徐祥,蒋哲,王威廉.基于 FPGA 的高速数据采集、缓存与处理系统[J].电子测量技术,2013,36(4):68-71.
- [6] 宋鹏飞,王厚军,曾浩.高速深存储数据采集系统研究与设计[J].仪器仪表学报,2011,32(4):903-912.
- [7] 毛春丽.如何做好数字示波器幅值的测量审核[J].国外电子测量技术,2014,33(8):78-81.
- [8] 吴建新,张宏广,陈旭.FPGA 示波器的采样存储和显示设计[J].水电能源科学,2014,32(10):166-168.
- [9] 黄新,雷加.基于 FPGA 的交错采样数字存储示波器设计[J].电子测量技术,2010,33(7):73-79.
- [10] 申礼兵,李立欣,冯浩.基于 SOPC 的便携式数字示波器设计与实现[J].电子设计工程,2014,22(18):65-73.

## 作者简介

朱詠筠,1992 年出生,在读本科,主要研究方向为电子信息科学与技术。

易芝(通讯作者),1983 年出生,实验师/讲师,指导教师,主要研究方向为仪器仪表、测量与控制技术。

E-mail: yiyi\_ee@guet.edu.cn

郝建卫,1956 年出生,高级实验师,指导教师。主要研究方向为电视技术、电源技术。