

基于 IEEE1394b 数据光传输模块研制

周学安¹ 梁 军¹ 潘大为² 马云彤¹

(1. 哈尔滨工业大学自动化测试与控制研究所 哈尔滨 150001;

2. 哈尔滨工程大学信息与通信工程学院 哈尔滨 150001)

摘要: IEEE1394b 是一种实时性强、可靠性高、应用广泛的高速串行总线,光传输技术具有良好的抗电磁干扰能力和传输距离长的优势,基于两者优势结合本文研制基于 IEEE1394b 数据光传输模块,以 FPGA 为核心控制器,基于 IEEE1394b 等时传输机制,采用片上系统构建 PCI 总线控制器以实现 IEEE1394b 链路层接口控制,并完成 IEEE1394b 的嵌入式系统 DMA 驱动开发,基于 PSpice 电路仿真设计 IEEE1394b 物理层电转光匹配电路。同时,所实现的 IEEE1394b 映射光纤通道协议完成 IEEE1394b 总线与光纤通道的互连,并解决 IEEE1394b 总线不能进入光纤路由组网的网络拓扑结构局限性,本模块能够适应当前数据采集系统嵌入式、高速、长距离和高实时性需求。

关键词: IEEE1394b; 光纤; 映射; 光纤通道协议

中图分类号: TP2 **文献标识码:** A **国家标准学科分类代码:** 510.1050

Design and implementation of data optical transceiver based on IEEE 1394b

Zhou Xue'an¹ Liang Jun¹ Pan Dawei² Ma Yuntong¹

(1. Department of Automatic Test and Control, Harbin Institute of Technology, Harbin 150001, China;

2. College of Information and Communication Engineering Harbin Engineering University, Harbin 150001, China)

Abstract: IEEE1394b is a high-speed serial bus, with strong real-time, high reliability and wide application. Optical transmission technology has characteristics of strong anti interference ability and long distance transmission. This paper designs and implements a data optical transceiver module based on the combination of both advantages. Applying FPGA as the core controller, this module builds PCI bus controller with the technology of system on chip to achieve the control of IEEE 1394b link layer interface, realizes the DMA driver development of embedded system based on IEEE1394b's isochronous transmission mode and achieves the conversion circuit from electricity to light of IEEE1394b physical layer utilizing circuit simulation based on PSpice. Meanwhile the implementation of the protocol mapping from IEEE1394b to fiber channel realizes the interconnection between IEEE1394b and fiber channel and also works out the limitation of IEEE1394b bus network topology. The module is able to adapt the embedded, high-speed, long-distance and real-time demands of data acquisition systems.

Keywords: IEEE1394b; Fiber Channel; Map; Fiber Channel protocol

1 引言

目前,各领域对高速总线的要求越来越高^[1]。导弹、雷达、空间飞行器对数据传输带宽的需求不断增大,特别是基于武器系统或卫星平台的目标特征捕捉系统和数据采集系统,其通过传感器阵列实现目标探测、跟踪等多任务处理功能,对图像采集速率、传输距离、抗电磁干扰能力和传输速率都有很高要求,并且在数据传输过程需要具有良好的实时性、可靠性。

IEEE1394b 总线在航空、航天、车辆等众多领域具有广

阔的发展空间和应用拓展潜力,能够很好地满足新一代航空航天电子系统的技术设计要求^[2-3]。带宽可支持最低 800 Mbps,支持等时传输模式^[4],很好的解决高速数据传输实时性问题,适合目前高速数据传输特殊需求。另外,现阶段便携式通讯和测试设备发展越来越迅速^[5],嵌入式 IEEE1394b 应用开发得到越来越多的应用^[6-7]。同时,光转换器件和工程化应用技术日益成熟^[8],光传输技术成为当前高速和长距离数据传输的最优选择,具有良好的抗电磁干扰能力,传输距离得到很好的保证,IEEE1394b 通过匹配电路转接光纤接口可以实现数据的长距离传输^[9]。综上考

虑,嵌入式 IEEE1394b 光纤通讯开发具有重要的应用价值。

但 IEEE1394b 拓扑结构具有一定的局限性,IEEE1394b 转光纤通讯不能直接通过光纤路由器进入高速数据传输网络系统。光纤通道协议(fiber channel,FC)是一种高速串行总线协议,具有高带宽、高可靠性、低延时、传输距离远、拓扑灵活的优点,支持多种上层协议^[10],通过 IEEE1394b 到光纤通道映射的方式可以解决拓扑结构局限的问题。

本文研制基于 IEEE1394b 数据光传输模块,主要包括两部分内容,嵌入式 IEEE1394b 光纤通讯的开发和 IEEE1394b 映射光纤通道协议的实现。为了 IEEE1394b 转光纤接口的实现,需要进行匹配电路设计;为了实现嵌入式设计,需要在片上系统(System-on-a-Chip, SoC)中进行 IEEE1394b 链路层控制器的 DMA 数据驱动开发;为了建立对基于 PCI 总线的 IEEE1394b 链路层控制器访问通道,需在片上系统构建 PCI 总线控制器;为了 IEEE1394b 映射光纤通道协议实现,需进行 IEEE1394b 映射光纤通道协议

IP 核设计。

2 模块硬件设计

模块的总体硬件框图如图 1 所示,以可编程逻辑器件 FPGA 为设计核心,构建了嵌入式 IEEE1394b 转光纤和 IEEE1394b 映射光纤通道协议两部分电路。首先,嵌入式 IEEE1394b 光纤实现电路主要包括 IEEE1394b 链路层和物理层芯片、匹配电路、光模块及核心控制器件 FPGA。这部分电路是为了 IEEE1394b 与光传输技术的优势结合,实现高速数据的长距离传输。光传输技术具有较强的抗电磁干扰能力,IEEE1394b 等时传输模式具有较好的实时性,并且以嵌入式 FPGA 作为核心控制单元可以使本模块灵活的嵌入不同系统中。然后,IEEE1394b 映射光纤通道协议实现电路主要包括两部分串行器和解串器(SerDes)、光模块及核心 FPGA。电路搭建了实现 IEEE1394b 映射光纤通道协议的各个部分,解决了 IEEE1394b 总线在光纤传输过程中网络拓扑结构的局限性,亦实现 IEEE1394b 总线与光纤协议互连,具有潜在价值。

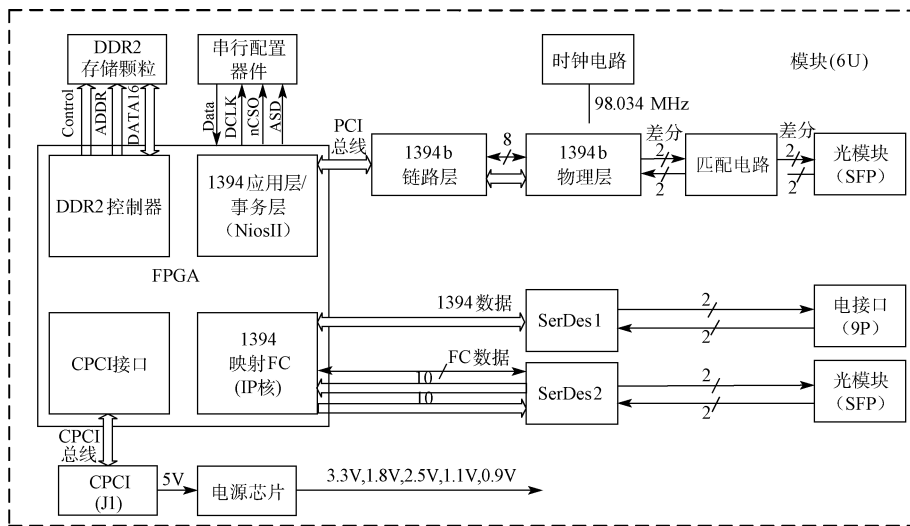


图 1 总体硬件框图

1)FPGA 和 IEEE1394b 链路层及物理层选择。FPGA 采用的是 Altera 公司的 Cyclone III 系列的 EP3C120F78017,支持片上系统编程。功能是控制 IEEE1394b 链路层实现 IEEE1394b 异步和等时 DMA 数据传输的相关事务层功能,并对数据在系统内进行缓存处理。为了设计的灵活性,采用 TI 公司的独立的链路层芯片 TSB82AA2 和物理层芯片 TSB81BA3。

2)匹配电路设计。不同的光纤收发器其接口电平可能不一样,为了解决接口电平的一致问题,光纤收发器和 IEEE1394b 物理层芯片需要匹配电路。本文的匹配电路是基于 PSpice 进行参数仿真实现,匹配电路见图 2,主要包括两个部分:终端网络和电平转换。

IEEE1394b 是带宽为 800 Mbps 的高速信号,需要考虑阻抗匹配对信号完整性的影响,TSB81BA3 每端口的终端匹配网络实际上是一个简单的阻容网络,输出端 TPB± 和输入端 TPA± 并不一致。设计中光纤收发器采用的是具有自诊断功能的 RTXM192,其需要外置的差分低压正射极耦合逻辑(LVPECL)电平,而 TSB81BA3 差分 LVPECL 电平的输入为片内偏置,因此,两者之间采用交流耦合的方式,耦合电容大小通过 PSpice 进行硬件仿真得到,仿真结果表明其值为 1 μF 左右时耦合效果较好。电平转换电路本设计采用分立元件实现。为了防止光纤收发器传递噪声,需要将阻抗匹配网络中 TPB± 的共模电压值通过比较器与参考电压+0.8 V 比较,当其大于参考电压

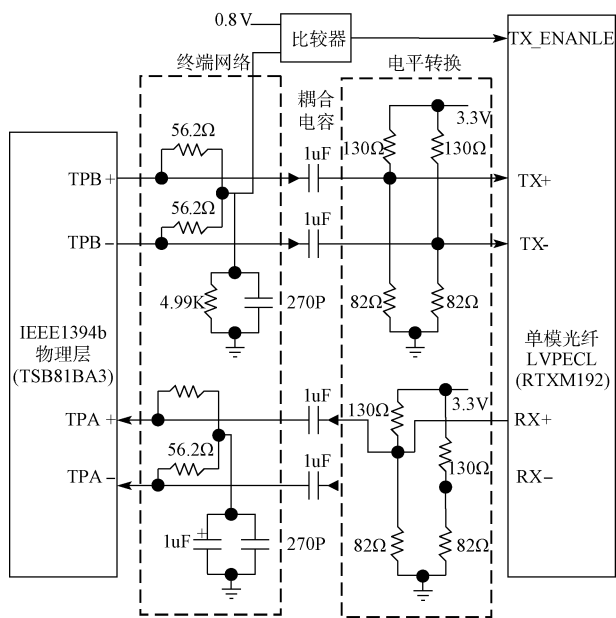


图 2 匹配电路

+0.8 V 时,比较器输出为高电平,允许其进行电光转换。

3) SerDes 设计。总体硬件框图中 SerDes1 是为了把电缆上串行 IEEE1394b 数据转换为并行数据连接到 FPGA 上,是实现 IEEE1394b 映射光纤通道协议的输入; SerDes2 是一种 8B/10B 编码 SerDes,是 FC 协议 FC-0 层的功能实现,将 FC 数据进行 8B/10B 编码为 10 bit 代码,然后将其串行化为单一信号对,是 IEEE1394b 映射光纤通道协议的输出。

3 片上系统构建

本模块的片上系统处理器为 Nios II,存储器为 DDR2,主要功能是实现 IEEE1394b 的 DMA 数据驱动。由于 IEEE1394b 链路层控制器是 PCI 总线接口,并且 DMA 控制器在 IEEE1394b 链路层芯片内部,因此,需要在片上系统中构建 PCI 总线控制器,用来管理 IEEE1394b 链路层控制器。

3.1 片上系统的 PCI 总线控制器构建

IEEE1394b 链路层控制器的 DMA 操作相关寄存器在 bar0 空间,为实现 DMA 控制,Nios II 与 IEEE1394b 链路层控制器的 bar0 空间需先建立直接联系。模仿 PC 机内部 PCI 总线体系结构,Nios II 挂载到 Avalon 总线上,调用 PCI IP 核,实现 Avalon 总线与 PCI 总线之间的数据交换,这样 Nios II 通过 Avalon 总线访问到 PCI 总线,直接管理 IEEE1394b 链路层控制器。具体操作步骤:

1) PCI 总线控制器 IP 核类型配置。设置 PCI_Compiler IP 核类型为 Host Bridge,根据需要进行配置地址转换表格,需要 1 个配置空间和多个存储器空间映射。

2) PCI 总线控制器时钟管理。输入时钟为 33 MHz,

并将其 PCI clock Settings 设置为“Shared PCI and Avalon Clock”。需要注意 Host Bridge 的输入时钟与其他 PCI 设备的输入时钟要有一定的相位差。

3) PCI 总线控制器的仲裁器选择。对于 PCI 仲裁器,需要选择“Altera-Provided Arbiter Internal to Device”,具体仲裁的数量与此 Host Bridge 管理的 PCI 主设备的个数一直,包括此 Host Bridge。

4) PCI 总线控制器选择设备。不同 PCI 总线设备配置空间选择是通过 IDSEL 信号,PCI 地址/数据线的 AD[31:11]连接到每个 PCI 设备的 IDSEL 信号上。

5) PCI 总线控制器配置设备基址和功能寄存器。Nios II 访问到 PCI 设备配置空间后,配置其 0x10 的基址寄存器,设置 bar0 空间的 PCI 总线基址。同时配置 PCI 配置空间的命令寄存器,使能存储器空间访问和总线主设备控制。

6) PCI 总线控制器访问设备。通过配置的基址访问 PCI 从设备的 bar0 空间寄存器来启动 DMA 控制器,实现数据传输功能。

需要注意的是 Nios II 在访问 PCI 总线时,若其内部有 Cache,则访问的 PCI 总线是 Avalon 总线的地址需要加上 0x80000000;软核 Nios II 处理器的复位信号与 PCI 桥的复位信号是同一个。

3.2 基于 IEEE1394b 链路层控制器的 DMA 数据驱动

Nios II 对 IEEE1394b 链路层控制器的驱动只能通过 DMA 方式,数据传输流程图如图 3 所示。

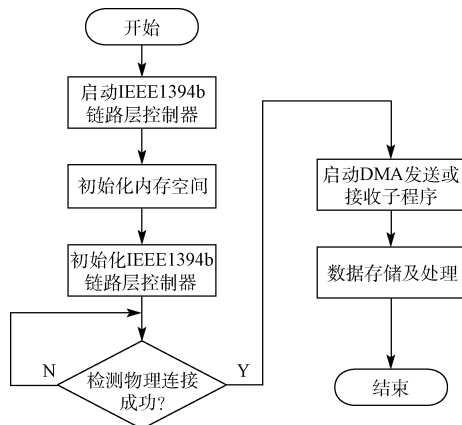


图 3 IEEE1394b 数据传输流程图

1) 配置 IEEE1394b 链路层控制器在 PCI 总线上地址空间。

2) 初始化申请一段 Nios II 和 PCI 总线可访问的内存空间,用于 DMA 时填充描述符和处理数据。

3) 初始化配置 IEEE1394b 链路层控制器,并检测物理端口连接。

4) 启动 DMA 发送和接收子程序,并处理数据。

DMA 的发送和接收流程。IEEE1394b 数据包的接收

和发送由链路层控制器内部 7 个独立的 DMA 完成。DMA 发送和接收数据由命令描述符控制,多个命令描述符形成一个 DMA 上下文程序。

DMA 的实现流程如图 4 所示,首先申请一段静态内存;然后依据 DMA 描述符和 IEEE1394b 数据包的格式填充向该内存填充描述符和数据,并将描述符链接成描述符链表。DMA 描述符链表必须互斥访问,对它操作时需要将 DMA 控制寄存器的 RUN 位设置为 0,使其对应的 DMA 也停止操作。

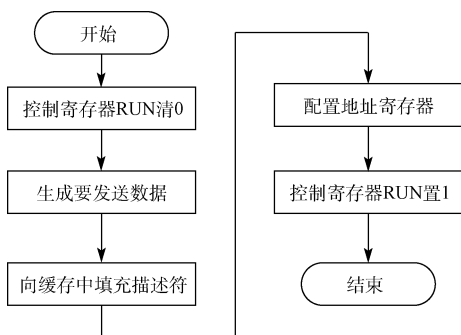


图 4 DMA 的实现流程图

4 IEEE1394b 映射光纤通道协议实现

IEEE1394b 映射 FC 协议的主要是为解决 IEEE1394b 通过光纤传输不能进入光纤路由器组网的局限性。映射的原理是把 IEEE1394b 串行总线数据帧填充到 FC 协议数据帧的数据区域,此映射功能是用 FPGA 逻辑编程实现的,并生成 IP 核。

4.1 映射原理

IEEE1394b 映射光纤通道协议结构框架如图 5 所示,主要包括不同的 IEEE1394b 设备,协议映射板卡以及光纤路由器。不同的 1394 设备发出 IEEE1394b 协议数据通过映射板卡后变成 FC 协议数据,这类数据可以进入光纤路由器完成组网,具有更好的网络拓扑结构。

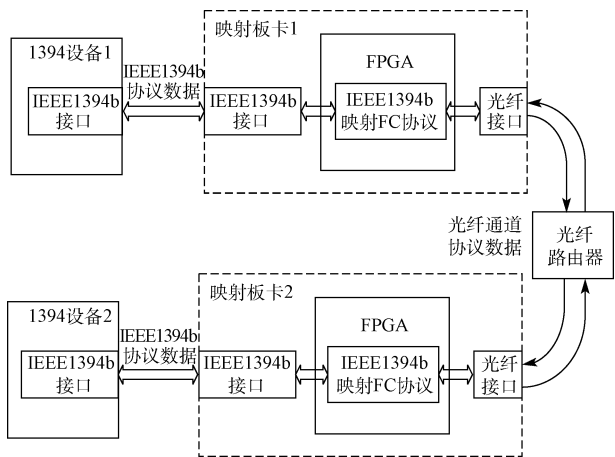


图 5 IEEE1394b 映射光纤通道协议结构框架

IEEE1394b 映射 FC 协议的难点在于两点,首先,由于 IEEE1394b 的数据帧格式种类繁多以及数据量大小不统一,怎样可以简化映射过程;映射过程中存在延时,怎样使延时大小固定,不影响传输的速度稳定性。IEEE1394b 映射 FC 协议思想:图 6 是 IEEE1394b 数据到 FC 映射框图,为了映射的简化,在 IEEE1394b 到 FC 协议数据包的映射过程中,保留 IEEE1394b 协议原来的帧格式不变,不管是哪种数据类型的格式,直接把得到的 IEEE1394b 数据按大小拆分后,放到 FC 协议的数据区域进行映射。另外,由于 FC 协议数据区域最大只有 2112Byte,IEEE1394b 等时数据包一帧数据可达 8192Byte,因此,当 IEEE1394b 数据包的长度超出光纤通道有效数据区长度时,需将该 IEEE1394b 数据包映射成一个连续的 FC 数据帧序列进行传输。为了映射延时时间大小基本不变,采用乒乓操作来实现,设计两个缓存区域,一个用于 IEEE1394b 数据的存储,同时另一个用于 IEEE1394b 映射 FC 协议数据提取,交替进行,每次数据映射只有在填充第一个缓存时有一个固定的延时。

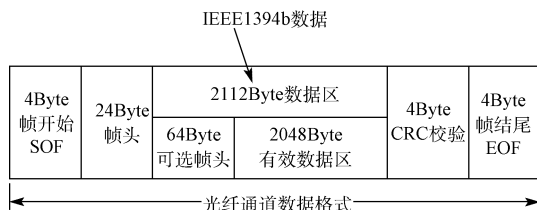


图 6 IEEE1394b 数据到光纤通道映射示意图

4.2 映射 IP 核实现

IEEE1394b 映射 FC 协议的实现,主要内容是 FC 协议的 FC-1 和 FC-2 层的功能和映射控制实现。FC-1 定义编码和解码的标准,FC-2 定义了帧、流控制、和服务质量等。

图 7 是 FPGA 内部映射 IP 核逻辑框图。IEEE1394b 映射 FC 的 IP 核的输入是 IEEE1394b 的串行总线数据经过 1:16 解串器的 16 位并行数据,IP 核的输出是 8B/10B 编码后的 10 位并行数据,此数据会经过 SerDes 进行并/串转换,由光收发模块将电信号调制成光信号输出。映射的具体内容包括:

1) 乒乓映射。映射 IP 核主要实现的 800 Mbps 的等时 IEEE1394b 数据,一帧数据最大为 8192Byte,采用乒乓操作来实现 IEEE1394b 等时数据包的映射,构建两个异步 FIFO,一个接收 IEEE1394b 等时数据包同时,另一个进行映射操作,接收的工作频率为 98.034 MHz,映射的频率为 106.250 MHz,数据映射不会出现拥堵现象。映射后在光纤通道协议传输时的带宽为 1.0625 Gbps。

2) 组帧发送。组帧发送是此部分 IP 核设计的核心,这部分的功能是把 IEEE1394b 数据帧放入 FC 数据

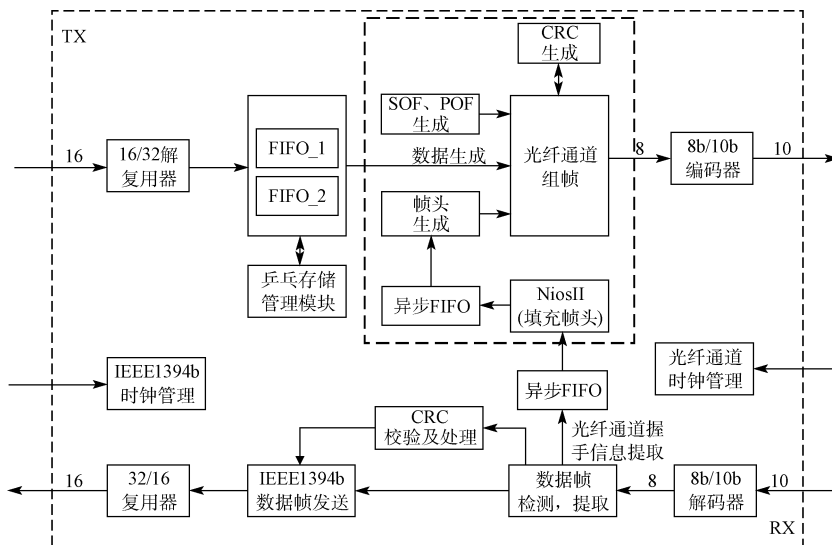


图 7 FPGA 内部映射 IP 核逻辑框图

帧数据部分,并根据此部分数据生成相应的 SOF、POF、帧头、CRC 校验码一起组帧进行发送。此部分需要注意两点:一个是,光纤通道组帧发送在不进行数据传输时,要不停的向交换机发送 IDLE 信号;另一个是,此光纤通道节点数据帧的帧头信息填充由 FPGA 内部软核 Nios II 执行。

3)映射接收。映射接收部分的功能是发送的逆过程,注意其存在 CRC 校验及处理模块,并且 FC 协议转为 IEEE1394b 数据帧过程不需要乒乓操作,只需要一个缓存较大的异步 FIFO 即可。

在 8B/10B 编码时,对控制字符和数据字符要合理区分,并且编码时要合理控制编码 RD(running disparity),保证直流平衡。

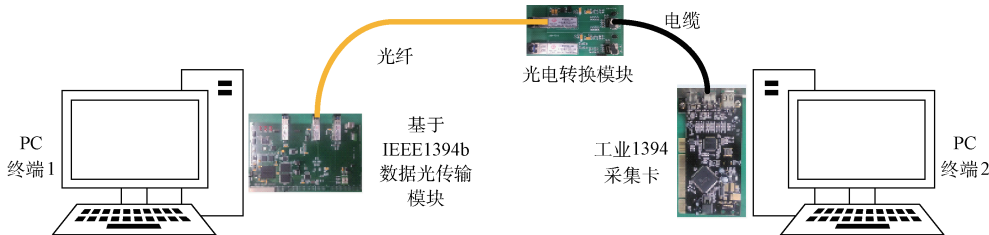


图 8 测试系统连接关系框图

对 IEEE1394b 等时模式在光纤中传输可靠性进行基本验证,两个设备一个发送一个接收,测试结果见表 1 所示,多次测量初步证明数据等时收发具有良好的可靠性。IEEE1394b 的带宽是 800 Mbps,等时传输最多占用 80%,一帧等时数据包最大负载为 8192 字节,等时间隔为 125 μ s,因此理论等时最大速率为 524 Mb/s。实际传输时发送一帧最大负载为 8000 字节时数据收发稳定;当负载超过 8000 字节

5 模块功能测试与验证

5.1 嵌入式 IEEE1394b 总线光纤通讯验证

本测试采用购买的 1394b 采集卡(PCI FireWire 1394b 卡)作为与本设计的嵌入式 IEEE1394b 总线光纤通讯测试的对接设备,此设备是电接口的,因此还需要设计好的光电转接卡,这样,两个设备通过光纤连接在一起,测试系统连接关系如图 8 所示。IEEE1394b 总线协议本身具有良好的实时性特点,还需测试其在光纤传输的可靠性和在光纤传输中的实际速率。为了更好的控制两个设备通过 IEEE1394b 总线数据传输,调用 LabWindows/CVI 开发上位机监控程序,可以方便的管理设备的数据发送和接收,以及后续的数据存储和处理,上位机界面如图 9 所示。

的等时数据包进行发送不稳定,有时占用一个周期,有时占用两个发送周期。接收后可以通过获得每帧的时间戳来计算传输时间,经多次验证 131 * 8000 B 数据所用时间单位(125 μ s)为 131 个,获得实际最大传输速率为 488.3 Mb/s。

在测试中所用的光纤长度为 20 m,而协议规定屏蔽双绞线最长传输距离是 4.5 m,初步证明 IEEE1394b 数据光传输距离的增加。



图 9 上位机

表 1 IEEE1394b 等时传输测试结果

流向	数据量	测试次数	距离(光纤)/m	结果
发送	1MByte	40	20	全部正确
接收	1MByte	40	20	全部正确

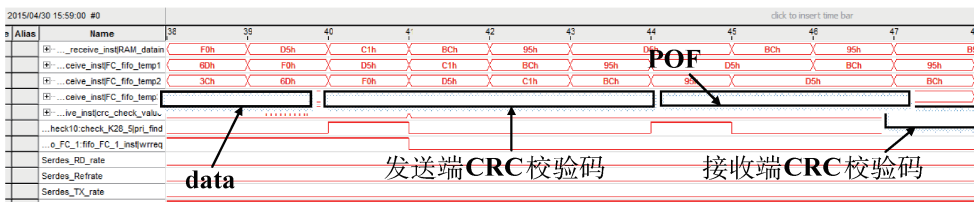


图 10 接收端 CRC 校验仿真波形

6 结 论

本文通过嵌入式 IEEE1394b 光纤通讯的开发,很好地解决数据采集系统中高速数据传输过程中的电磁干扰和长距离传输问题,并具有良好的实时性和可靠性特点,这便于更好地把 IEEE1394b 总线应用在便携的高速数据传输领域中。同时,为了兼容已有的 IEEE1394b 设备,并解决这些设备组网时不能通过光纤路由器的局限性,进行 IEEE1394b 映射光纤通道协议的 IP 核设计。此模块成功地实现了嵌入式 IEEE1394b 总线数据传输电信号到光信号的转换,同时扩展了 IEEE1394b 在光纤传输的拓扑结构的局限性,对基于 IEEE1394b 数据光传输应用具有重要意义。

参考文献

[1] 徐进,徐蔚,王桥. 基于 1394b 总线高效率通信的研究[J]. 电子测量技术, 2014, 37(9):132-135.
 [2] 潘江江,张晞,杨明. IEEE1394 光总线在车辆通讯系统的应用[J]. 电子测量技术, 2011, 34(3): 107-111.
 [3] 唐龙飞,天泽,王晋. 一种长距离传输的高速自应均衡 1394b 收发器[J]. 计算机技术与发展, 2015, 25(3): 184-187.
 [4] 杨丽君,张盛兵,杨可,等. 1394 链路层控制器等时

5.2 IEEE1394b 映射光纤通道协议设计验证

进行 IEEE1394b 映射光纤通道协议设计的 IP 核验证,最重要的是基本功能的实现和映射延时时间大小的确定。

经自收发仿真测试映射功能正常工作,数据通信良好,CRC 校验正确,无丢包现象,基本功能得以实现,图 10 是此 IP 核自收发模式接收端 CRC 仿真波形。在映射实现过程中,发送部分是乒乓操作,第一帧数据的发送存在延时,延时的时间大小取决于发送的数据大小,数据量最大为 2112 Bytes,时钟为 98.034 MHz,得到最大的延时约为 22 μ s;接收部分用 SignalTap II 验证;接收到的数据经过数据处理延时 40 个接收时钟,时钟为 106.250 MHz,延时约为 0.376 μ s。

传输模块的设计[J]. 计算机测量域控制器, 2012, 20(3):800-803.

[5] 刘晓光,门晓金,窦曼莉,等. 智能近红外光谱数据采集与处理系统研制[J]. 电子测量与仪器学报, 2013, 27(4):319-324.
 [6] 杨明,李立京,潘江江,等. 基于 DSP 的 IEEE1394 接口硬件设计与仿真[J]. 电子测量技术, 2011, 34(7):58-61.
 [7] 刘铭星,宫亮,杨煜普. 基于 DSP 的 1394 总线在伺服控制系统中的应用[J]. 计算机工程, 2009, 35(10): 226-228.
 [8] 刘铁根,王双,江俊峰,等. 航空航天光纤传感器技术研究进展[J]. 仪器仪表学报, 2014, 35(8): 1681-1692.
 [9] 文怀涛,张春喜,杨玉生,等. 具有自诊断功能的 IEEE1394b 光电转换电路的实现[J]. 电子测量技术, 2009, 34(3): 72-74.
 [10] 吴金波,李会方. 基于 PC 的 FC 仿真卡系统设计[J]. 国外电子测量技术, 2013, 32(10):26-29.

作者简介

周学安, 1990 年出生,哈尔滨工业大学在读硕士研究生,研究方向为数字电路设计和测试总线技术研究。
 E-mail: zxa9078@163.com