

基于 PCI9054 的 PCI 主模式板卡的设计

付 宁¹ 徐东东¹ 杨 易² 刘 通¹

(1. 哈尔滨工业大学 自动化测试与控制研究所 哈尔滨 150080;
2. 中国人民解放军第二炮兵驻哈尔滨地区军事代表室 哈尔滨 150036)

摘要: PCI 总线广泛应用于现代电子测试测量领域,然而当前基于 PCI 总线的测试设备主要为应用 PCI 从模式的设备,这很大程度上限制了测试设备的性能。本文首先介绍了 PCI 总线主模式的工作原理,然后通过 PLX 公司的 PCI9054 接口芯片与 FPGA 相结合的方式实现了测试设备的 PCI 主模式的功能。该设计可以有效提高测试设备之间数据交互的实时性,并可以应用于测试设备与专用存储设备之间的连接。最后,本文给出了基于 PCI 主模式设计的设备间数据交互实例,充分验证了该设计的可行性。

关键词: PCI 总线;PCI9054;FPGA;PCI 主模式

中图分类号: TP336 **文献标识码:** A **国家标准学科分类代码:** 520.5040

The design of board worked in Initiator mode of PCI bus based on PCI9054

Fu Ning¹ Xu Dongdong¹ Yang Yi² Liu Tong¹

(1. Automatic Test and Control Institute, Harbin Institute of Technology, Harbin 150080, China;
2. The military Representative Office of PLA, The Second Artillery Forces in Harbin, Harbin 150036, China)

Abstract: PCI bus is widely used in modern electronic test and measurement fields. However, current testing facilities based on the PCI bus are mainly Target devices of PCI bus, which greatly limits the performance of testing facilities. This paper, firstly, presents the working principle in Initiator mode of PCI bus and then realizes the function of testing facilities worked in Initiator mode of PCI bus by the combination of PLX PCI9054 chip and FPGA. The design can effectively improve the real-time performance among testing facilities on data interaction, and can be used as connection between testing facilities and dedicated storage device. At last, the paper presents examples between devices which are worked in Initiator mode of PCI bus and fully verify the feasibility of the design.

Keywords: PCI bus; PCI9054; FPGA; PCI Initiator mode

1 引言

最早提出的 PCI 总线起源于微型计算机,现在已经成为计算机总线标准,其工作频率为 33 MHz,传输带宽可达 133 Mb/s,比 ISA 总线有了极大的改善,基本上满足当时处理器的发展需要。PCI 总线标准经过几十年的发展,已经替代 ISA、MAC 等总线成为 PC 机主流总线标准^[1],具有较高可靠性和传输速率^[2]。PCI 总线由于其成本及通用性^[3],广泛应用于工控及测试领域。常见应用包括基于 PCI 总线的数据采集系统、导弹控制系统、集成电路扫描系统等。目前基于 PCI 总线的测试设备主要工作于 PCI 从模式,即测试设备无法申请、占用并控制 PCI 总线,只能被动完成与 PC 机或其他主控设备间的数据交互。多数测试情况下,测试设备只需完成特定的数据采集、发送等功能,工

作于 PCI 从模式即可满足测试需要。PCI 从模式操作简单且性能稳定,已成为 PCI 总线在工程应用中的主要工作方式。

随着测试测量技术的不断发展,对于基于 PCI 的测试设备的要求也逐渐提高,测试设备之间数据的交互性、同步性成为衡量其性能的主要指标。这就要求测试系统中某一测试设备可以通过 PCI 总线主动访问其他连接在总线上的设备,也就是所谓的通过 PCI 主模式实现数据传输。在测试领域,国内对于 PCI 主模式测试设备的应用研究并不多,大多只给出其接口电路并简单验证。据此,本文提出了一种基于桥接芯片 PCI9054 的 PCI 主模式板卡的设计,并给出了详细验证与分析。

2 PCI 主模式工作方式

2.1 PCI9054 简介

PCI 总线协议复杂,接口电路实现困难,使用专用芯片可以将复杂的 PCI 总线接口转换为相对简单的用户接口。设计中选用 PLX 公司的 PCI9054 作为总线桥接芯片,可实现 PCI 总线与 FPGA 的无缝连接^[4],不用考虑 PCI 芯片的内部结构^[5]。

PCI9054 有 3 种工作模式中:M 模式、C 模式和 J 模式。其中,C 模式数据线与地址线分开使用,适合有本地主设备的情形。C 模式下,PCI9054 数据传输模式有 3 种^[6]:直接主模式(PCI Initiator)、直接从模式(PCI Target)和 DMA 模式^[7]。PCI 主模式时,PCI 设备与 PCI 设备可直接通信;PCI 从模式时,CPU 通过执行程序(调用 API)实现对 PCI 设备的访问;DMA 用于 PCI 设备与主存之间的数据通信,不占用 CPU,效率较高。3 种传输方式有其各自适用的场合,也有可能交替使用。

2.2 主模式工作原理

所谓主模式工作方式就是 PCI 主模式设备可以通过 PCI 接口芯片控制总线资源(即主动对目标发读写信号),对应的从模式工作方式,从模式设备只能被动接收,如 ISA 总线一样。无论是主模式还是从模式数据传输,在本地总线端或 PCI 总线端,数据传输的发起者一般称之为主设备(Initiator 或 Master),被访问的目标称之为从设备(Target 或 Slave),主设备给出数据传输起始信号、终止信号、读写信号、地址信号等,从设备响应并执行对应操作。在主模式下,PCI9054 成为 PCI 总线端的主设备,同时是本地总线端的从设备,由本地总线端主动发起,PCI9054 被动后再主动向 PCI 总线进行数据传输。PCI 从模式下,PCI9054 的角色刚好与主模式相反,其成为 PCI 总线端的从设备以及本地总线端的主设备,PCI9054 主动读写本地总线端数据。主、从模式控制方式比较如图 1 所示。

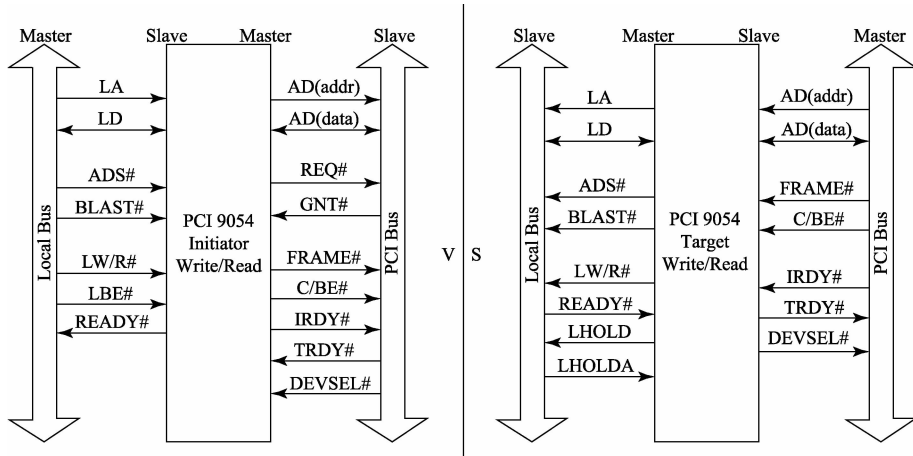


图 1 主、从模式控制方式比较

由上图观察可知,主模式的控制信号方向多与从模式相反,本地总线端具有总线控制的主动权。

2.3 主要信号功能

PCI 主模式下主要控制信号含义如表 1 所示,信号方向针对 PCI9054 芯片进行描述。

表 1 PCI 主模式下主要信号总结

引脚	方向	总线端	引脚定义
ADS#	输入	Local	下个时钟数据有效
BLAST#	输入	Local	数据传输末端
READY#	输出	Local	指示传输的读写有效
BREQo	输出	Local	总线强制占用请求输出
REQ#	输出	PCI	总线占用请求信号
GNT#	输入	PCI	总线占用允许信号
FRAME#	输出	PCI	帧周期信号
C/BE#	输出	PCI	字节允许复用信号
IRDY#	输出	PCI	主设备准备好信号
TRDY#	输入	PCI	从设备准备好信号
DEVSEL#	输入	PCI	设备选择信号

以 PCI9054 单周期读操作为例,说明主模式下数据传输过程。本地总线端输出 ADS# 信号,启动一次数据传输,PCI9054 收到启动信号后,发出总线占用请求信号,PCI 总线端输出 REQ# 表示向系统申请总线。请求得到允许后,PCI9054 占用 PCI 总线,给出 FRAME# 信号,该信号由主设备驱动,表示总线传输的开始和持续时间。在数据读取前,通过软件或者初始化操作,必须将欲访问的从设备在 PCI 总线端映射地址写到相应配置寄存器中,明确待访问从设备。DEVICE# 信号为选中的从设备在识别偏移地址信号后发出,最后,在 IRDY# 与 TRDY# 同时有效期间,获取从设备数据信息。本地总线端在 READY# 信号有效期间完成数据读取,之后给出 BLAST# 信号,表示一次读数据完成。PCI 总线端在 FRAME# 无效,IRDY# 有效来指示最后一个数据传输^[8]。写操作及突发数据传输与此类似。读操作时序关系图如图 2 所示。

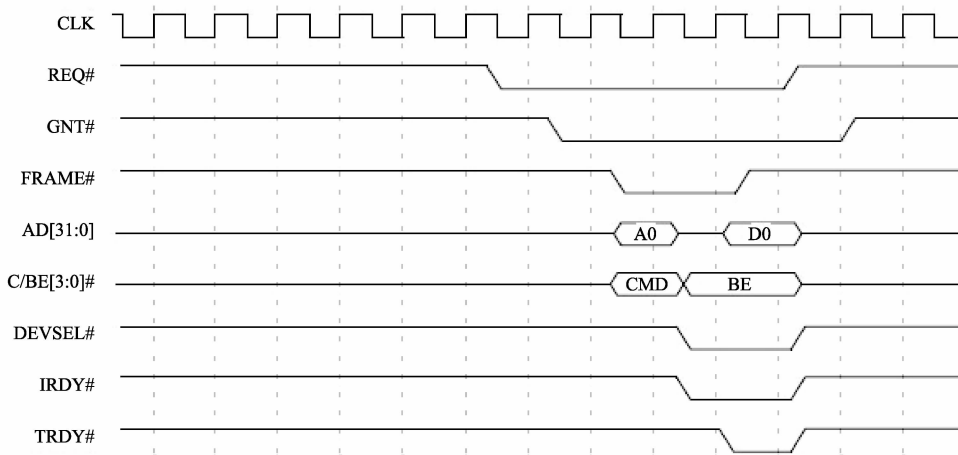


图 2 PCI 主模式单周期读操作时序图

3 硬件设计

3.1 总体设计

如图 3 所示,该设计中所用设备包括具有四个 PCI 槽的主机箱及两块测试板卡。设计验证中,将板卡 1 设为主模式功能设备,板卡 2 设为从模式功能设备。运行系统软件,在对主模式功能设备的 PCI9054 进行初始化配置后,二者之间才可以进行正常的交互。

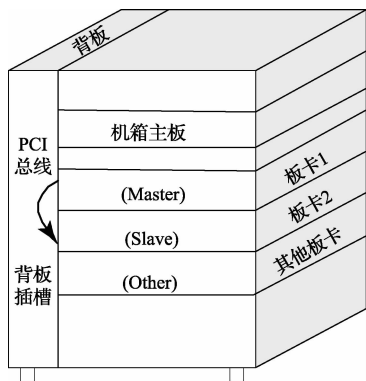


图 3 硬件整体结构组成

本设计中板卡 1 与板卡 2 的硬件组成框图如图 4 所示。板卡基于 PCI 总线进行设计,包括主控芯片 FPGA、存储芯片 SRAM、桥接芯片 PCI9054 以及配置芯片 E²PROM 等组成。FPGA 是整个电路的核心^[9],通过

FPGA 实现 PCI 接口功能^[10],对 FPGA 内部逻辑进行控制,本地总线端可以实现对 PCI9054 的主动读写操作,进而完成主模式设计。板卡设计时需将相关信号引入 FPGA 引脚,方便控制。尤其是 ADS#、BLAST# 及地址线 LA,所分配引脚应为双向引脚,可以满足主从模式切换时要求。

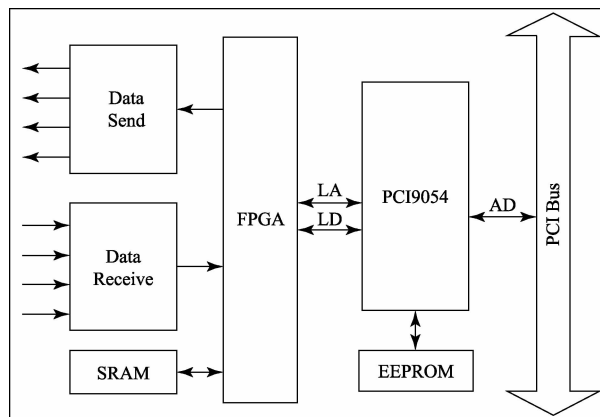


图 4 板卡硬件组成框图

3.2 逻辑设计

PCI 主模式数据读写由本地总线端发起,FPGA 内逻辑设计对于整个功能的实现至关重要。

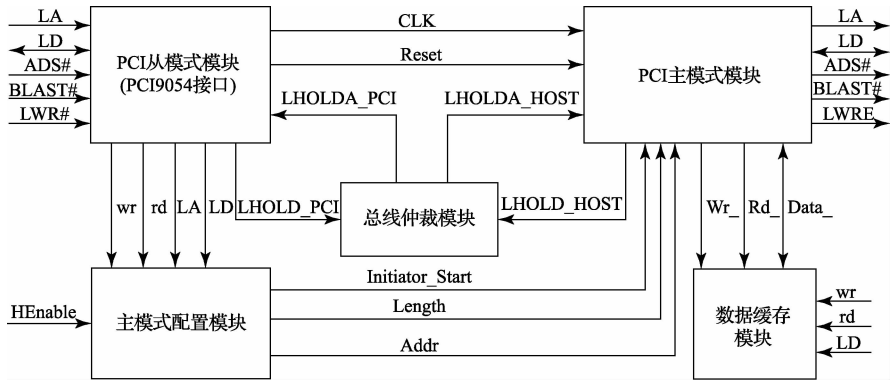


图 5 本地总线端逻辑设计

由图 5 所示为本地总线端主模式相关五个模块的逻辑连接关系图。如上图所示,PCI 从模式模块实现与 PCI9054 的数据交互,其内部逻辑可以对输入地址进行译码,传输特定数据信息。PCI 主模式模块也可以实现与 PCI9054 的数据交互,此时本地总线端发起数据传输,PCI9054 被动后再主动向 PCI 总线发起传输。总线仲裁模块对主模式模块与从模式模块申请本地总线占用权时进行仲裁,使得同一时刻只能有一个本地主设备。主模式配置模块用于设置主模式数据传输时本地总线端地址(基地址+偏移地址)、读写数据量,并给出主模式触发脉冲信号。数据缓存模块存储主模式待发送数据或已获取数据。单次主模式数据读操作过程如下:当主模式配置模块接收到主模式使能信号 HEnable 后,输出 Initiator_Start 信号

至 PCI 主模式模块。PCI 主模式模块输出总线请求信号 LHOLD_HOST 至总线仲裁模块,若此时从模式模块并没有申请使用本地总线,总线仲裁模块则返回 LHOLD_HOST。此时,PCI 主模式模块读取本地总线端地址及待读取数据量后,拉低 PCI9054 的 ADS# 信号,发起数据传输。在 PCI 总线端,PCI9054 输出 REQ# 信号,请求占用 PCI 总线。当其获得 PCI 总线控制权后,具有主模式功能设备读取从模式功能设备指定偏移地址开始的固定个数的数据,并将其写入数据缓存模块中。数据读取完成后,释放本地总线使用权。主模式数据写操作与次类似。

图 5 中 PCI 主模式模块为总线信号控制模块,灵活使用状态机可以完成本地总线时序设计,进而完成多次数据读写操作。状态机跳转关系图如图 6 所示。

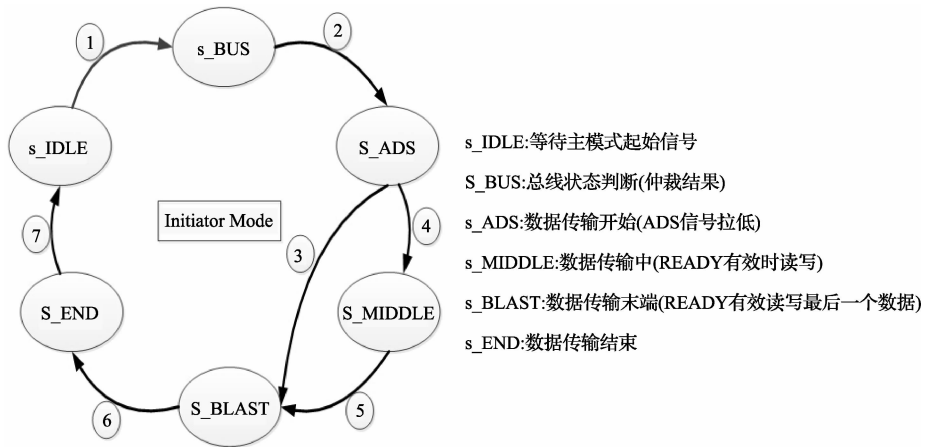


图 6 本地总线控制状态机

状态机跳转条件如下表 2 所示,满足条件后进行跳

转,否则状态机停留在现状态等待。

表 2 本地总线控制模块状态机跳转条件

条件编号	跳转条件
1	主模式起始脉冲到来(Initiator_Start 有效)
2	获得本地总线控制权(LHOLDA 有效)
3	Write/Read_Count=Length-1(只读写一个数据)
4	Write/Read_Count<Length-1(读写数据计数加 1)
5	Write/Read_Count=Length-1(读写多个数据)
6	READY# 有效,读写最后一个数据
7	数据读写完成/看门狗超时/总线冲突

4 软件设计

软件主要功能是完成对 PCI9054 芯片初始化配置。主要配置主模式使能寄存器、本地总线端基地址及范围寄存器、PCI 总线端基地址寄存器等,通过配置完成主模式时本地总线端和 PCI 总线端地址映射。从模式功能设备插入机箱后,其 PCI 总线端基地址由系统分配,使其对应地址空间映射到系统的内存中。设计中主要对以下几个主模式相关寄存器进行配置。

配置寄存器内容如下:

- 1)PCICR:主模式使能寄存器,PCICR[2]为 1,使能主模式数据操作;
- 2)DMRR:地址范围寄存器,规定了主模式时地址的有效范围,反码表示。设计中,将其配置为 0xFFFE0000,表示 128 K 的访问空间;
- 3)DMLBAM:以存储器方式访问 PCI 总线的本地端

基地址,设计中配置为 0xFFFE0000。

4)DMLBAI:以 I/O 方式访问 PCI 总线的本地端基地址;

5)DMPBAM:表示本地基地址映射到 PCI 总线端的基地址,对于插入机箱内的板卡,可通过设备管理器查看属性获得其 PCI 总线端各个 BAR 空间的基地址。

6)EROMBA:BREQ₀ 控制寄存器,用于使能本地总线避让,同时配置避让请求时钟个数,避免因总线冲突引起数据错乱或者死机现象。

以上配置寄存器的初始化操作应在主模式使能脉冲到达前完成,确保主模式访问时信息配置已完成。

5 功能验证

为验证该设计的可行性及精准性,测试过程中记录了实时在线观测数据波形图。主模式功能设备为自研板卡,PCI9054 的地址线及数据线全部引出,且连接至 FPGA 的双向引脚;从模式功能设备为成型板卡,具有独立的板卡数据读写软件,类似 WinDriver 软件功能。

5.1 功能验证一:主模式数据输出功能验证

由图 7 所示,主模式功能设备向从模式功能设备写入 3 个数据,分别为 0x11111111、0x22222222 及 0x33333333,偏移地址始于 0×460。主模式输出地址在逻辑中 s_ADS 状态给出,基地址 FFFE0000 与 0x460 相加后左移两位,除去最低两位地址线,得到实际输出地址 0x3FFF8118,如图中黑框内数据所示。

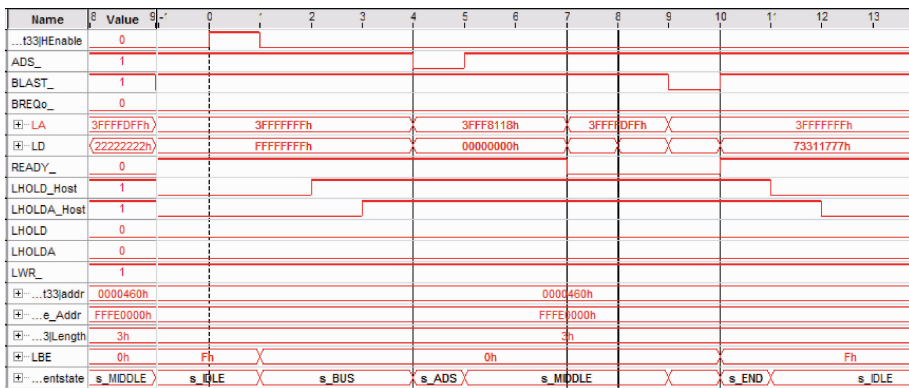


图 7 主模式写数据时序图

数据输出完成后,可以使用从模式功能设备自身软件读取偏移地址 0×460 开始的 3 个数据。如图 8 所示,从模式功能设备从偏移地址 0x460 中读取数据为 0x11111111,从 0x464 中读取数据为 0x22222222,从 0x468 中读取数据为 0x33333333,数据输出功能正常。

```

Please enter device number: 1
UTIL1 > peek32 0x460
Data: 0x11111111      Read from Offset: 0x00000460
UTIL1 > peek32 0x464
Data: 0x22222222      Read from Offset: 0x00000464
UTIL1 > peek32 0x468
Data: 0x33333333      Read from Offset: 0x00000468
  
```

图 8 从模式功能设备数据读取

5.2 功能验证二:主模式数据读取功能验证

由图 9 所示,从模式功能设备向其存储空间写入 3 个数据,分别为 0x44444444、0x55555555 及 0x66666666,偏移地址始于 0x428。

```

Please enter device number: 1
UTIL1 > poke32 0x44444444 0x428
Data: 0x44444444      Written to Offset: 0x00000428
UTIL1 > poke32 0x55555555 0x42C
Data: 0x55555555      Written to Offset: 0x0000042C
UTIL1 > poke32 0x66666666 0x430
Data: 0x66666666      Written to Offset: 0x00000430
  
```

图 9 从模式功能设备数据写入

数据写入完成后,可以使用主模式功能设备获取偏移地址 0x460 开始的 3 个数据。如下图 10 所示,主模式功能设备从偏移地址 0x428 中读取数据为 0x44444444,从

0x42C 中读取数据为 0x55555555,从 0x430 中读取数据为 0x66666666,数据读取功能正常。

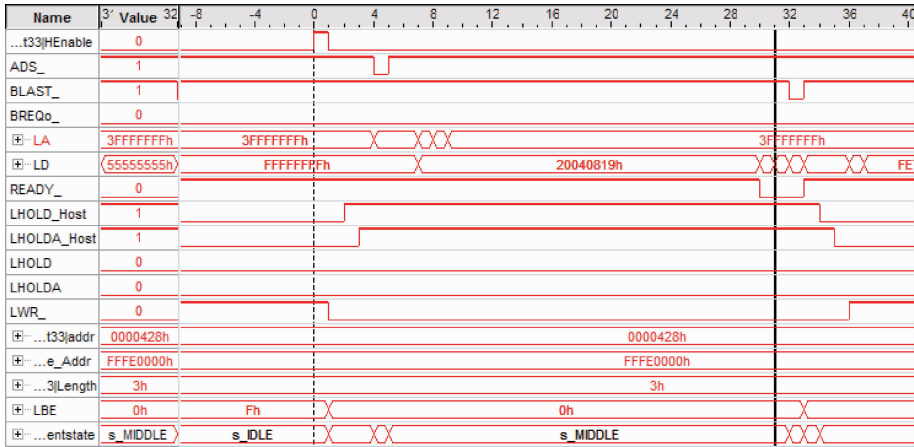


图 10 主模式读数据时序图

由主模式数据读写时序图可以看出,单次数据读或者数据写所用时钟周期皆小于 30 个时钟周期。PCI 总线本地总线端时钟一般采用 33 MHz,所以,完成一次主模式读写时间小于 $1 \mu\text{s}$ 。若应用于测试系统中,则可以保证测试设备之间具有 μs 级的数据同步性,在某些实时性要求较高的测试场合可以发挥重要作用。

6 结 论

本文介绍了一种基于 PCI9054 的具有 PCI 主模式访问功能的板卡设计,经大量测试和实际应用,其运行稳定^[11],可以应用于测试设备间数据交互时延小、精度要求较高的场合。文中给出了板卡硬件及逻辑设计框图,阐述了 PCI 主模式的工作原理,并给出了测试实例。设计中使用桥接芯片 PCI9054,其功能强大,并且用户接口电路简单,为 PCI 总线接口开发提供了较为方便的平台。

参考文献

- [1] 史森茂,邵翠萍,龚龙庆. 一种 PCI 总线 Master 模块接口设计[J]. 计算机技术与发展, 2012, 22(2): 207-210.
- [2] 罗中伟,张遂南,徐嘉良. PCI 总线数据模拟器设计[J]. 现代电子技术, 2012, 35(20): 67-70.
- [3] 牧彬,赵晓蓓,黄勇. 基于 PCI 总线的图像数据传输系统设计[J]. 国外电子测量技术, 2013, 32(8): 46-49.
- [4] 张会新,陈嫣然,郑燕露. 基于 PCI9054 的通信卡设计[J]. 电视技术, 2012, 36(5): 33-34.

- [5] 张路路. 基于 PCI 总线集成电路测试仪设计[J]. 现代电子技术, 2012, 35(12): 66-68.
- [6] 严发宝,张京,王能. 基于 FPGA 的 PCI 数据采集系统的设计[J]. 火力与指挥控制, 2012, 37: 77-80.
- [7] 谢利军,陈瑜轩. 一种基于总线协议芯片的 PCI 总线模块的设计方法[J]. 电子设计工程, 2014, 22(19): 137-139.
- [8] 金鹏飞,毛永毅,章宏君. 一种基于 FPGA 的 PCI 接口设计[J]. 测控技术, 2013, 32(7): 79-82.
- [9] 滑伟. 一种 PCI 总线接口的数据接收卡设计[J]. 综合电子信息技术, 2013, 39(4): 53-56.
- [10] 韩熙利,杨万渝. 数据综合码型码发生模块[J]. 仪器仪表学报, 2013, 34(12): 72-77.
- [11] 赵志雄,李孝辉,刘娅,等. 基于 PCI 总线的高精度大量程时间间隔计数器研制[J]. 电子测量与仪器学报, 2014, 28(12): 1317-1324.

作者简介

付宁, 现为哈尔滨工业大学电气工程及自动化学院副教授,主要研究虚拟仪器技术、压缩感知技术、智能测试技术等。

E-mail: funinghit@163.com

徐东东, 现为哈尔滨工业大学仪器科学与技术专业硕士,主要研究嵌入式系统、自动化测试技术等。

E-mail: sdwhxddd@126.com