

大尺寸部件测量信息高速并行处理系统设计*

王文清 沈海阔

(北京交通大学机械与电子控制工程学院 北京 100044)

摘要: 针对航空、航天等工业中的大尺寸部件,传统的测量方法精度低、效率低,研发一种全视角、高精度的三维测量设备尤为必要。全视角图像信息处理是整个设备的关键,为了高速、高实时性地处理大尺寸图像信息,对高速并行图像处理技术进行研究,设计基于 FPGA+双多核 DSP 的并行图像处理方案,实现系统硬件电路,提出并行处理的软件实现方法,将图像处理算法向硬件系统移植,对系统进行试验验证。对 $8\,000\times 10\,000$ 的图像处理结果表明,单帧图像处理平均速度不大于 0.15 s。

关键词: 大尺寸部件;图像并行处理;FPGA;多核 DSP

中图分类号: TN911.73 **文献标识码:** A **国家标准学科分类代码:** 510.4050

Design of high-speed parallel processing system for large-scale objects vision measurement information

Wang Wenqing Shen Haikuo

(School of Mechanical and Electronic Control Engineering, Beijing Jiaotong University, Beijing 100044, China)

Abstract: Due to the low precision and efficiency of traditional measuring methods for large-scale objects in aerospace field, it is necessary to develop a 3D vision measuring equipment with full-view and high precision. The full-view image information processing system is the key of the equipment. In order to deal with the large measurement image information timely and effectively, research on high-speed parallel image processing technology, design a parallel image processing scheme based on double multicore DSP and FPGA and implement the hardware circuit. Put forward the software realization method of parallel processing. Apply the image processing algorithm to the hardware system and then the system is verified by experiment. For a large image of $8\,000\times 10\,000$, the result proves that the processing speed of single image within 0.15 s.

Keywords: large-scale objects; image parallel processing; FPGA; multicore DSP

1 引言

航空、航天等工业中的产品、部件具有外形尺寸及重量大、外部结构特殊、部件之间相互位置关系要求严格等特点^[1]。大尺寸部件生产、制造、装配、对接、试验过程置关系中最需要获得的是精确的尺寸以及大部件间准确的相对位,即部件空间位置的准确测量。与其他测量要求不同,大部件空间位置测量测量精度要求高、测量难度大。传统的测量方法主要是采用位移传感器进行测量^[2]。位移传感器测量具有大变形下测量精度差、测量规模大、准备及安装复杂、工作量大等缺点。

随着三维测量技术的兴起,使得研制全视角、高精度大尺寸部件空间测量系统成为可能^[3-4]。该系统采用安装在

高精度转台上的高分辨率 CCD 相机进行扫描并拼接成一副大尺寸全视角图像,实现对该高分辨率、大尺寸测量图像的高速、实时性处理是测量系统的核心。为此,本文通过对测量信息的高速并行处理技术进行研究,设计了基于 FPGA+双多核 DSP 的高速并行图像处理系统,实现了基于 K7 系列 FPGA 和 8 核 DSP(TMS320C6678)的硬件电路,并将对应的图像处理算法向硬件系统移植,进行多核 DSP 并行处理软件开发,实现系统高速、高实时性多核并行处理功能和性能要求。

2 系统总体设计

大尺寸部件三维测量系统前端由高分辨率 CCD 相机和高精密一维转台组成,相机安装在转台上,由转台带动相

机进行水平方向扫描,并最终形成 $8\,000 \times 10\,000$ 的全视角图像。由于高分辨率 CCD 相机采集的图像数据量十分庞大,为了提高测量效率和测量精度,图像采集、处理速率以

及实时性要求很高,本文提出了如图 1 所示的 FPGA+2 片多核 DSP 的并行处理方案。

系统的主体由一片高性能 FPGA 和 2 片 8 核 DSP 组

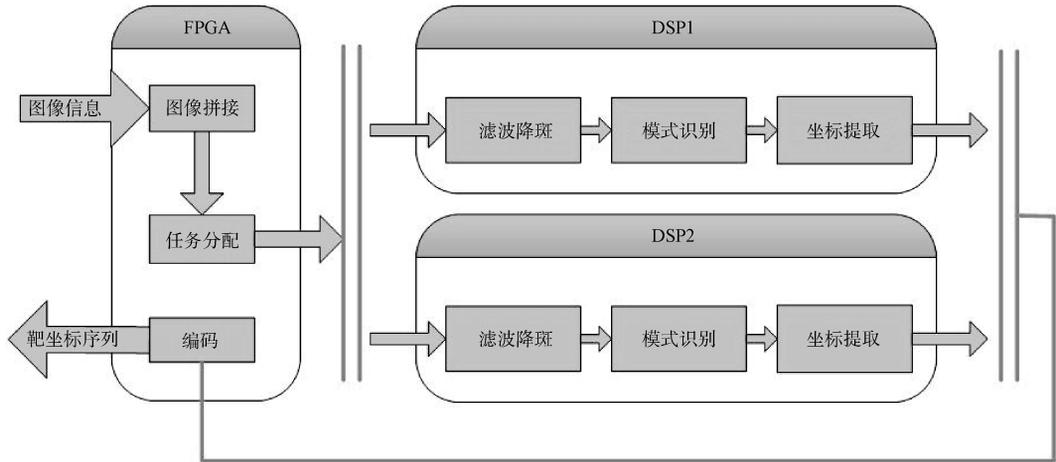


图 1 FPGA+双多核 DSP 并行处理系统

成,其中 FPGA 选用了 Xilinx 公司最新推出的 K7 系列 XC7K325TFFG900, Kintex-7 系列可提供高密度逻辑、高性能收发器、存储器、DSP 以及灵活混合信号,通过这些功能可以提高系统级性能,并可以更紧密地进行集成,成本更低。DSP 选择 TI 公司的多核浮点高性能处理器 TMS320C6678。TMS320C6678 是 C66 系列中的 8 核浮点型 DSP,由于其特有的 TI Keystone 多核结构,使得每个内核最高工作频率达 $1.25\text{ Hz}^{[5-6]}$ 。

FPGA 内部拥有丰富的逻辑资源,设计利用 FPGA 低功耗优化的高速串行接口技术,通过对 FPGA 的 RocketIO IP 核进行例化,实现实时图像数据在多核 DSP 图像处理模块上的高速接收和传输^[7]。在多核 DSP 实时图像处理模块上,图像数据经过 FPGA 接收后,通过对 FPGA 的逻辑设计,完成实时图像在 FPGA 内部的采集任务。实时图像数据通过 SRIO 通道传输至 2 片 8 核 DSP, FPGA 与 2 片 8 核 DSP 之间共有 4 路 SRIO,每路的传输速率为 5 Gbit/s 。两片 DSP 之间通过 HyperLink 通道相连,最高速率可达 12.5 Gbps 。此外, FPGA 与 DSP 之间还有丰富的通信接口如 PCIE 接口、EMIF 接口、UART 接口等,用于 FPGA 与 8 核 DSP 之间的数据通信。

本设计还利用 EDMA 通道,为实时数据在多核 DSP 图像处理模块间进行交换。在 FPGA 以及 8 核 DSP 外部分别挂载有 2 片、4 片容量为 2 G 的 DDR3 SDRAM 存储器,用于高速图像数据缓存。此外,为提高系统的通用性,为 DSP 外扩了多个对外接口。系统硬件总体规划电路如图 2 所示。

3 系统主要硬件电路设计

3.1 高速串行接口电路设计

1) HyperLink 接口设计

HyperLink 技术为 2 片 DSP 之间提供一种高速、低延迟、引脚数少的通信连接接口。HyperLink 技术的最高支持速率为 12.5 Gbps ,目前在大部分的 KeyStone 架构的 DSP 上由于受限于 SerDes 和板级布线,速度接近 10 Gbps 。HyperLink 的编码方式等效于 $8b9b^{[8]}$,单片 DSP 为 HyperLink 提供 4 个通道的 SerDes,所以 10 Gbps 的 HyperLink 理论吞吐率为 $10 \times 4 \times (8/9) = 35.5\text{ Gbps}$ 。

图 3 为 DSP 之间 HyperLink 连接示意图,采用 4 通道 HyperLink 进行互连,通过边带信号的控制调节,依据实际数据流情况和特定寄存器配置,实现 HyperLink 接口宽度模式的动态调整。

2) SRIO 接口设计

设计中通过 SRIO 连接 DSP 和 FPGA,如图 4 所示。SRIO 协议是专门针对嵌入式系统芯片间和板间互联而设计的一种基于包交换的开放式高速串行传输标准^[9]。每片 DSP 与 FPGA 均通过 4 通道 SRIO 互连。实际数据传输中可根据数据流情况对 SRIO 的通道模式进行转换,从而实现数据的高效传输。传输速率可选 1.25 、 2.5 、 3.125 、 5 Gbps 。本方案选用的是 5 Gbps 模式。

3) GPIO 电路设计

TMS320C6678 DSP 拥有 17 个复用引脚,包括 GPIO [15:0]和 TIMIO,复用引脚的主要功能是在 DSP 上电的同时可通过设置不同的逻辑值来进行 DSP 的初始化配置。本设计采用通过另一片专门的 FPGA 进行设备配置。该片 FPGA 选择 XC3S200AN-4FTG256C 也即 S3 系列,主要负责上电等初始化配置工作,上电配置完成后自动停止工作。

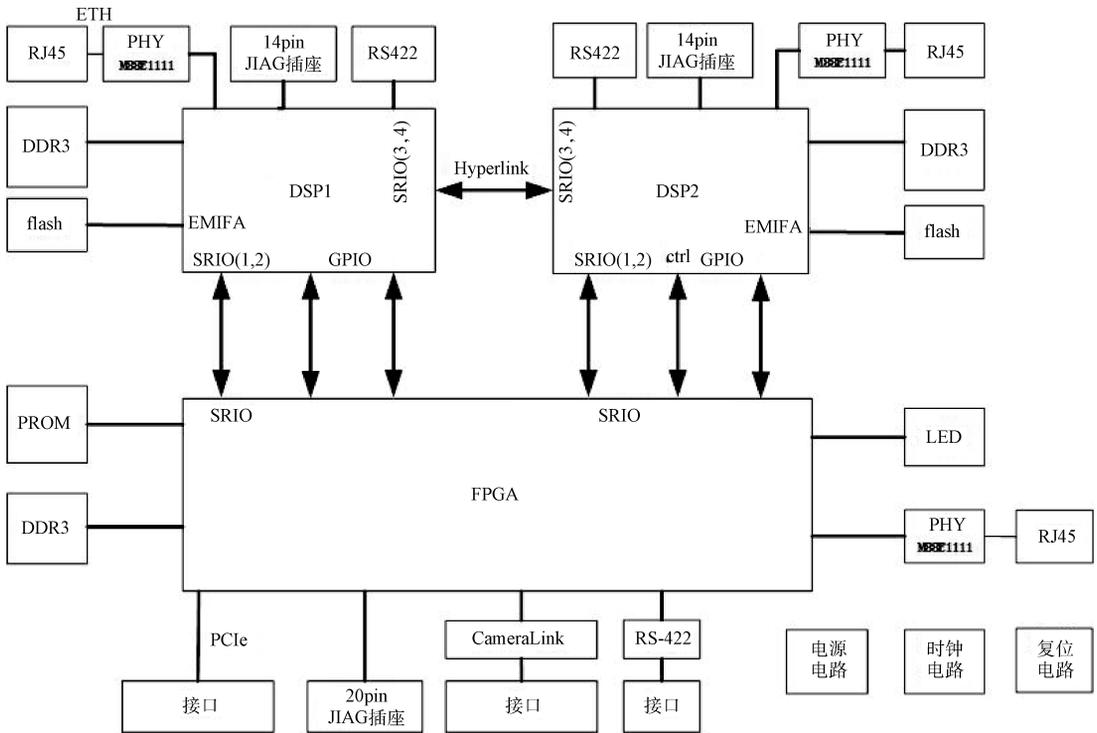


图 2 系统硬件总体结构

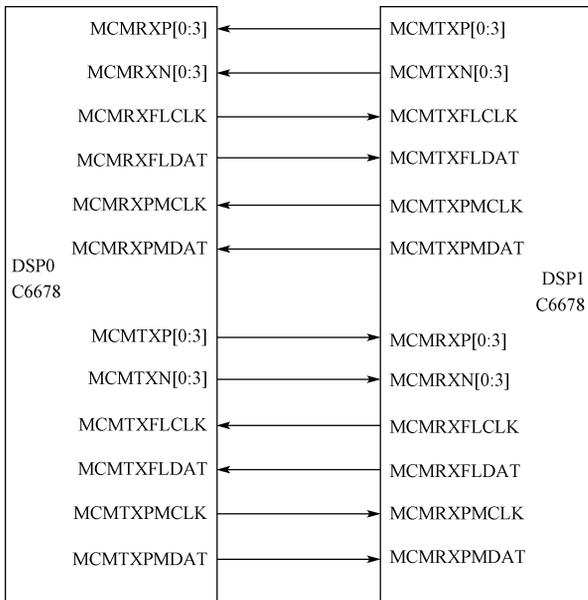


图 3 HyperLink 接口电路

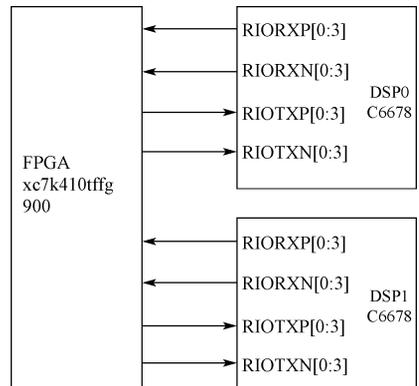


图 4 SRIO 接口电路

SDRAM 总线配置成 64 bit 形式,64 bit 宽度的总线形式可以大大提高 DSP 与 DDR3 SDRAM 之间的通信速率,实现数据的快速高效存储。

2)外部存储器 FLASH 接口设计

设计中采用 TMS320C6678 的 EMIF16 接口为每片 DSP 外接一片大容量 NAND FLASH。NAND FLASH 选用 numnoyx 公司的 NAND512R3A2SZA6E,该芯片容量达 512 M。同时为每片 DSP 通过 SPI 接口外扩一片 NOR FLASH 芯片 N25Q128A11BSF40F。该芯片具有 128 M 内存(16 M×8)。

3)外部存储器 EEPROM 接口设计

设计应用 DSP 的 I²C 总线接口外扩了 EEPROM 芯片

3.2 外部存储器接口设计

1)外部存储器 DDR3 SDRAM 接口设计

设计中为每片 DSP 扩展了 4 片 DDR3 芯片。DDR3 芯片选择 SAMSUNG 公司的 K4B2G1646C-HCH9 芯片。该芯片每片为 16 Bit DDR3 SDRAM 存储器,接口频率为 1 333 Hz。设计中通过制定如图 5 方式连接,将 DDR3

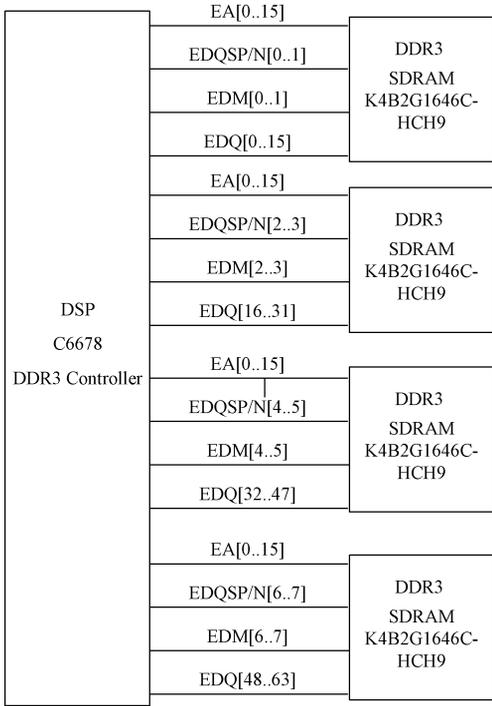


图5 DDR3 接口电路

M24M01-HRMN6TP,该存储器内存为 1 M(128 kb × 8 b)。I²C 总线由数据线 SDA 和时钟 SCL 构成的串行总线,可发送和接收数据,最高传送速率 100 kbps。

3.3 CameraLink 接口设计

为满足高分辨率高速图像采集的性能要求,同时与前端 CCD 面阵相机实现对接,选用了 CameraLink 接口。CameraLink 接口的核心组成部分有两部分:并转串驱动器 and 串转并接收器,前者主要将 28 位 TTL/CMOS 电平信号串化成 4 路 LVDS 差分信号,第 5 条 LVDS 传输锁相环传输时钟,并于其他 4 路同时进行并行传输;后者作为接收器将会接收到 5 路 LVDS 信号,之后再数据转换成 28 位 TTL/CMOS 电平信号^[10]。这大大减少了线缆的使用数量,增加实际应用时的可靠性。

本设计选用 NI 公司生产的 DS90CR288A, DS90LV031A, DS90LV019 来完成硬件电路的设计。

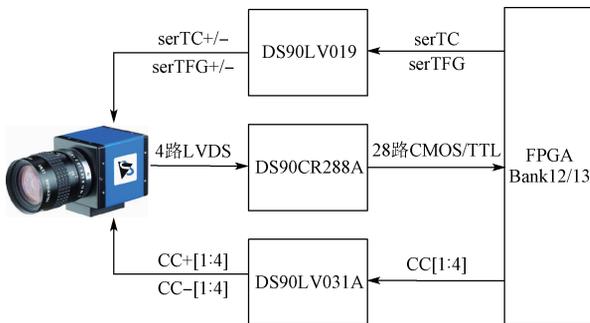


图6 CameraLink 接口电路

4 系统并行处理软件设计

4.1 图像处理任务分析

图像处理任务步骤如图 7 所示。

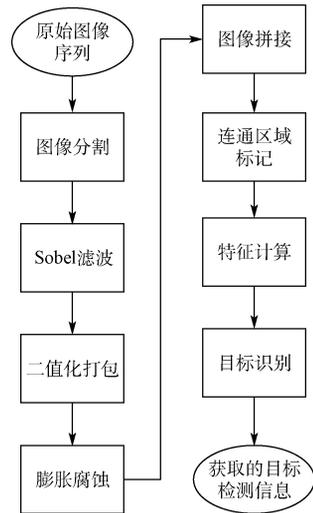


图7 目标检测流程

1) 实时靶标检测算法

大尺寸部件测量系统中高速并行图像处理平台常常采用多路相机,它需要同时运行点、面、扩展目标等几种特征的目标检测。图像预处理工作量繁重,设计将图像分割处理,最终拼接在一起的预处理方案。预处理工作包括滤波、二值化、膨胀腐蚀等^[11]。

2) 靶标特征提取算法

首先,根据所得到的连通域的点集来计算周长与面积,再进行圆度判断。其次,对满足圆度判定的连通域轮廓点集进行椭圆拟合,这里采用最小二乘法进行拟合椭圆。随后进行靶标中心标志圆拟合残差判断。最后进行靶标的灰度判断。

3) 靶标识别算法

靶标采用德国 GOM 公司的 TIPTOP 系统使用的 Schneider 编码方案进行编码。如图 8 所示由中心圆和同心编码环带组成,将整个同心编码环带等分为 10 份,不同的白色和黑色环带的分布代表着不同的编码值。编码环带按照角度平均分为 N 份,每份,每一份可以称为亮环带或者暗环带,相应的二进制码为 1 或者 0,“1”表示该位上有编码点,“0”表示该位上没有编码点。以任意一个单位编码环带的二进制码为起点,按逆时针方向读取二进制位的码值,可以组成 N 个二进制数,代表着 N 个环形码值。最后,上述 N 个环形码值在循环移位后应该对应同一个最终的编码值,规定,在这 N 个二进制数中最小的二进制数就是该编码标志点的码值。

特征计算得到的像素点集若满足近似椭圆条件,说明该点位于椭圆环带上。对该椭圆环带的点进行平移,旋

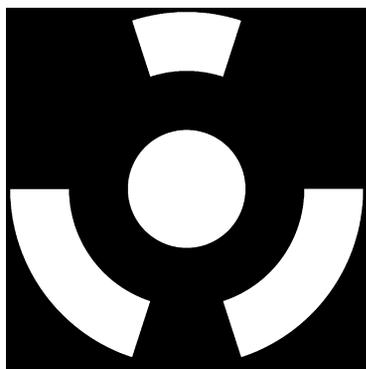


图 8 编码靶标

转,伸缩变换,椭圆环带将映射成圆环带,将该圆环带均分为 N 份(N 为编码位数),每一份作为一个二进制位,如果在该位像素点集中,那些灰度值为 255 的像素个数与该位

像素总个数的比值大于 0.5,则编码为 1,否则编码为 0。

对得到的二进制数进行循环移位,可以得出总共 N 个二进制数,这个个数刚好等于编码标志中编码环带的等份数。规定,其中最小的二进制数就是该编码标志的解码数值,再将该值转换为十进制数,作为最终的解码值。

4) 靶标坐标提取算法

通过靶标的提取过程中,已经得到靶标中心标记图像素级边缘,即通过一系列判定准则之后的连通域轮廓点集。在找出像素级边缘后,利用边缘附近多个像素的灰度值作为补充信息,可以确定亚像素级的边缘所在。对得到的亚像素边缘进行椭圆最小二乘拟合,即可得到靶标的亚像素级中心位置^[12],即坐标信息。

4.2 并行任务处理模型

按照上述的图像处理步骤,对每片 DSP 的 8 个核进行任务分配,如图 9 所示。

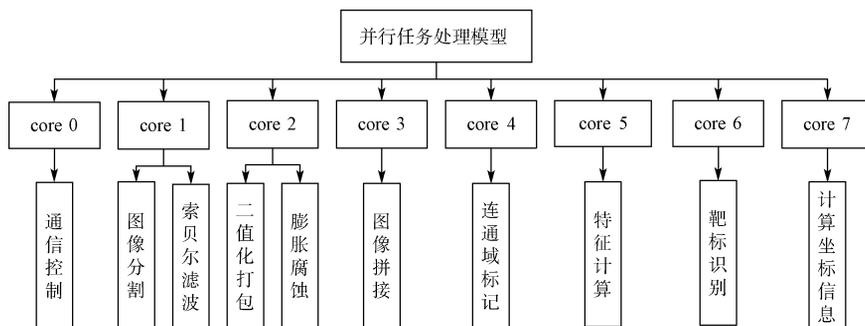


图 9 任务分配模型

核 0 负责初始化和通信控制。启动系统,所有核完成的初始化后,首先调用 IPC_start() 函数,让所有核进入 SYS/BIOS 操作系统。

核 1 接收图片后进行图像分割,对分割后的每个 slice 进行 sobel 滤波,至此图像数据量大幅降低。利用 sendEvent() 函数启动核 2,并通知核 2 该从队列的存储区读取数据。

核 2 开始对每个 slice 进行二值化处理 and 膨胀腐蚀操作,而此时核 1 接收第 2 张图片,核 3、4、5、6、7 都处于挂起状态;核 2 处理完成后,利用 sendEvent() 通知核 3 开始图像拼接,并通知核 3 从队列的存储区读取数据。

核 3 开始图像拼接,而此时核 1 正在接收第 3 张图片,核 2 处理第 2 张图片,核 4、5、6、7 都处于挂起状态;直到核 3 处理完,利用 sendEvent() 通知核 4 开始连通域标记,并通知核 4 从队列的存储区读取数据。

以此类推,直到核 4 完成连通域标记,核 5 完成特征计算,核 6 完成目标识别,7 完成坐标提取,将坐标信息反馈给 FPGA 向上位机输出。

当相机进行高速帧频成像时,两片 8 核 DSP 上共 16 个内核之间形成高度并行的流水线工作状态,采用高效的

IPC MessageQ 进行核间通信,应用 EDMA3 进行数据搬运,大大提高系统的并行效率。

5 实验验证

多核编程是基于 TI 公司的 SYS/BIOS 操作系统和 MCSDK 组件进行的。部分图像处理算法通过应用 imglib 和 vlib 函数库实现。核间通信方式选择 EDMA+IPC 方案。实验中处理的图像分辨率为 $8\ 000 \times 10\ 000$; 大小为 610 Mb。对不同场景图片进行了从单核到多核处理实验,实验结果如表 1 所示,对比得出多核并行处理性能有较为

表 1 性能测试结果

处理时间/s	1 core	2 cores	4 cores	8 cores	16 cores
图片 1	3.081 5	1.268 9	0.548 9	0.225 8	0.131 2
图片 2	2.895 4	1.174 5	0.563 4	0.190 0	0.145 9
图片 3	2.741 7	1.264 7	0.476 4	0.195 4	0.148 9
图片 4	2.909 3	1.110 7	0.510 7	0.181 1	0.138 6
图片 5	2.698 1	1.275 3	0.503 4	0.172 9	0.145 6

明显的提高。最终 16 核的单帧图像处理平均速度不大于 0.15 s, 虽然 16 核较 8 核的处理速度增长幅度相对不大, 但是绝对速度仍有一定的增长。随着内核数目的增多, 处理的时间并非呈线性减少, 这是由于参与内核数目越多, 核间通信成本和数据搬运成本约高, 导致并行效率相对有一定下降。

6 结 论

大尺寸部件测量图像信息高速并行处理系统实现大尺寸部件测量过程中全视角、高分辨率图像的高速、高实时性并行处理, 对整个测量设备的工作十分重要。

1) 设计基于 FPGA+ 双多核 DSP 并行处理方案, 选用较为先进的核心元器件, 实现了系统硬件电路。

2) 通过将图像处理算法的并行性任务分解, 设计和开发实现了基于双多核 DSP 并行处理方案。

3) 进行多核编程开发, 实现图像处理算法以及并行处理过程, 验证了多核并行工作的优越性。

参考文献

- [1] 于之靖, 周欢. 大尺寸视觉测量系统结构参数分析与试验研究[J]. 现代电子技术, 2013, 36(24): 59-66.
- [2] 王莉, 方伟, 邢宏文. 大尺寸空间测量方法的实施及应用[J]. 南京航空航天大学学报, 2012, 44(S): 48-51.
- [3] 余俊荣, 孟宪臣, 潘丰. 基于机器视觉的手机电池尺寸检测系统的设计[J]. 江南大学学报: 自然科学版, 2014, 13(1): 24-28.
- [4] 甄栋志, 朱永伟, 苏楠, 等. 基于计算机视觉对目标识别检测的研究[J]. 机械工程与自动化, 2014(1): 129-133.
- [5] 戴鹏, 王卫东, 任盛伟, 等. 高速车载数字图像采集关键技术研究[J]. 计算机测量与控制, 2014, 22(1): 267-269.
- [6] BARRERA E, RUIZ M, SANZ D, et al. Test bed for real-time image acquisition and processing systems based on FlexRIO, CameraLink, and EPICS [J]. Fusion Engineering and Design, 2014(89): 633-637.
- [7] 李易难, 牛燕雄. 基于 DSP+FPGA 的视频图像采集处理系统的设计[J]. 电子测量技术, 2014, 37(1): 58-61.
- [8] 戴权, 杨应平, 贾信庭, 等. 基于 DSP 和 FPGA 的实时图像采集处理系统的设计[J]. 微型机与应用, 2013, 32(11): 45-48.
- [9] WASFY W, ZHENG H. General structure design for fast image processing algorithms based upon FPGA DSP slice [J]. Physics Procedia, 2012 (33): 690-697.
- [10] 郑耀汉, 李欣. 基于 FPGA 的红外图像数据实时采集处理系统[J]. 电子测量技术, 2013, 36(11): 34-38.
- [11] 赵立荣, 朱玮等. CCD 弱目标图像条带噪声消除[J]. 电子测量与仪器学报, 2014, 28(10): 1084-1091.
- [12] 田浩南. 超分辨率重构在航空光电成像系统中的应用[J]. 国外电子测量技术, 2015, 34(2): 73-77.

作者简介

王文清, 1990 年出生, 现为北京交通大学在读硕士研究生, 目前主要研究方向为智能测控以及图像信息处理等。

E-mail: 13121233@bjtu.edu.cn

沈海阔, 1979 年出生, 毕业于浙江大学, 现为北京交通大学副教授, 目前主要研究方向包括智能测控、数字信号处理、控制理论等。