

## 近景线阵 CCD 数据采集系统的设计与实现\*

瑚琦 石彬彬 吴莹

(上海理工大学光电信息与计算机工程学院 上海 200093)

**摘要:** 针对 Kodak 的 RGB 三色线阵 CCD-KLI14403 设计一款基于 CPLD 的高分辨率线阵 CCD 实时数据采集系统。系统利用 Verilog HDL 进行程序设计实现 CPLD 对各个功能模块和逻辑单元的时序控制,设计采用线阵 CCD 作为系统图像传感器,以图像专用 A/D 处理芯片对 CCD 的输出信号进行噪声处理和模数转换,最后通过 USB2.0 接口实现上位机与下位机之间控制指令和采集数据的实时传输。这种设计方法不仅降低了对系统各模块之间的协调控制难度,而且具有驱动时序精确、抗干扰性能良好、输出信号稳定等特点。实验结果表明,该设计系统可以有效地完成图像数据的采集和传输,达到了预期效果,且设计灵活,系统性能较好,具有一定的通用性和科研价值。

**关键词:** 线阵 CCD; CPLD; Verilog HDL

**中图分类号:** TN911.73    **文献标识码:** A    **国家标准学科分类代码:** 510.40

## Design and realization of data acquisition system based on close-range linear CCD

Hu Qi Shi Binbin Wu Ying

(School of Optical-Electrical and Computer Engineering, University of Shanghai for Science and Technology, Shanghai 20093, China)

**Abstract:** It aims to design a high resolution linear CCD data acquisition system based on CPLD for Kodak's RGB tricolor linear array CCD-KLI14403. The system makes use of Verilog HDL to realize the timing control of functional modules and logic units. The linear array CCD-KLI14403 is used as the system image sensor and the output signals of CCD are processed by the image specific A/D chip. Finally, the real-time transmission of control command and acquisition between upper and lower computer is via the USB2.0 interface. The method not only reduces the difficulty of coordination and control between the modules of the system, but also has the characteristics of accurate driving timing, good anti-jamming performance, stable output signal and so on. The experiment shows that the system can effectively complete the image signal acquisition with good performance and flexibility and achieve desired results. Meanwhile, it has a certain universality and scientific value.

**Keywords:** linear CCD; CPLD; Verilog HDL

## 1 引言

CCD 是一种具有光电转换功能的半导体表面器件,又称图像传感器,它是通过电荷包的形式进行信息的存储和传递。CCD 图像的优点在于分辨率高、信息量大<sup>[1]</sup>,在图像传感、景物识别和非接触测量等领域得到了广泛的应用<sup>[2]</sup>。由于面阵 CCD 受到物理尺寸等因素的限制,使得在使用过程中其成像幅面较小,工作效率不高。而随着科技的发展,高分辨率、高速度、高灵敏度、小型化已经逐步成为大幅面 CCD 数据采集系统的发展趋势。针对近景静态的

特点,研发一种大幅面线阵扫描方式的 CCD 数据采集系统是可行的。线阵 CCD 驱动信号一般为较复杂的周期信号,导致其驱动电路的设计复杂多样,且调试复杂,易受外界干扰,灵活性不高。

相较于使用相同引脚的 FPGA 直接产生 CCD 的驱动时序、选用数据采集卡完成数据采集、采用单片机实现对步进电机的控制的设计方案,本文设计选用的 CPLD 具有更多的 I/O 口,无需选用另外的控制芯片即可实现对步进电机控制,在一定程度上节省了硬件空间,节省了成本,降低了系统控制的难度;选用专用的图像处理芯片而不选用数

据采集卡也在一定程度上节约了成本,降低了设计难度。设计充分发挥了 CPLD 高速并行且“可编程”的特点,简化

了硬件设计的难度,能够实现 CCD 的高速采集,成本大幅度降低<sup>[8]</sup>。系统框图如图 1 所示。

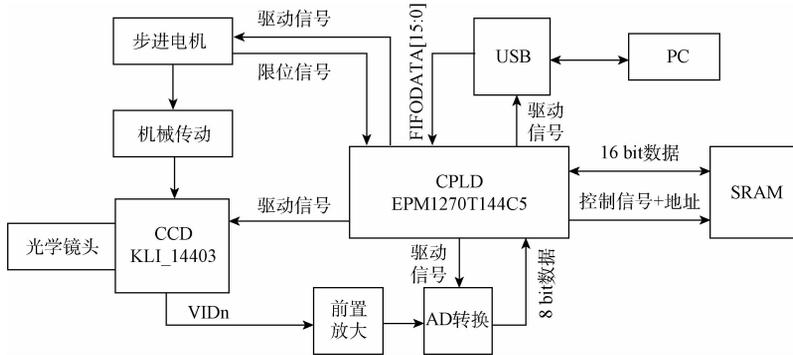


图 1 线阵 CCD 图像采集系统

## 2 系统设计

系统上电后,步进电机驱动器接收到上位机发出的开始扫描指令后就开始驱动电机做匀速直线运动,带动 CCD 扫描一定的距离到达终点后自动返回原点。通过步进电机的传动,CCD 在 CPLD 的驱动下接收图像信号并将其转换成电信号进行输出;然后采用图像专用 A/D 芯片 AD9826 对经过放大器放大的 CCD 输出信号作相关双采样(CDS)去噪和模数转换;选用 SRAM 作为每帧数据的缓存区;最后通过 USB 接口把数据实时传输到上位机,实现图像数据的实时显示和存储,经过相关处理后显示图像。整个系统 Altera CPLD 为控制核心,型号为 MAX II 系列的 EPM1270T144C5 芯片<sup>[4]</sup>。

积分时间段和电荷转移时间段<sup>[7]</sup>。TG 低电平期间,光敏区与移位寄存器被隔离,在光敏区进行光积分的同时,移位寄存器在读出脉冲 h1n 和 h2n 的作用下,逐个地将各像元输出至 VIDn(n 为 R、G、B);PHIR 为复位脉冲,用于清除上一个像素转移后的残余电荷;LOGn 控制每个通道的曝光状态。本设计中,读出脉冲频率定为 800 kHz,复位脉冲频率为 1.6 MHz,各脉冲的相对位置均满足时序要求。根据以上分析,其 Modelsim 仿真时序如图 2 所示。

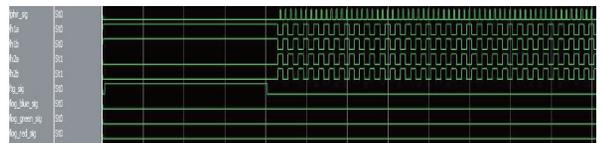


图 2 CCD 驱动时序仿真

## 3 模块设计

### 3.1 CCD 驱动模块设计

KLI14403 是一个三通道单边输出二相驱动的线阵 CCD 器件,对于 RGB 中的任何一个通道来说,每个光敏元直接与一个移位寄存器相连接,在时序的驱动下像元逐个移位输出。该器件具有高灵敏度、低暗电流的特点<sup>[5]</sup>,其中暗电流噪声的产生是一个随机过程,暗电流在像素阵列各处也不完全相同<sup>[6]</sup>,主要特征参数如表 1 所示。参照 KLI14403 数据手册,驱动该 CCD 需要 9 路脉冲驱动,分别是转移脉冲 TG,复位脉冲 PHIR,曝光控制脉冲 LOGn(n 为 R、G、B),二相读出脉冲 h1n 和 h2n(n 为 a、b),两个相时钟的相位差为 180°。

由于 CPLD 的输出脉冲不能直接驱动 CCD,所以需要增加驱动电路来提高 CPLD 输出信号的驱动和负载能力。

### 3.2 AD 采样模块设计

对 CCD 输出信号进行处理,主要包括信号调理和 A/D 转换两个部分。前者是为了尽可能消除在图像采集、传输和处理的过程中各种外部干扰和内部干扰带来的复杂多样的噪声和干扰<sup>[8]</sup>,改善图像质量,保证在 CCD 动态范围内图像信号随被测目标亮度呈线性变化;后者则完成对 CCD 输出信号的数字化,以便进一步的软件处理<sup>[9]</sup>。对 CCD 图像信号进行处理的最有效的是相关双采样技术<sup>[10]</sup>。

为了简化硬件电路和方便对 CCD 信号的处理,本设计选用了集成了相关双采样电路和可配置增益放大电路的 AD9826 芯片,并采用 3 通道 CDS 模式,可以同时采集 CCD 的 RGB 三通道的输出电压,经去噪和模数转换处理后依次输出。根据芯片数据手册,CDSCLK1 时钟的下降沿控制采样 VIDn 信号的参考电平,CDSCLK2 时钟的下降沿控制采样 VIDn 信号的信号电平,经过 CDS 放大器后输出两个采样电平的差值,再在 ADCCLK 时钟的控制下将经过模数转换后的数据输出,ADCCLK 的上升沿和下降沿

表 1 CCD 主要特征参

电源电压	驱动电平	像元尺寸	有效像元	最高频率	输出信号	暗电流
15 V	6.8 V	5 μm×5 μm	14 403	5 MHz	2.7 V	0.002 pA

同时可以看出 CCD 的一个工作周期由两部分组成:光

分别输出 RGB 通道的高 8 位和低 8 位的数据,经过 CPLD 合成 16 bit 的数据后再进行后续处理。为了能正确采集并转换 CCD 的输出信号,CDSCLK1 和 CDSCLK2 的频率设置为 1.6 MHz,ADCCLK 的频率则为 4.8 MHz,各时钟信号的相对位置均满足时序要求。通过时序仿真得到其 Modelsim 仿真图如图 3 所示。



图 3 AD 驱动时序仿真

### 3.3 SRAM 读写模块设计

根据 CCD 输出数据量的大小和考虑到采用 SRAM 作为外部存储能够快速搭建系统,故选用容量为  $256 \times 16$  bit 的 SRAM 作为数据缓存。根据手册,向 SRAM 内部写入数据时,OE 端拉高,通过控制 WE 端的电平将数据送到内部相应的地址;读 SRAM 里面的数据时,CE 和 OE 端都拉低,根据地址的变化将数据输出。其驱动时序如图 4 所示。

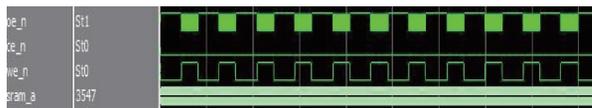


图 4 SRAM 驱动时序仿真

### 3.4 USB2.0 通信接口模块设计

本系统采用 Cypress 公司的 EZ-USB-FX2 系列 USB 接口控制芯片 CY7C68013 作为 USB2.0 的控制器来实现数据通信<sup>[11]</sup>。芯片集成度高,降低了用户开发的难度。设计中选用 Slave FIFO 从机模式实现 CPLD 对 FX 控制并采用高速模式<sup>[12]</sup>。需要注意的是,FX2 在复位后,I/O 引脚配置在“端口”模式,而不是 Slave FIFO 模式,所以需要将寄存器 IFCONFIG 的 IFCFG1:0 设置为 11,Slave FIFO 接口引脚才被认为是外部主控制器<sup>[13]</sup>。USB2.0 接口设计主要是设计 CPLD 对 USB 接口芯片的逻辑控制<sup>[14]</sup>。换言之,由 CPLD 给 USB 驱动芯片提供控制信号。

本设计中,接口时钟 IFCLK 由 CPLD 提供,采用同步读写方式,选用 16 位数据总线连接 FIFO。当 FIFO 中数据写满时,标志位 FLAGC 会被拉高,此时禁止数据写入,通过判断标志位的电平是否为高和读数据控制端 SLOE 和 SLRD 是否为低来读取 FIFO 中的数据;当 FIFO 被读空时标志位 FLAGB 会置高,允许数据写入,向 FIFO 中写入数据的时候,会首先判断 FIFO 中的数据是否写满,如果没有写满则会 SLWR 拉低继续写数据。当 CCD 一帧数据全部写入 SRAM 后,则会在 CPLD 输出的相关时序驱动下将数据依次读出至 USB 的 FIFO 中,然后将数据打包通过 USB 以数据帧的方式传递给上位机。FX2 Slave 模式接口同步读写 FIFO 引脚如图 5 所示。

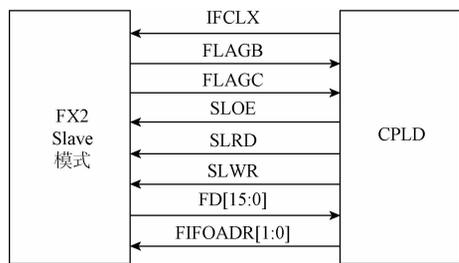


图 5 FX2 Slave 模式接口引脚:同步 FIFO 读写

### 3.5 上位机软件模块设计

固件程序设计、设备驱动设计和上位机应用程序设计是设计上位机软件模块需要考虑的三大因素。只有各部分之间的紧密配合才能完成 CCD 采集数据的高速稳定的传输。固件程序主要是负责 USB 接口芯片的工作,固件程序的设计只需要在 Cypress 公司提供的标准固件框架上填上实现相关功能需要的代码;而设备驱动的设计则是将 Cypress 公司提供的软件开发工具包里面的通用驱动程序做相应的修改,使得驱动引导文件中的 VID 和 PID 与固件程序里面所包含的 VID 和 PID 一致;上位机应用程序的主要任务是对下位机的控制和数据的处理,其编写不做描述。

## 4 实验结果与分析

因为光源的稳定性会直接影响系统的图像数据采集精度<sup>[15]</sup>,CCD 采用稳定同等强度光照,通过示波器观察 CCD 的输出信号,示波器的型号是 Agilent MSO9404A,输出波形如图 6 所示。由信号看出,CCD 输出信号的每个像素周期分为 3 个部分,从左到右依次是复位电平参考电平和有效信号电平,输出信号符合芯片手册。

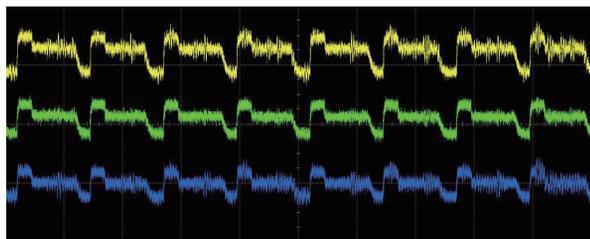


图 6 实测 CCD 三通道输出信号

接下来将 CCD 中间位置用黑胶带遮住使得中间部位没有光照,其余部分采用同等强度光照。中间部位由于无光照或者光照较弱,CCD 输出模拟信号的参考电平和信号电平近似相等,根据相关双采样原理,上位机上显示的中间部位波形应该为 0,实际得到的上位机显示结果如图 7 所示,与预期结果基本相同。

以 R 通道为例,经过测量 CCD 两端输出信号参考电平和信号电平的差值近似为 0.36 V,通过 16 位 A/D 转换后的理论数值近似为 11 796.5,上位机上显示的 R 通道的

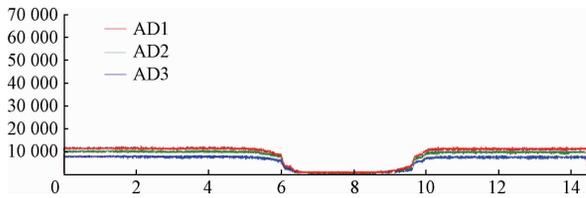


图 7 位机信号波形

数字信号值近似为 11 900, 误差不足 1%。



图 8 实际采集图像

然后通过 CCD 采集图像, 经过 A/D 转换和上位机的处理得到如图 8 所示的图像。采集图像结果表明, 本设计可以有效地完成图像信息的采集、传输和处理工作, 采集图像清晰度较高。

## 5 结 论

本文介绍了基于 CPLD 的线阵 CCD 的驱动和图像信号的采集系统的实现方案, 从实验结果可以看出, 该设计正确驱动了 CCD KLI14403, 较好的完成了 CCD 输出模拟信号的采集存储及与上位机之间的通信, 也在一定程度上验证了系统的可行性和稳定性。如果对采集图像的质量要求较高, 还需要进一步对系统进行深一步的优化以适应相关要求。同时, 本系统具有一定的通用性, 有良好的使用和参考价值。

## 参考文献

- [1] 闫光豹, 李开宇, 杨盛亚. 基于 FPGA 的红外和 CCD 图像融合研究及实现[J]. 电子测量技术, 2015, 38(6): 43-47.

- [2] 谢印忠, 庄松林, 张保洲. 基于线阵 CCD 的光谱仪定标研究[J]. 仪器仪表学报, 2011, 32(3): 546-550.
- [3] 于庆广, 张晓明, 王浩, 等. CCD 视频采集系统设计和实现[C]. 全国信息获取与处理学术会议, 2006: 1365-1366.
- [4] EDA 先锋工作室. Altera FPGA/CPLD 设计(高级篇)[M]. 北京: 人民邮电出版社, 2005.
- [5] 贲永志, 陈丽娟. 彩色线阵 CCD 三通道数据采集系统[J]. 仪表技术与传感器, 2008(2): 30-33.
- [6] 刘彦飞, 代永红, 单欣, 等. 高帧频 CMOS 相机对光通信跟踪系统影响分析[J]. 仪器仪表学报, 2015, 36(6): 1319-1325.
- [7] 毕继耀, 张大伟, 杨海马, 等. 线阵 CCD 光谱分辨率检测系统设计[J]. 电子测量与仪器学报, 2015, 29(7): 1086-1092.
- [8] 何雯, 董威, 苟辉. 基于 FPGA 的高速视频采集系统的设计[J]. 国外电子测量技术, 2016, 35(5): 83-87.
- [9] 刘蕾, 江洁, 张广军. 基于 CPLD 的线阵 CCD 的驱动及数据采集[J]. 电子测量与仪器学报, 2006, 20(4): 107-110.
- [10] 张志成, 毕明德, 孙志刚, 等. 基于 CPLD 的线阵 CCD 图像采集系统[J]. 电气自动化, 2012, 34(1): 28-30.
- [11] 萧世文. USB 2.0 硬件设计[M]. 北京: 清华大学出版社, 2006.
- [12] 谭安菊, 龚彬. USB2.0 控制器 CY7C68013 与 FPGA 接口的 Verilog HDL 实现[J]. 电子工程师, 2007, 33(7): 52-55.
- [13] 钱峰. EZ-USB FX2 单片机原理、编程及应用[M]. 北京: 北京航空航天大学出版社, 2006.
- [14] 辛凤艳, 孙晓晔. 基于 FPGA 和线阵 CCD 的高速图像采集系统[J]. 计算机技术与发展, 2012, 22(8): 205-207.
- [15] YANG B, LIU Y, YING L U, et al. Research of optical rainfall sensor based on CCD linear array[J]. Instrumentation, 2015, 2(3): 27-34.

## 作者简介

瑚琦, 1977 年出生, 副教授, 博士, 研究方向为光电检测、嵌入式。

E-mail: bbsyx211@hotmail.com