

基于FPGA的PLC高速计数模块设计

宋宇飞 宋黎定 苗三立 王 振

(华北计算机系统工程研究所 北京 100083)

摘要:通过对传统可编程逻辑控制器(PLC)计数模块的分析研究,介绍了基于FPGA设计的PLC高速计数模块。计数模块的核心计数部分由FPGA来完成,然后CPU通过SPI接口读取计数结果,其响应延迟只会受FPGA内部的时钟延时及外部配置电路的影响。该高速计数模块可以实现频率计数、脉冲计数、编码计数等多种不同应用场景的计数功能;同时可以实现对高频脉冲的高精度计数并提高实时响应性。另外该模块有8路差分数字量输出,输出口可由计数结果来控制。

关键词: FPGA; 高速计数模; PLC

中图分类号: TP274+.2; TN911.7 **文献标识码:** A **国家标准学科分类代码:** 510.99

High-speed counter in PLC based on FPGA

Song Yufei Song Lidin Miao Sanli Wang Zhen

(National Computer System Engineering Research Institute of China, Beijing 100083, China)

Abstract: This paper introduces the PLC high-speed counting module based on FPGA design. The core counting part of the module is finished by FPGA, and then the CPU reads the counting result through interface of the SPI. The response delay will only be affected by the FPGA internal clock delay and external configuration circuit. The high-speed counting module can implement frequency counting, pulse counting, coding count and other different scenarios of the counting function and achieve high accuracy of high frequency pulse count and improve the real-time responsiveness. In addition the module has 8 differential digital output ports which can be controlled by the count results.

Keywords: FPGA; high-speed counter; PLC

0 引言

可编程控制器(programmable logic controller, PLC),一般是以微处理器为核心,综合了现代计算机、自动化和通信等技术^[1]。在PLC中运用高速脉冲计数器,利用其产生中断事件或者输出事件完成预定的操作,在运动控制系统中的定位场合有着广泛的应用,同时也可以嵌入到许多机械或电子设备中并实现各种各样不同的需求。但许多普通的PLC受到扫描周期的限制,只能处理几万赫兹的脉冲信号,如西门子FM350-2它内部的计数模块由ASIC定制,其频率测试最大范围是10 kHz。

本文的计数模块是基于国产CPU处理器、Altera的EP3C10E144I7型号的FPGA芯片以及结合一些外围电路所设计并用于PLC高速的计数模块。该模块可连接增量编码器、光电传感器、接近开关等脉冲发生设备,实现工业

控制中的高速计数和频率测量的专用功能模块。该模块计数频率可达1.5 MHz远远超过了普通PLC的计数频率,而且应用了FPGA灵活可编程的特点,功能升级得到了极大的方便。

1 计数模块硬件接口电路设计

该计数模块内置4个独立的计数器,每个计数器各有三路输入(A、B、Z)和两路差分数字信号输出,输入电压的有效范围是10~26.4 VDC,电流的有效范围是2.2~7 mA。如图1所示,输出通道在模块内部供电。金属氧化物半导体(metal-oxide-semiconductor field effect transistor, MOSFET)电子开关闭合后,从开关流出的电流供电给负载。

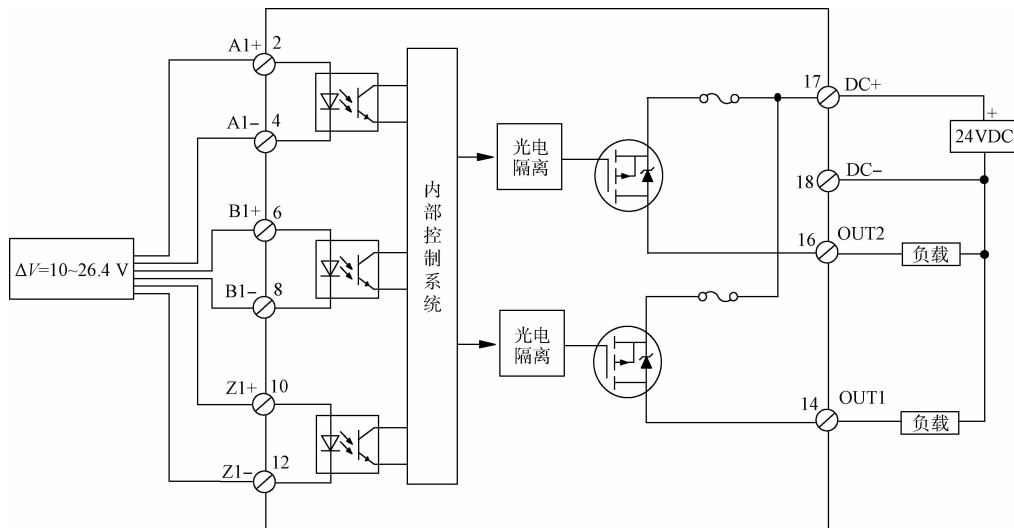


图1 通道接口电路设计

2 FPGA 固件各功能模块的设计

2.1 FPGA 固件总体设计

模块的核心部分“计数模块”是在 Altera 的 Cyclone 系列 EP3C10E144I7 芯片上开发的,开发过程采用了自顶向下的开发流程和模块化设计方式。FPGA 内部设计分为 5 部分,第 1 部分是滤波,可以对 12 路脉冲实现 6 种不同频率的低通滤波处理。第 2 部分计数实现 4 路计数器,该部分主要实现 4 种与计数相关的功能。第 3 部分为输出控制主要负责处理 8 路差分数字量的输出,通过诊断该模块的通讯状态、计数情况以及编程状态控制输出口的输出。设计最重要的部分是控制部分,该部分连接着计数、输出和 SPI 接口模块。负责 CPU 和 FPGA 的指令解析和传输,同时也负责计数模块和输出模块的数据和指令传输。整个 FPGA 原理如图 2 所示。

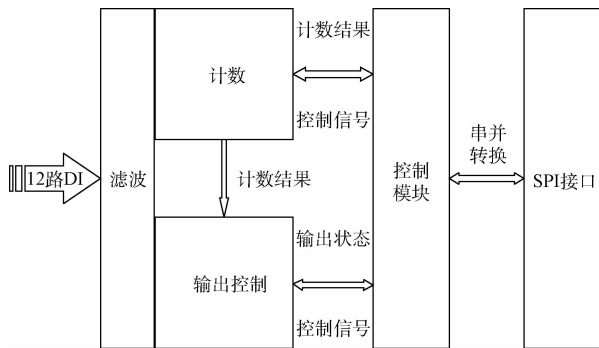


图2 FPGA 原理

2.1.1 SPI 接口实现

设计目的:采用 SPI 接口协议实现 FPGA 计数模块与 CPU 的通信。

2.1.2 SPI 接口的功能描述

此 SPI 接口是作为 SPI 通信协议的从设备运行,而 CPU 作为主设备运行。该 SPI 的通讯速率为 5 MHz,主 SPI 接口的极性和相位模式需要分别配置为 $CPOL=0$, $CPHA=1$ ($CPOL$ 值为 0,表示时钟为上升沿时有效,空闲模式时为低; $CPHA$ 为 1,表示数据采样发生在时钟信号的偶数边沿)^[2]。CPU 通过 SPI 通信协议把串行数据传输给控制模块,同时也将通过控制模块把结果返还给 CPU。设计的 SPI 数据帧为 32 bit,分为如表 1 所示的 3 部分。

表 1 SPI 帧结构

Command	Address	Data
4 bit	12 bit	16 bit

Command:负责 FPGA 的读写,A 为 CPU 写/FPGA 读,5 为 CPU 读/FPGA 写
Address:操作的寄存器地址
Data:传给寄存器的数据

2.1.3 SPI 模块的状态机

FPGA 状态机可抽象为 3 种基本模型,Moore(状态机输出仅由当前状态决定)、Mealy(如果状态机的输出由当前状态和输入共同决定)、Mix(以上两者的混合)^[3]。在 SPI 的接口状态机设计中采用了三段式写法,是一种抽象的 Mealy 型。时序逻辑的输出解决了组合逻辑可能出现的毛刺问题,是一种比较推荐的写法。

基本状态介绍如下。

初始态:即为状态机的初始状态,空闲状态下需要对相关的寄存器进行初始化,包括移位寄存器、状态机寄存器、数据接受寄存器、控制模块读写寄存器,同时实时监测 CPU 发来的 SPI 片选信号是否拉低。

结束态:该状态机分为两部分,读和写,这两部分会将设置好的输出值包括 SPI 数据帧中的 Command、Address、Data 这几部分解析并发送给控制模块。

中间态:中间态包含 SPI 数据处理中的几部分,把 SPI_CLK(SPI 信号的时钟信号)的第一个上升沿作为 FPGA 开始读数的启动信号,在下一个状态时将 MOSI 的数据赋给移位寄存器的低位,之后移位寄存器右移,在 2 Byte 下降沿采数结束之后,通过检测 SPI_CLK 的上升沿跳转至相应下一个状态。具体的状态机如图 3 所示。

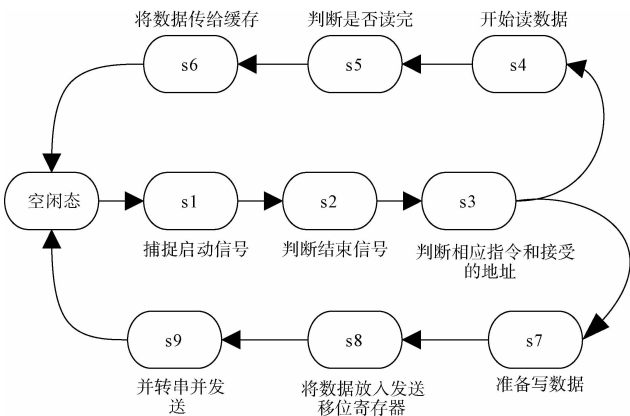


图 3 SPI 状态机

2.2 控制模块实现

2.2.1 控制模块的设计目的

准确的将 CPU 的指令解析并传输到各个模块中去,同时将计数的结果以及一些状态指令集传输给 CPU。

2.2.2 状态机设计

控制模块读写命令状态如图 4 所示。

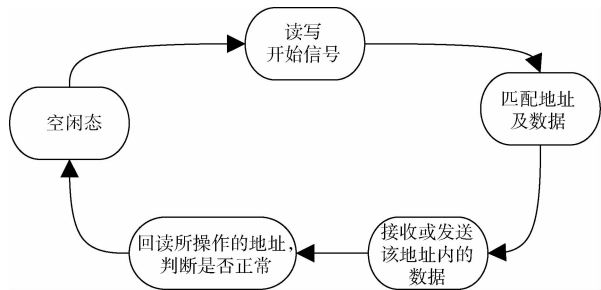


图 4 控制模块读写命令状态机

2.2.3 工作原理

控制模块处理 4 部分数据,首先是检测刚上电时的一些状态信息,包括是否通信正常、是否处于编程模式、判断曾经是否输出过等。

完成相关检测信息之后,开始进行 FPGA 初始信息配置。通过 SPI 接口接受 CPU 对 FPGA 的配置信息。同时设置配置信息标志位,在开始配置前有起始配置信号告知 FPGA 开始接受配置信息。配置信息主要由 16 Byte 组成,内容包括计

数器启动信息、工作模式、测频使能、存储、滤波等等。

配置完成之后收到配置结束信号同时开始发送数据指令,数据指令为 24 Byte,包括各种功能使能位以及一些复位信号。完成数据指令的发送之后,计数器开始按照配置要求工作。

计数完成之后,控制模块将会通过操作相关的数据寄存器回读数据(数据包括当前的计数值寄存器、存储值计数器、以及一些标志位或当前的输出状态)。这样就完成了一个完整的控制流程。在整个流程中为了防止传输出错,在每一次读写操作之后都会收到一个应答信号 status,此信号是当前在进行读写操作的地址,通过该应答信号可以保证数据的准确性。

表 2 控制模块指令信息 (Byte)

数据区名称	初始状态	配置信息	数据指令	回读数据
字节长度	8	16	24	14

2.3 计数模块

设计目的:实现计数、测频、编码等各种计数功能。

2.3.1 简单计数模式

功能说明:这种计数模式可以同时使用四路计数器计数,需要设置一个翻转值作为计数的上限,取值范围为 1~4 294 967 295(2³²-1)计数模块将会通过检测 A 通道上升沿计数,B 通道为高电平时做减法,为低电平时做加法;当计数到达该翻转值,翻转标识位会发生翻转。同时计数器回到零位并再次计数。每次用户计数达到翻转值,翻转标志位将会持续保持高状态,直到用户对清除翻转标志位使能,标志位才会返回低状态。图 5 所示为简单计数原理。

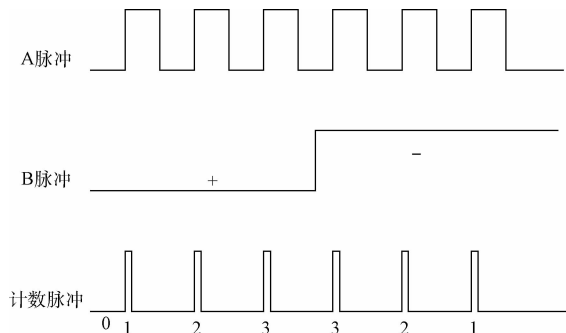


图 5 简单计数

2.3.2 测频模式

功能说明:在测频模式下,A 端输入频率信号,B 端和 Z 端不用。计数器记录 A 端频率信号在给定测频时间段内的脉冲个数,作为当前计数值上报 CPU,测频时间由用户指定,测频时间以 10 ms 作为时间基准单位。测频模式下,最大可测频率是 1.5 MHz,最小可测频率是 1 MHz。测频原理如图 6 所示。

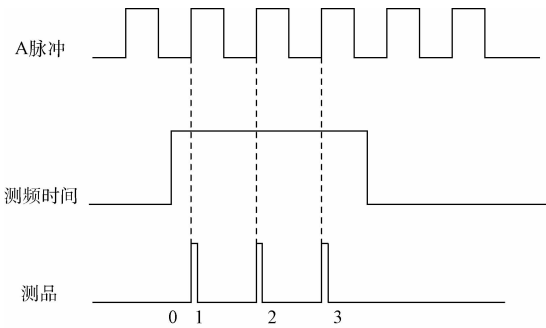


图6 测频模式

2.3.3 编码模式

功能说明:在编码模式 X1 时,A、B 端输入信号最高允许频率 1 MHz,保持 90°相位差。当 A 端超前 B 端 90°时,计数器加法计数,且在 A 端信号的上升沿到来时计数。当 B 端信号超前 A 端信号时,计数器减法计数,且在 A 端信号的下降沿到来时计数。图 7 和 8 分别为编码 X1 和编码 X4 模式的原理。

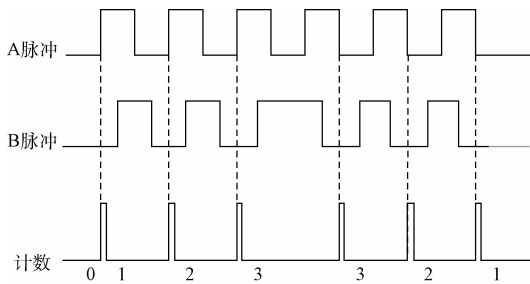


图7 编码 X1 的模式

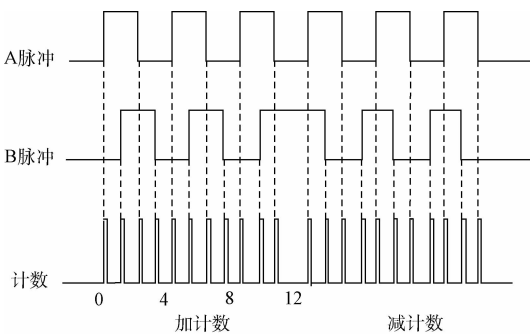


图8 编码 X4 的模式

2.3.4 计数器工作流程

计数器通过控制部分输入工作模式寄存器的值来确定具体计数器工作在何种工作模式。(00 为简单计数,01 为编码 X1 模式,10 为编码 X4 模式,11 为测频模式)。图 9 为具体的计数部分逻辑流程。

2.4 滤波模块

2.4.1 滤波原理

PI 计数器滤波功能有 6 种,设置有 5 个不同频率的滤波(460、230、115、58、40 kHz),默认设置为不启动滤波功能。

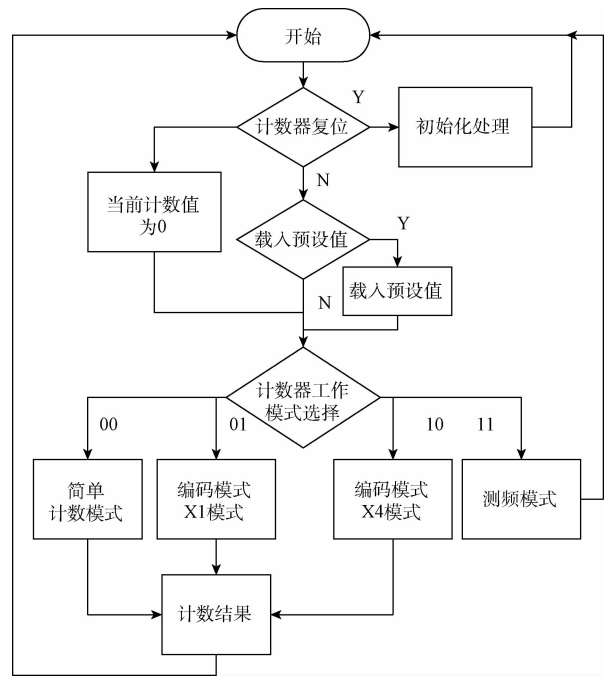


图9 计数模块逻辑流程

滤波原理(460 kHz 为例):通过设置不同的参数值选定以上频率,高于这个频率的信号将会被滤除,以 460 kHz 为例,通过计算得到 460 kHz 的时钟周期是 2.17 ms,所以设定的检测是否翻转的时间周期大约为 1.08 ms,FPGA 的时钟频率为 25 MHz,由此可知在具体实现中设置计数器计数到 27,判定是否反转。以此达到低通滤波的效果。其余的频率滤波的原理与之相同。滤波逻辑流程如图 10 所示。

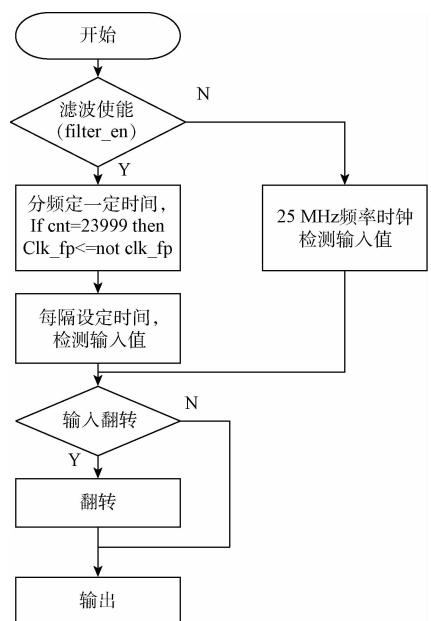


图10 滤波功能原理

3 调试结果及分析

以频率的大小和误差作为对计数结果的分析。

整个模块的 CPU 是国产 BM3105 芯片,通过解析 CPU 下发的数据帧来实现对频率的计数,脉冲产生由函数发生器设定,脉冲的电压幅值 16.00V_{pp},OFFSET(失调电压)2.00 VDC,占空比为 50%,通过观测 1 s 内计数模块检测到的脉冲个数来确定频率值。

图 11 和 12 分别为频率计数的结果,图中 cnt_out 的值为 1 kHz,2.8 MHz 频率的脉冲在 1 s 内的脉冲个数,由图可知计数得到的值分别为 1 000 个和 2 800 001,由此可

得到频率值。

频率误差 ppm 表示-每百万单位(parts per million)。在用作表示频率偏差时作为在一个特定中心频率下,允许的偏差值,频率以 Hz 为单位^[4]。ppm 和 Hz 之间的换算单位:

$$\Delta f = (f \times ppm) / 10^6$$

由以上原理可得到 ppm 的值是 0.357,可以准确的得到频率的计数值。

通过对 FPGA 板级调试验证,该模块可以较好的完成 CPU 与 FPGA 之间的通讯,在对较高频率的脉冲测试中可以保持较高的精度,同时也提高了 PLC 对外界计数输出的响应时间。

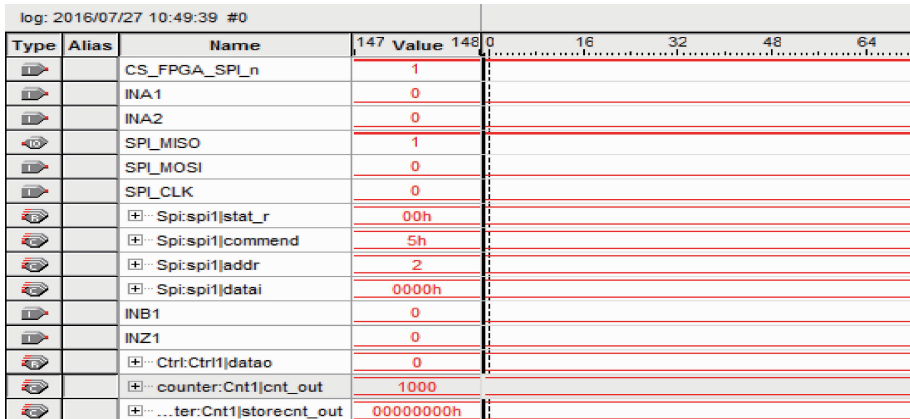


图 11 1 kHz 频率计数结果

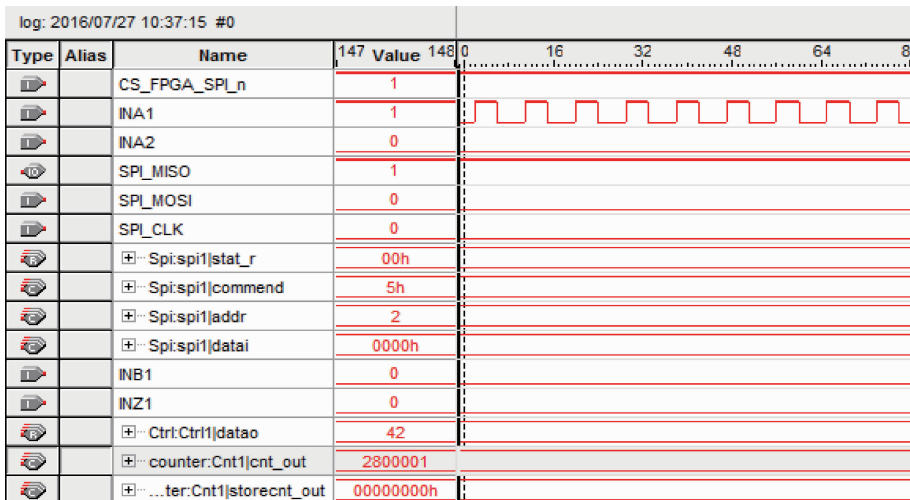


图 12 2.8 MHz 频率计数结果

4 结 论

本文论述了运用于工业控制现场的 PLC 高速计数模块的设计及实现过程,设计该高速计数模块的关键技术是多通道多模式的实现及频率的大幅度提升,该高速计数模块经过测试能够满足自动控制应用的要求,各项指标也均

符合预先的设计目标。

模块由于采用了高性能 FPGA,具有功耗低、体积小、设计灵活调试方便等优点,并且具有良好的扩展性。未来可以通过对相关程序和结构的优化进一步提升 FPGA 固件的功能,同时也可以进一步实现更多种类的计数功能和更强大的数据处理能力。

参考文献

- [1] 张炜,李克俭,蔡启仲,等. 基于FPGA的PLC并行计数器的设计[J]. 计算机测量与控制, 2013, 21(4):221-224,227.
- [2] 韦燕. 基于FPGA的SPI接口时序模拟[J]. 科技信息, 2010(21):79-80.
- [3] 张泽军,林平分. 基于FPGA的数据采集系统设计与实现[J]. 中国集成电路, 2012(6):44-48.
- [4] 杨江涛,邱畅. 基于FPGA的高速数据采集系统设计[C]. 亚太青年通信学术会议(2011 APYCC), 2011: 147-150.
- [5] 刘喜梅,陈亚斐,覃庆良. 基于DSP和FPGA的LVDS高速串行通信方案设计[J]. 电子测量技术, 2016, 39(7):178-182.
- [6] 邵磊,倪明. 基于FPGA的高速数据采集系统设计与实现[J]. 计算机工程, 2011, 37(19):221-223.
- [7] 金刚,徐志跃,周强. 基于FPGA的多功能数据采集模块设计[J]. 微计算机信息, 2012(8):61-63.
- [8] 徐祥,蒋哲,王威廉. 基于FPGA的高速数据采集、缓存与处理系统[J]. 电子测量技术, 2013, 36(4): 68-71.
- [9] 梁孟享,胡聪,盘书宝. 基于FPGA的高性能信号源模块设计[J]. 国外电子测量技术, 2012, 31(4): 64-67.
- [10] 王瑶,杨晓非. 基于FPGA的双路高速数据采集系统的设计[J]. 电子测量技术, 2011, 34(9):73-76.
- [11] 田泽,索高华,张荣华,等. 基于FPGA的AFDX网络高速数据采集器设计[J]. 电子技术应用, 2016, 42(8):179-182.
- [12] 陈一波,杨玉华,王红亮,等. 高速数据采集与光纤传输系统的设计与实现[J]. 电子技术应用, 2016, 42(10):73-76.
- [13] 张婉明,李琦,李金海,等. 基于ARM与FPGA的便携式GNSS信号采集回放系统设计[J]. 电子技术应用, 2016, 42(10):58-61.
- [14] 文峰,石峰,胡洪飞,等. 基于FPGA的高速数据采集系统设计[J]. 国外电子测量技术, 2008, 27(7): 32-35.
- [15] 李小虎,浦南江,李晓磊,等. 基于FPGA的高速数据采集系统设计[J]. 山西电子技术, 2011(4):5-6.
- [16] 杜冬,尹学峰,吉小军. 基于FPGA的脉冲信号发生/测试仪一体化设计[J]. 电子测量技术, 2015, 38(1):64-68.

作者简介

宋宇飞,1991年出生,硕士研究生,主要研究方向基于FPGA的空间高速通信的安全性,嵌入式等方面的研究。

E-mail:1195964517@qq.com

宋黎定,1963年出生,中国空间技术研究院研究员,硕士生导师,从事遥测遥控系统、数字信号处理方面的研究。

E-mail:songlidin@ncse.com

苗三立,1990年出生,硕士研究生,主要研究方向遥测遥控系统等方面的研究。

E-mail:miaosanli@ncse.com

王振,1992年出生,硕士研究生,主要研究方向遥测遥控系统等方面的研究。

E-mail:wangzhen@ncse.com