

DOI:10.19651/j.cnki.emt.2005355

# 基于FPGA的多视频接口的紫外成像系统设计

章挺 余飞鸿

(浙江大学 光电科学与工程学院 杭州 310027)

**摘要:** 设计的多视频接口紫外成像系统,支持通过USB3.0接口输出图像数据至PC上进行显示,并且创造性地提出通过MIPI CSI-2接口将图像数据输出至Hi3519处理器进行显示,同时提出了两种类型的接口转换方法。设计了成像系统的图像采集模块、通过现场可编程门阵列(FPGA)以硬件描述语言(Verilog)构建的图像处理模块、I<sup>2</sup>C通信模块以及接口桥接转换模块等,其中图像处理模块作为系统的主控核心模块,分别控制图像采集模块完成了图像信息的采集、控制I<sup>2</sup>C通信模块和接口桥接模块完成开发平台的实时显示,另外该系统针对平滑噪声的处理集成了双边滤波算法,并且设计了图像模式切换、HDR模式切换、图像缩放和图像翻转等多种功能。通过对系统进行测试和验证,结果系统能够稳定提供分辨率为2048×2040@44 fps的视频流,结果表明该系统且具备低功耗的优势,最终完成了紫外成像系统和专业领域应用的精准匹配。

**关键词:** 紫外成像;USB3.0;MIPI CSI-2;I<sup>2</sup>C;接口桥接;双边滤波算法;HDR

**中图分类号:** TP274+.2 **文献标识码:** A **国家标准学科分类代码:** 510.40

## Design of ultraviolet imaging system with multiple video interfaces based on FPGA

Zhang Ting Yu Feihong

(College of Optical Science and Engineering, Zhejiang University, Hangzhou 310027, China)

**Abstract:** The designed multi-video interface ultraviolet imaging system supports the output of image data to the PC for display through the USB3.0 interface, and creatively proposes to output the image data to the Hi3519 processor for display through the MIPI CSI-2 interface, and proposes two type of interface conversion method. Designed the image acquisition module of the imaging system, the image processing module constructed by the field programmable gate array (FPGA) and the hardware description language (Verilog), the I<sup>2</sup>C communication module and the interface bridge conversion module, among which the image processing module is the main control of the system. The core module controls the image acquisition module to complete the acquisition of image information, controls the I<sup>2</sup>C communication module and the interface bridge module to complete the real-time display of the development platform, and the system integrates bilateral filtering algorithms for smooth noise processing, and designs image mode switching, HDR mode switching, image zoom and image flip and other modes. Through engineering testing and verification of the system, the system can stably provide a video stream with a resolution of 2048×2040@44 fps. The results show that the system has the advantage of low power consumption, and finally completes the precise matching of ultraviolet imaging system and applications in professional fields.

**Keywords:** ultraviolet imaging; USB3.0; MIPI CSI-2; I<sup>2</sup>C; interface bridging; bilateral filtering algorithm; HDR

## 0 引言

嵌入式成像系统作为微型机器视觉领域的一个分支<sup>[1]</sup>,在实际生活和应用中起着不可或缺的作用。在电力传输过程中,电力线等输电设施受各种内部、外界的因素影

响,长期工作后会出现老化、断股、散股、缺陷、污秽等问题,并产生放电现象<sup>[2]</sup>,而研究结果表明放电产生的紫外光信号与放电电流信号有良好的一致性,放电辐射紫外光的强弱可以作为特征量表征放电的强弱,所以在实际应用中可以通过检测紫外辐射的强度来反映输电设施的损坏情况,

收稿日期:2020-11-13

便于设备维护人员及时检测和维修。另一方面,在刑侦领域中指纹常用作犯罪现场证据之一,指纹的唯一性和终身不变性使得指纹可以验证一个人的身份信息,在生物识别领域具有广泛的应用。汗潜指纹对紫外线有着特殊的反射、散射以及荧光特性,所以可以利用紫外波段对汗指纹进行提取,并且不污染现场和目标样本<sup>[3]</sup>。可见在电力检测、刑侦勘探等行业都需要使用到紫外光成像技术,但是目前研制紫外成像设备占据统治地位的公司均在国外<sup>[4]</sup>,分别是以色列 OFIL 公司和南非 CSIR 公司,造成了国内的紫外相机市场一直被垄断。不仅如此,紫外相机系统的研制和维护都需要投入巨大的人力物力成本,虽然其中不乏高校和企业一同合作研发<sup>[5]</sup>的嵌入式系统,但是也都还未达到市场产品的标准,所以目前国内的紫外相机研究资料比较匮乏。

随着微处理器为核心的片上系统(SoC)功能越来越大<sup>[6]</sup>,单片 SoC 能完成的功能越来越丰富,但是随着集成度提升的同时功耗问题也更多的被专业人士提及,换个角度来说,虽然在任务调度方面 SoC 能完成的工作堪称完美,但是功耗问题一直悬而未决,所以在保证系统功能完整性的条件下尽可能地降低功耗成了设计过程中的一道难题。

鉴于目前的市场情况,设计了一款多视频接口的紫外成像系统,能够实现紫外光和可见光波段成像,输出数据同时具有紫外光和可见光的图像信息,经过图像信号处理过后既可以通过 USB3.0 在 PC 端成像;同时,为了满足嵌入式设备中日益增长的实时高清图像传输的带宽要求,ARM 和 Motorola 等公司于 2003 年提出了移动产业处理器接口(mobile industry processor interface,MIPI)协议<sup>[5]</sup>,该系统也支持通过 MIPI CSI-2 接口输出至 Hi3519 处理器进行处理并显示。该多视频接口的紫外成像系统不仅满足了紫外成像的基本需求,同时,对应不同市场需求可以选择合适的后端接口来进行适配,在保证功能完整的同时兼顾了功耗的优化,完成了紫外成像系统和专业领域应用的精准匹配。

## 1 系统架构

考虑到 FPGA 在逻辑资源和数据处理能力优势明显,因此选用 FPGA 作为系统主控制器<sup>[7]</sup>。所以本文提出的一款基于 FPGA 的多视频接口的紫外成像系统,具有同时对紫外波段和可见光波段成像的特点,并且支持 USB3.0 和 MIPI CSI-2 两种类型的后端数据传输接口,满足不同开发平台的适配。如图 1 所示,系统主要由图像采集模块、图像处理<sup>[8]</sup>模块、I<sup>2</sup>C 通信模块以及接口桥接转换<sup>[9]</sup>模块构成。

当系统选用 PC 作为后端开发平台时,此时 USB3.0 接口作为后端的传输接口,PC 通过 USB3.0 接口控制成像系统的启动和暂停,同时进行其他参数功能的调节,基于 Cypress 公司的 Cypress3014 芯片进行指令的解析,并且通

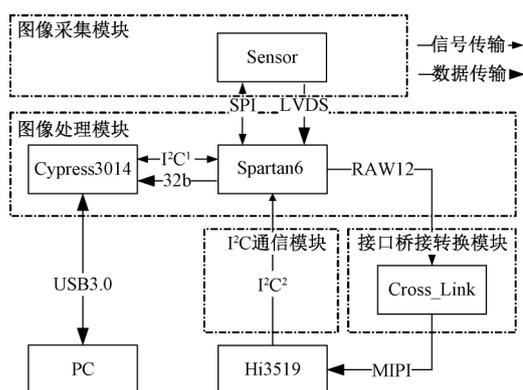


图 1 系统结构

过 I<sup>2</sup>C<sup>1</sup> 同步串行总线和 Xilinx 公司的 Spartan6 芯片进行信号交互,完成初始参数的配置,等待 Spartan6 芯片对图像采集模块配置完成后接收由 CMOS 输出的 LVDS 接口<sup>[10]</sup>类型高速串行数据信号,进一步通过图像处理模块的解析和缓存后转换成 32-b 并行数据通过 Cypress3014 缓存模块,最后传输至 PC 端进行显示。

当系统选用 Hi3519 处理器作为后端开发平台时,此时 MIPI CSI-2 接口作为后端传输接口,系统启动阶段需要 Cypress3014 芯片作为系统的初始化芯片,将初始化参数通过 I<sup>2</sup>C<sup>1</sup> 同步串行总线对 Spartan6 进行配置,配置内容包括图像分辨率的配置、曝光时间的设定、图像帧率和增益的设定以及图像模式的设定,同样也需要对图像采集模块进行配置完成 LVDS 高速串行数据信号的输出,在经过图像处理模块的预处理之后得到 RAW12 格式类型的数据传输给接口桥接转换芯片 Cross\_Link,在 Lattice 公司 Cross\_Link 芯片的处理后转换成 MIPI CSI-2 类型的数据传输给 Hi3519 处理器进行数据的接收和显示。同样,需要注意的是 Hi3519 处理器需要通过 I<sup>2</sup>C 通讯模块的 I<sup>2</sup>C<sup>2</sup> 同步串行总线对 Spartan6 进行在线实时配置,所以在图像采集模块配置完成之后会有一个 I<sup>2</sup>C 控制权转让操作,即将 Spartan6 的 I<sup>2</sup>C 使能信号从 I<sup>2</sup>C<sup>1</sup> 转移至 I<sup>2</sup>C<sup>2</sup>,便于 Hi3519 处理器的实时调控和图像模式切换。

图像采集系统的启动流程如图 2 所示,两种接口系统的启动流程比较相似,都是基于 Cypress3014 芯片通过 I<sup>2</sup>C<sup>1</sup> 同步串行总线对整个系统进行初始化,完成图像采集模块的配置,至此启动过程完全一致。但是,当图像采集模块配置成功后,采用 MIPI CSI-2 接口传输系统会使能 Cypress3014 芯片进入低功耗模式,并且将 I<sup>2</sup>C 同步串行总线的控制权进行切换,后续的图像处理过程中 Spartan6 完全仅受 Hi3519 处理器的控制。

### 1.1 图像采集模块

图像采集模块设计独立于图像处理模块,如图 3 所示,图像采集模块主要由图像传感器和电源模块构成,其中选用的 CMOS 图像传感器为 GPixel 公司的 GSENSE2020BSI,感

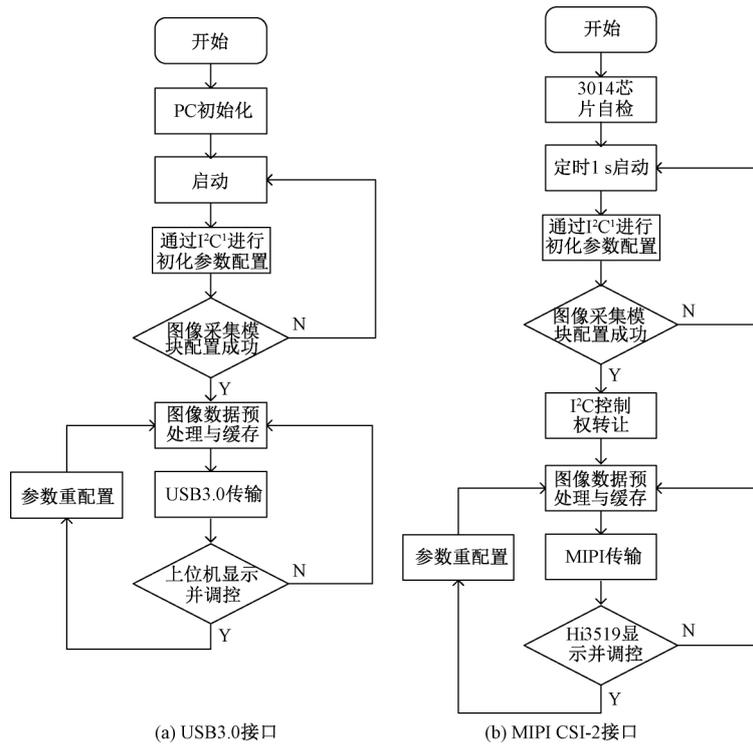


图 2 系统启动流程

光范围达到 200~1 100 nm,同时为了降低功耗将图像传感器原内置的驱动单元移植至 Spartan6 实现,通过接插件和图像处理模块连接,受图像处理模块的控制开启和暂停图像的采集,图像采集模块通过 LVDS 串行高速接口将数据传输给图像处理模块。

图像采集模块的物理结构对应图像传感电路板,图像处理模块对应主电路板,两块电路板中间通过 2 个 60 pin 口的接插件相连,通过接插件可以完成主电路板和图像传感电路板之间的信号交互。在系统上电初始化之后,紧接着是图像采集模块的配置阶段,主电路板通过接插件提供 CMOS 需要的差分时钟信号、时序控制信号、电源控制信号和地址控制信号共同来决定 CMOS 的工作时序,CMOS 在控制信号的驱动下产生相应的 LVDS 数据信号传输给 Spartan6 进行数据处理,完成图像处理模块的预处理部分。并且 CMOS 和 Spartan6 之间通过 SPI 串行总线<sup>[11]</sup>进行通信,既可以配置 CMOS 的寄存器参数,也可以通过读取 CMOS 内部寄存器的值来确定其工作状态。

### 1.2 图像处理模块

图像处理模块上集成 Cypress3014 芯片、Spartan6 系列芯片、FLASH 芯片以及电源芯片,Cypress3014 芯片的作用在于匹配 USB3.0 接口和 Spartan6 进行通信,通过 Cypress3014 芯片内部的 GPIF-II 可编程接口在 SlaveFIFO\_Sync 模式下可以和 Spartan6 进行数据传输,将 Spartan6 输入的 32-b 并行数据在芯片内部处理后通过 USB3.0 串

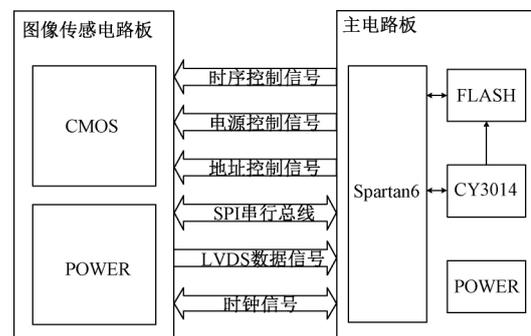


图 3 图像采集模块结构

行接口发送到 PC 端进行接收。另一方面,Cypress3014 芯片作为系统初始化的配置芯片将默认参数写入 Spartan6 芯片,配置图像处理模块正常工作。

当然,FPGA 逻辑控制单元是系统的核心部分<sup>[12]</sup>,利用硬件描述语言 Verilog 在 FPGA 上能够实现各种硬件功能,除了最基本的存储功能外,FPGA 还提供接口对接、图像信号处理等能够在硬件上直接实现的功能。本文中在 Spartan6 主控芯片上完成的工作主要是图像采集模块的配置以及图像的预处理,如图 4 所示图像预处理又包括 LVDS 数据解析和匹配(Deserialization),图像模式的选择(Test pattern/Fv generation)、图像的拼接模块(HCG splice/LCG splice)以及数据类型匹配模块(FIFO),可通过选择模块(Switch case)选择实现的功能模块有图像的

HDR(high dynamic range)<sup>[13]</sup>功能、图像的 2×2Binning 功能、基于平滑噪声的角度实现了双边滤波算法功能。

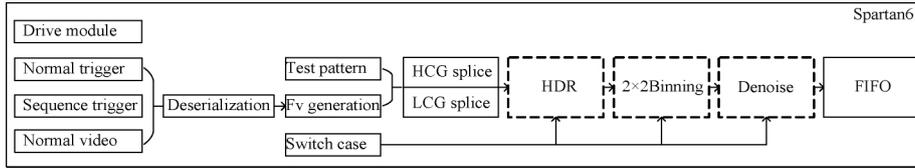


图 4 图像预处理流程

成像系统支持 3 种启动模式: Normal trigger/Sequence trigger/Normal video,之所以提供 3 种启动模式是为了满足不同的需求。在一般情况下,正常启动后就会直接进入视频模式也即 Normal video 模式,但是另一种情况下,比如在刑侦进行指纹拍照留作证据的情况下,触发功能就是必要的,在最佳的拍摄条件下拍摄单帧图片并且通过专用图像传输接口传输至后台进行保存。其中触发模式又分为两种,一种是普通的触发模式 Normal trigger,当设定好曝光时间和增益条件后,就可以进行相应的触

发,支持单帧触发也可以连续多帧触发;另一种特殊的触发模式是 Sequence trigger,可以对触发的图像进行逐帧曝光时间和增益条件的设置,主要的应用场景是在液晶可调谐滤波器为前置采集镜头的条件下,需要使用该模式设置不同波段下成像不同质量的图像,最后完成包含紫外波段的宽光谱成像仪。另外,为了使用方便,借助 Verilog 实现了用户自定义 IP 核,可配置内容有 CMOS 工作模式、参数更新时刻、曝光时间和增益大小设置、曝光时间和增益地址设置,支持对上述参数进行预配置,如图 5 所示。

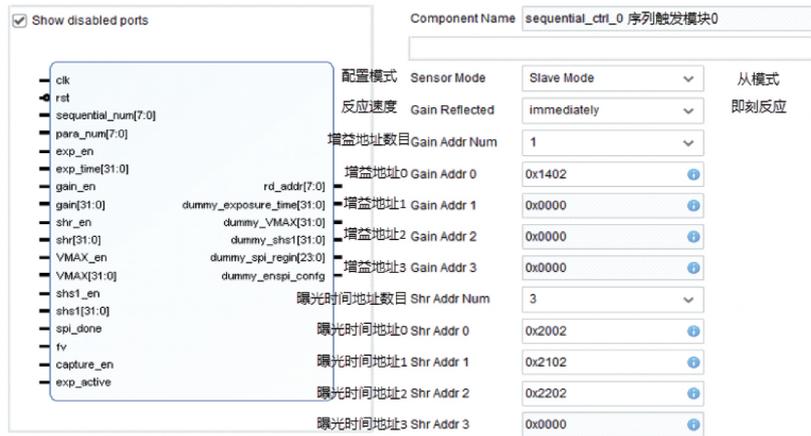


图 5 Sequence trigger IP 配置界面

### 1) LVDS 数据解析和匹配

LVDS 数据解析和匹配 (Deserialization) 完成 LVDS 串行信号的接收和解串,将 LVDS 高速串行信号转换成在 Spartan6 内部方便处理的并行数据信号,在解串行化的过程中需要进行像素数据的匹配,使用 Spartan6 的 IO 口内置的 Bslip 功能进行数据的移位,排除传输过程中通道的串扰造成的图像数据的错乱情况。

### 2) 图像模式选择

图像模式的选择提供了两种图像输出模式: Test pattern 和 Fv generation,其中主要区别就是 Test pattern 输出的是测试图像,最具有代表性的是行渐变图像和列渐变图像,主要用作图像准确性调试或者 FPGA 功耗测试中;Fv generation 输出的就是正常曝光的图像,实际常用的输出模式就是后者。

### 3) 图像拼接模块

图像的拼接模块(HCG splice/LCG splice),需要注意

的是 CMOS 同时输出 8 对 LVDS 差分信号,其中 4 对 LVDS 差分信号传输的是高转换增益(HCG)图像,另外 4 对 LVDS 差分信号传输的是低转换增益(LCG)图像,也就是说对应同一曝光时间 CMOS 会同时输出两幅不同增益的图像供用户选择。在 Spartan6 完成 LVDS 数据的解析后,在图像的拼接模块进行图像分区域的拼接,首先拼接是以行为单位的拼接,即先将 4 通道的像素拼接成完整的一行像素,然后再逐行输出,最后拼接成完整的一帧图像。但是,前人有提出使用卷积神经网络来进行图像处理<sup>[14]</sup>,其中就可以完成图像的拼接功能。基于本设计中拼接的衔接部位较固定的情况,直接采用 FPGA 进行硬件拼接能够提高拼接的效率,另一方面也节省硬件逻辑资源。

图像的 HDR 功能,目的是将 HCG 和 LCG 图像联合输出,提高图像的对比度,其中的关键技术就是利用有限状态机(Fsm\_state)<sup>[15]</sup>实现的。如图 6 所示,首先将 LCG Splice/HCG Splice 输出的数据以行为单位分别存储至两

个 FIFO 中,一共需要使用 4 个 FIFO 来实现全流程,两个 FIFO 的作用在于采用 Ping-Pong 操作缓存相邻行,将奇数行有效数据存储在 FIFO0/FIFO2 中,然后将偶数行有效数据存储在 FIFO1/FIFO3 中,可以在存储偶数行有效数据的时候读出奇数行的有效数据进行排序,并且奇偶行数据信号互不干扰。当然,需要注意的是,在同一时间段内,写入 FIFO 的时间是固定的,但是读出的数据量是同一时间写入

数据量的 2 倍,所以在这里的读时钟是写时钟的两倍关系,这样为了保证数据的完整性。FPGA 内部的 DCM(digital clock manager)能够支持提供无抖动(No-jitter)的时钟,在普通模式和 HDR 模式实时切换的过程中,使用到的时钟信号借助 BUFMUX 原语能够很好地实现同步时钟之间的切换,保证切换的时钟依然具有很好的精度,能够在数据中间位置对数据进行采样,保证了图像数据的完整性。

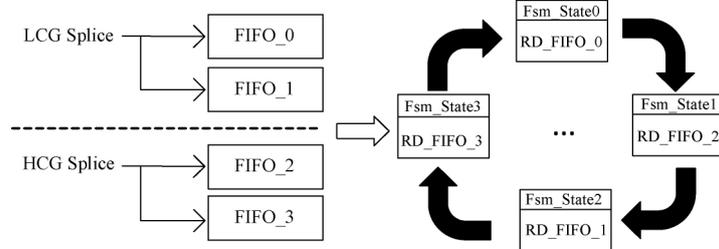


图 6 HDR 实现流程

普通模式下的视频流为  $2\ 048 \times 2\ 040 @ 44\ \text{fps}$ ; 在 HDR 功能处理后得到  $2\ 048 \times 4\ 080 @ 44\ \text{fps}$  的视频流,该

模式下能够在 Hi3519 处理器接收端进行高增益图像功能的应用,如图 7 所示。

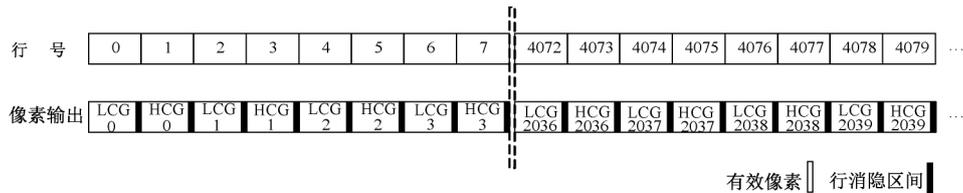


图 7 HDR 模式像素数据输出

如图 8 所示,通过各模式输出图像对比可以看出 LCG 模式对应更多的图像细节,FWC(full well capacity)具有优势,HCG 模式输出的图像读出噪声比较小,能获得高对比度图像,经过处理后的 HDR 模式结合了前面两者的优点,提升了对单一画面、不同部位,特别是明暗亮度相差较大的部位的细节展示能力。

4) 双边滤波算法

在图像处理中关于滤波的算法有很多种,最常见的有 高斯滤波、中值滤波、递归滤波和小波降噪等算法,然而大多数方法设计较为复杂,需要人工设置相关算法的参数,在准确性和自动化程度方面依然达不到工业上的应用要求<sup>[16]</sup>。

考虑系统时序要求和算法最终的效果等因素,本文实现的双边滤波算法是基于高斯滤波的,不同的是双边滤波函数中有两个高斯核,分别为空间域滤波核函数和灰度滤波核函数,其中空间域滤波核函数是关于邻域像素点与中心像素点的距离的函数,体现了空间邻近度因子;灰度滤波核函数是关于邻域像素点与中心像素点像素差值的函数,体现了灰度相似度因子。双边滤波公式中,图像  $I$  在坐标点  $p = (x, y)$  的灰度值为  $I_p$ , 滤波后得到的图像  $BI$  在坐标点  $p$  的灰度值为  $BI_p$ , 则:

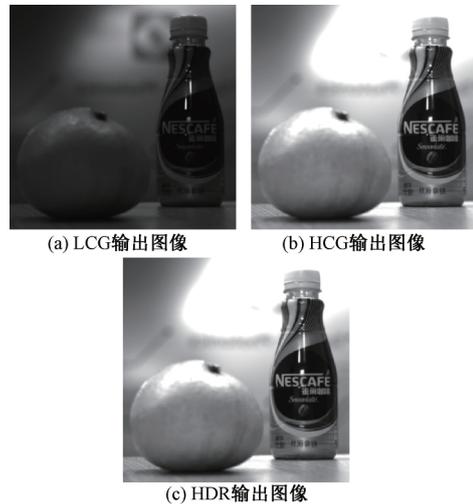


图 8 各模式输出图像对比

$$BI_p = \frac{1}{W_p} \sum_{q \in S} G_{\sigma_s}(|p - q|) G_{\sigma_v}(|I_p - I_q|) I_q \quad (1)$$

$$W_p = \sum_{q \in S} G_{\sigma_s}(|p - q|) G_{\sigma_v}(|I_p - I_q|) \quad (2)$$

式中:  $q = (u, v)$  为中心像素  $p$  的邻域像素点;  $S$  为邻域像素点集合;  $W_p$  为归一化因子;  $G_{\sigma_s}$  为空间邻近度因子;

$G_{\sigma_s}$  为灰度相似度因子;  $G_{\sigma_s}(|p - q|)G_{\sigma_r}(|I_p - I_q|)$  为权重函数。

$$G_{\sigma_s}(|p - q|) = e^{-\frac{|(x-u)^2 + (y-v)^2|}{2\sigma_s^2}} \quad (3)$$

$$G_{\sigma_r}(|I_p - I_q|) = e^{-\frac{|I_p - I_q|^2}{2\sigma_r^2}} \quad (4)$$

式中:  $\sigma_s$  为基于高斯函数的距离标准差, 决定了  $G_{\sigma_s}$  的作用广度;  $\sigma_r$  为高斯函数的灰度标准差, 决定了  $G_{\sigma_r}$  的作用广度。双边滤波器的“保边”原理在于, 双边滤波器在图像不同特性的区域有不同的响应<sup>[17]</sup>。

双边滤波算法中关于的关键技术是基于卷积来完成的, 由于要对图像进行空间域滤波, 所以需要为图像中的每个像素都构造一个以其为中心像素的具有一定大小的邻域窗口, 其中邻域窗口的生成是重点之一。如图 9 所示, 综合考虑到芯片资源以及降噪效果采用了  $5 \times 5$  大小的邻域窗口, 具体实现方法是利用 Spartan6 中的 RAM 资源进行行缓存, 一共需要缓存 4 行才能完整地构成一个  $5 \times 5$  的邻域窗口, 同时对于包含权重信息的滤波器采用分段量化的硬件实现思路, 利用上位机实时地传输权值信息至 RAM 资源中, 双边滤波器中的权值采用查找表的方式产生。将滤波器窗口中的权重和邻域窗口内相应像素相乘并将所有乘积相加, 卷积后的结果做归一化, 得到中心像素的新像素值。

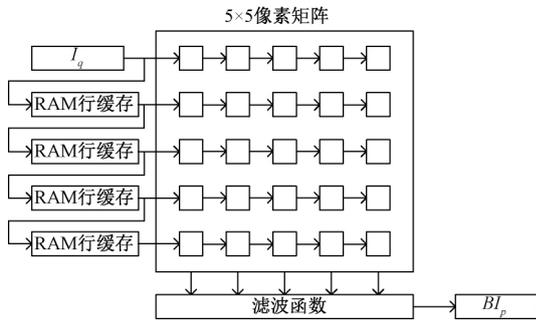


图 9 构造邻域窗口

采用了硬件并行处理的优点, 使得图像处理时间极大的缩短, 就本文方案计算: 图像的第 1 个像素到通过双边

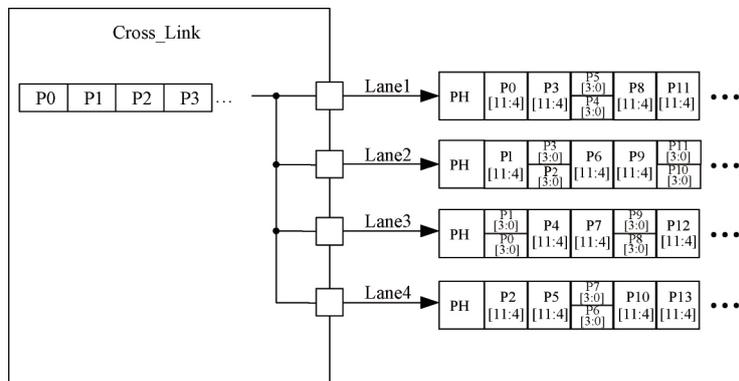


图 10 MIPI CSI-2 4 Data\_Lane 输出数据格式类型

滤波算法得到的第 1 个像素中间的时间间隔就是 4 行 RAM 的缓存时间, 忽略 RAM 读写的时间延迟<sup>[18]</sup>, 实际计算得到单行的时间延迟为  $11.2 \mu s$ , 总共需要的时间延迟就是  $44.8 \mu s$ , 与人眼的反应延迟相比可以忽略不计, 即图像处理是实时完成的。

### 1.3 I<sup>2</sup>C 通信模块

I<sup>2</sup>C 通讯模块包含两个部分: I<sup>2</sup>C<sup>1</sup> 和 I<sup>2</sup>C<sup>2</sup>, I<sup>2</sup>C<sup>1</sup> 主要关联 Cypress3014 和 Spartan6 芯片, 一方面是为了用作初始化参数的配置, 在相机正常运行过程中, 上位机可以将参数通过 I<sup>2</sup>C<sup>1</sup> 实时传递给 Spartan6, 另一方面是为了验证 CMOS 配置的寄存器参数是否正确, CMOS 一共有 256 个寄存器参数需要配置, 这里还需要通过 I<sup>2</sup>C<sup>1</sup> 通道读出 CMOS 内部已经配置寄存器参数进行进一步地验证。

同样, I<sup>2</sup>C<sup>2</sup> 在系统中也起着至关重要的作用, 在 MIPI CSI-2 接口系统的启动流程图有一个 I<sup>2</sup>C 控制权转让环节, 指示地就是当通过 I<sup>2</sup>C<sup>1</sup> 完成初始化参数配置过程后, Cypress3014 在这之后使能进入低功耗模式, 继而将 I<sup>2</sup>C 的控制权交给 Hi3519 处理器中, 可以实现通过 I<sup>2</sup>C<sup>2</sup> 进行曝光时间、增益和帧率等参数的控制, 进而完成自动曝光、普通模式和 HDR 模式切换等功能。

### 1.4 接口桥接转换模块

接口桥接转换模块主要是通过 Cross\_Link 芯片实现的, Spartan6 芯片输出 RAW12 格式的图像数据, 传输至 Cross\_Link 芯片转换成 MIPI CSI-2 数据类型格式输出, 并且在 Hi3519 处理器进行图像数据的接收。

使用到的 MIPI CSI-2 的物理层为 D-PHY, 由 4 对差分 Data\_Lane 和 1 对差分 Clock\_Lane 组成, 采用低压差分信号可以降低电磁信号干扰以及使用更少的信号数目, 节约电路板布线面积和减少功耗损耗。并且由于 MIPI CSI-2 协议规定只能以字节为最小单位进行传输, 所以在传输过程中组包层会对图像数据进行拼接处理, 将原来的 12-b 数据信号通过高 8-b 和低 4-b 的分解方式进行拆分, 高 8-b 数据满足传输条件正常传输, 同时将两个相邻的低 4-b 数据拼接成完整的字节进行传输, 如图 10 所示。系统中同时使用 4 对 Data\_Lane 进行传输, 即能够使用最大的传输带宽, 意味着可以传输更大帧率的视频流。

系统的资源占用量如表 1 所示,可见在 Spartan6 中集成了双边滤波算法需要占用较多的 DSP 专用资源外, Spartan6 中其余资源的利用率基本都没有超过 50%,因此通过硬件算法加速基于“资源换取时间”的思想下完成整个图像处理模块,不仅提高了图像处理的运行速度,并且可保证在资源总量不变的条件下加入更多的功能。

表 1 系统资源占用量

资源类型	使用量	总量	占用百分比/%
LUT	18 920	54 576	34
FF	16 214	27 288	59
BRAM	36	116	31
DSP	52	58	89
IOB	127	218	58
BUFG	10	16	62
PLL	2	4	50

## 2 结 论

设计采用 Spartan6+Cypress3014+Cross\_Link 芯片构成的硬件处理平台,完成了图像传感器的驱动,添加图像处理的多功能模块完成图像数据的拼接和存储,实现双边滤波算法、图像模式切换、HDR 模式切换、图像缩放和图像翻转等多种功能。为满足不同地使用条件,适配了 USB3.0/MIPI CSI-2 的数据传输接口,且都能够完成图像的传输和显示,相比于传统应用较多的 USB3.0 接口,本文创新性地提出了 MIPI CSI-2 接口解决方案不仅在传输带宽上有了很大的提升,并且在系统功耗方面也得到进一步地优化。最终,经过完整性地系统功能测试以及验证,采用 USB3.0 接口时整个相机的功耗为 3.4 W,当采用 MIPI CSI-2 接口时整个相机的功耗降低至 2.1 W,功耗降低了约 40%。并且该多视频接口的紫外成像系统能够稳定提供分辨率为 2 048×2 040@44 fps 的视频流,并且为高清视频应用领域提供了一个良好的解决方案。

### 参考文献

- [1] 李宣东,于戈. 嵌入式系统软件设计方法与技术专利前言 [J]. 软件学报, 2014, 25(2): 177-178.
- [2] 赵太飞,李晗辰,张港. 无人机巡检电力线放电的紫外探测及定位 [J]. 光学精密工程, 2019, 27(11): 2296-2304.
- [3] 庾金涛,李清灵,李磊,等. 指纹紫外光谱特性研究及变化规律分析 [J]. 光谱学与光谱分析, 2019, 39(12): 3705.
- [4] 李介胜. 日盲型紫外成像领域中国专利申请状况分

- 析 [J]. 科技创新导报, 2018, 15(14): 83-85.
- [5] 李先友,赵曙光,段永成,等. 基于 FPGA 的实时 MIPI CSI-2 图像采集与处理系统 [J]. 电子技术应用, 2019, 45(1): 97-100.
- [6] 胡锦,谢立红,邹望辉,等. 基于低功耗 SoC 的微型图像采集系统设计 [J]. 湖南大学学报(自然科学版), 2019, 46(2): 86-91.
- [7] 乔卫东,李跃,郭梁. 航空航天相机成像性能测试系统研究 [J]. 电子测量与仪器学报, 2020, 34(9): 9-16.
- [8] HU B, CHEN X. Design of CMOS imaging system based on FPGA [C]. Society of Photo-Optical Instrumentation Engineers (SPIE) Conference Series, 2017, DOI: 10.1117/12.2285248
- [9] 周文俊,徐德刚,李勇刚,等. 基于 Zynq 的 PCI Express 接口设计与实现 [J]. 控制工程, 2017, 24(8): 1603-1610.
- [10] 李大鹏,李雯,王晓华. 基于 FPGA 的高速 LVDS 接口的实现 [J]. 航空计算技术, 2012, 42(5): 115-8.
- [11] 董雪. 基于 FPGA 的 SPI 与 IIC 总线通信系统的设计与实现 [D]. 银川:宁夏大学, 2017.
- [12] 张永昊,宋华军,吴玉兴. 基于 FPGA+DSP 的 SDI 高清图像处理系统 [J]. 国外电子测量技术, 2019, 38(9): 28-33.
- [13] 郭剑桥. 多曝光融合算法研究及 HDR 图像合成与色调映射算法设计实现 [D]. 合肥:中国科学技术大学, 2016.
- [14] 蓝金辉,王迪,申小盼. 卷积神经网络在视觉图像检测的研究进展 [J]. 仪器仪表学报, 2020, 41(4): 167-182.
- [15] 谭同超. 有限状态机及其应用 [D]. 广州:华南理工大学, 2013.
- [16] 张魏魏,张平,唐妙奇. 应用自适应双边滤波的车载摄像头表面瑕疵检测 [J]. 电子测量技术, 2019, 42(20): 148-151.
- [17] 宫珊. 基于 FPGA 的实时图像采集处理显示系统 [D]. 成都:电子科技大学, 2017.
- [18] 齐佳硕,王洪岩. 基于 FPGA 的 SDRAM 接口设计及实现 [J]. 电子测量技术, 2018, 41(19): 141-144.

### 作者简介

章挺,硕士研究生,主要从事基于 FPGA 的嵌入式系统设计的研究。

E-mail: 21830054@zju.edu.cn

余飞鸿(通信作者),博士,教授,博士生导师,主要从事光学设计、图像处理方面的研究。

E-mail: feihong@zju.edu.cn