

DOI:10.19651/j.cnki.emt.2106367

多通道固态存储器测试系统设计与研究^{*}

李张倩^{1,2} 马银鸿^{1,2} 洪应平^{1,2} 刘文怡^{1,2} 熊继军^{1,2} 张会新^{1,2}

(1. 中北大学 电子测试技术国家重点实验室 太原 030051; 2. 仪器科学与动态测试教育部重点实验室 太原 030051)

摘要: 针对现有存储器测试系统测试通道少、被测存储介质种类单一和自动化程度低的问题,设计了一种通用自动化存储器测试系统。系统由上位机、硬件测试电路和千兆以太网组成。上位机在 VS2015 环境下开发,对系统下发测试指令并显示测试结果,硬件测试电路完成对存储介质数据的读取及回传,千兆以太网实现两者数据的高速交换。本系统可以对多路 SATA 接口和 ONFI 接口的存储器进行性能测试,从而提高了存储器的测试效率,降低了测试成本。多次实验结果表明,该系统具有良好的环境适应性和可扩展性,在航天领域有较高的工程应用价值。

关键词: 存储器;自动化;千兆以太网;SATA;ONFI;可扩展性

中图分类号: TP29 **文献标识码:** A **国家标准学科分类代码:** 510.1010

Design and research of multichannel solid state memory testing system

Li Zhangqian^{1,2} Ma Yinong^{1,2} Hong Yingping^{1,2} Liu Wenyi^{1,2} Xiong Jijun^{1,2} Zhang Huixin^{1,2}

(1. State Key Laboratory of Electronic Testing Technology, North University of China, Taiyuan 030051, China;

2. Key Laboratory of Instrument Science and Dynamic Testing, Ministry of Education, Taiyuan 030051, China)

Abstract: Aiming at the problems of less test channels, single type of measured storage media and low degree of automation in the existing memory test system, a universal automatic memory test system was designed. The system consists of upper computer, hardware test circuit and gigabit ethernet. The upper computer is developed under the environment of VS2015, and sends test instructions to the system and displays test results. The hardware test circuit completes the reading and return of data from the storage medium. The gigabit Ethernet realizes the high-speed exchange of data between the two. This system can test the performance of the memory with SATA interface and ONFI interface, so as to improve the testing efficiency of the memory and reduce the testing cost. The results of many experiments show that the system has good environmental adaptability and expansibility, and has high engineering application value in aerospace field.

Keywords: memory; automation; gigabit ethernet; SATA; ONFI; scalability

0 引言

固态存储器作为半导体器件中不可或缺的组成部分,其应用范围覆盖了各个领域。随着集成电路的快速发展,现有的固态存储器件也向着高密度、大容量的方向发展,存储芯片内部晶体管的数量往往高达上亿个。更小的面积、更多的晶体管数量给存储器带来了各种好处,如更低的工作电压和更高的速度,同样也带来了一定的坏处——过于密集的晶体管使得存储器件发生各种各样的物理故障或者缺陷的概率大大提高^[1-2]。存储器作为电子系统中重要的组成部分,其故障或失效不仅会导致经济损失,在航天航空领域或军事国防领域甚至可能带来灾难性的后果^[3-5]。因

此,为了保障系统的稳定性、安全性,在使用存储器前对其进行全面的测试就显得尤为重要。

当前国内存储器测试平台与国外技术相差较大,最明显的特征就是检测通道数量少,被测存储介质种类单一,自动化测试程度低。无法满足对不同类型的存储器批量测试。面对市场多元化的需求,本文设计了自动化通用固态存储器测试系统。该系统以 FPGA 控制器为核心,能够测试多款以 SATA 接口和 ONFI 接口的存储器。本系统具有操作简单、使用灵活、可靠性高、易于扩展的特点。

1 存储器测试系统的总体设计

多通道固态存储器测试系统由人机交互界面、测试

收稿日期:2021-04-12

^{*} 基金项目:国家自然科学基金青年科学基金(51705475)项目资助

任务应用层、设备驱动层、硬件设备层4部分组成。该系统能同时对多个不同类型的存储器进行读写速度、容量、误码率和坏块测试,通过上位机实时监测及显示测试结果,从而验证存储器性能的好坏。该系统总体结构如图1所示。软件设计由工控系统的人机交互界面和测试任务应用层构成,人机交互模块主要是工控计算机用于系统检测及界面显示;测试任务应用层(上位机)通过软件代码编写对硬件设备下发测试命令,以及测试信息的处理和保存;硬件设备主要包括DDR3数据缓存器、FPGA控制器、USB以太网接口、存储器接口。

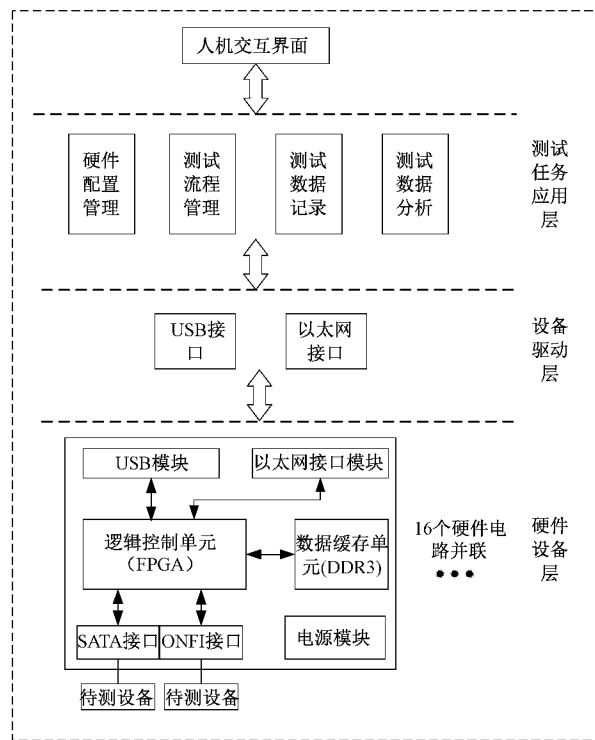


图1 系统总体结构

2 系统主要硬件电路设计

系统经上位机下发测试指令后,通过FPGA解析并发送读写控制指令缓存到DDR3,在通过SATA、ONFI接口存入存储器,测试完成通过千兆以太网回传至上位机进行解析和处理。

2.1 FPGA选型及高精度时钟设计

多通道固态存储器测试系统中,FPGA作为系统的控制核心,能够为系统提供强大的可重构能力,所以选择合适的FPGA尤为重要。综合考虑系统性能和成本,本设计选用了XILINX公司Kintex-7系列的XC7K325T-2FFG900I芯片,该芯片具有高性能^[6],低功耗(HPL)的优点^[7-8],具有丰富的逻辑资源,能够满足系统要求。

整个硬件系统的时钟由不同高精度外部晶振提供,通过FPGA内部的新型混合模式时钟管理器MMCM模块和

QPLL模块生成各个模块所需要的时钟,并对复杂时钟进行有效管理,以确保数据的可靠接收、传输与存储。本系统设计的时钟树如图2所示。

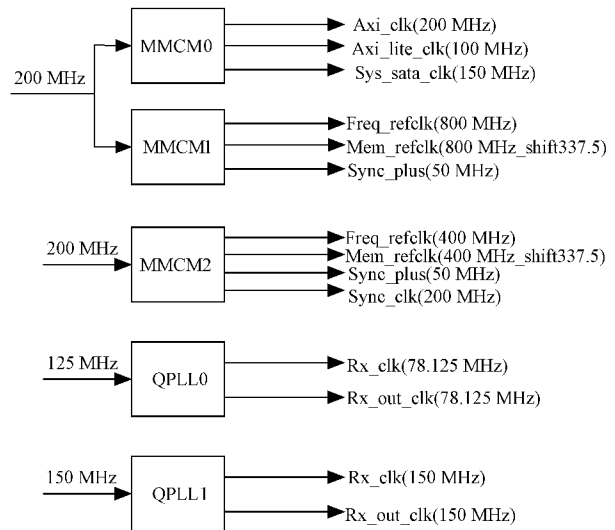


图2 K7-FPGA时钟树设计

2.2 电源模块设计

在本系统中,首先通过AC/DC模块将220 V的交流电压变为12 V直流电压,经EMI滤波模块^[9]保证电源的质量,通过电源转换芯片LTM4620和LTM4644将12 V电源电压转换为各个电路模块所需的电压值。FPGA的CORE电源、DDR3颗粒电源和DDR3所需要的FPGA Bank电源模块由LTM4620芯片供电,其它模块所需电源由LTM4644芯片来实现。电源模块设计如图3所示。

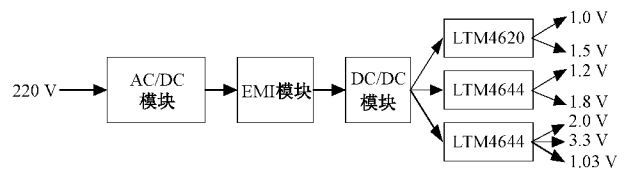


图3 电源模块设计

2.3 DDR3数据缓存模块设计

根据被测存储介质容量大的特性,该系统在高速传输时,需要采用外部存储芯片进行缓存,DDR3 SDRAM因其极高的性价比成为首选外部存储芯片。DDR3缓存器能够在—个数据周期中,对—个时钟周期的上升沿和下降沿分别进行两次数据读取操作,可以使存储器测试系统的测试速率得到整体提高。为了简化系统设计,降低研究人员的开发周期和T.作量,设计采用Xilinx公司提供的DDR3 IP核MIG^[10-11]。

本设计选用了镁光公司的MT41K512 M16芯片,该内存芯片行地址宽度为16 bit,列地址宽度为3 bit,Bank地址位宽为8 bit,总容量为4 GB。通过MIG核,设置其突发长度为8 bit,数据宽度为64 bit,速度级别为-2,时钟频率为200 MHz,生成DDR3 SDRAM控制器。试验时,上电后进

行复位,通过数据、地址、控制信号向 DDR3 控制器发送指令到 DDR3,从而快速高效的读写数据。DDR3 数据缓存模块如图 4 所示。

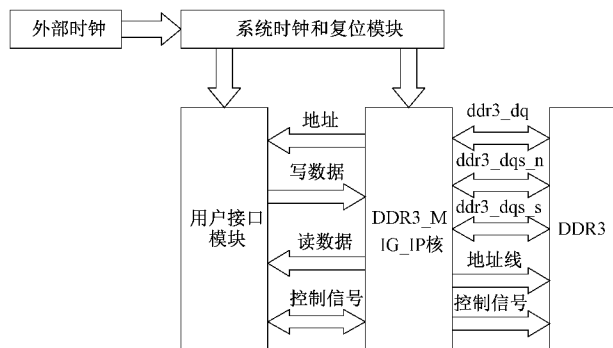


图 4 DDR3 数据缓存模块

2.4 以太网接口模块

为了实现多通道固态存储器测试系统的高速数据传输,本文采用了 PHY 芯片 88E1111 来实现千兆以太网数据传输。千兆以太网具有大数据远距离传输以及高速实时性的特征。XC7K325T-2FFG900I 与 88E1111 芯片提供了 RGMII、SGMII、GMII 接口^[12]。本文选择了 GMII 接口,数据传输过程中,FPGA 首先完成对被测存储介质的数据采集,并将采集的数据发送至缓存模块,通过硬件语言 Verilog HDL 编写的代码将数据发送到 MAC 控制器。MAC 将数据通过 GMII 总线口发送至 881111 芯片,88E1111 在将数据通过变压器发送至 RJ45 网口,从而完成数据高速传输。以太网传输接口如图 5 所示。

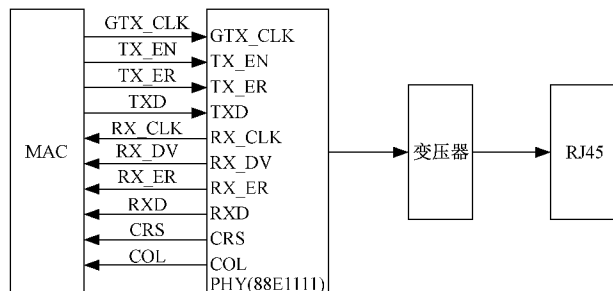


图 5 以太网接口模块

2.5 SATA 和 ONFI 存储器接口模块设计

针对现有存储器测试系统只能测试单一的存储器,本文设计了 SATA 和 ONFI 类型的存储器接口,可以对多种存储器同时进行测试。SATA 采用连续串行的方式传送数据,接收和发送数据使用共模差分信号^[13],SATA 接口数据传输使用 Tx+/Tx- 与 Rx+/Rx- 4 根差分信号线和 3 根地线,提高了数据传输,使硬件设计得到了简化。

ONFI 是 NAND FLASH 闪存接口标准,当在同步工作模式下,方法是两组数据合并为一组数据,将其划分到一个时钟周期,使得一个时钟周期的上升沿和下降沿都能传输数据^[14],从而实现数据的高速传输。

3 测试系统软件设计

3.1 以太网通信协议设计

上位机和下位机(硬件测试电路)通过千兆以太网进行数据传输,采用的通信协议是 UDP/IP 协议。UDP 是一种无连接的传输层协议,在数据传输过程中有延迟小^[15]、传输速率高、实时性强和不易受环境影响的特点。UDP/IP 的报文格式如图 6 所示。上位机通过 UDP/IP 协议接口发送数据包和指令给硬件测试电路,经测试后又将数据回传至上位机,上位机通过解析数据帧从而获得下位机传送的数据。

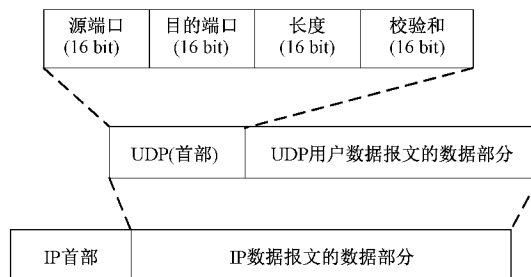


图 6 UDP/IP 的报文格式

3.2 上位机软件设计

上位机设计是基于 WinPcap_4_1_2 软件和 VS2015 软件在 C++ 语言环境下联合开发。上位机由硬件配置管理、测试流程管理、测试数据记录和分析 3 部分构成。硬件配置管理主要实现对串口的配置,完成与 16 个硬件测试电路的匹配。测试流程管理选择被测存储介质类型,设置测试参数,并对其下发测试指令。测试数据记录和分析允许用户以文档的形式对存储介质性能测试结果进行输出,生成测试报告并对其查看。界面布局如图 7 所示。上位机的功能实现对固态硬盘和 NAND FLASH 的性能测试,包括读写速度、容量、坏块和误码率。

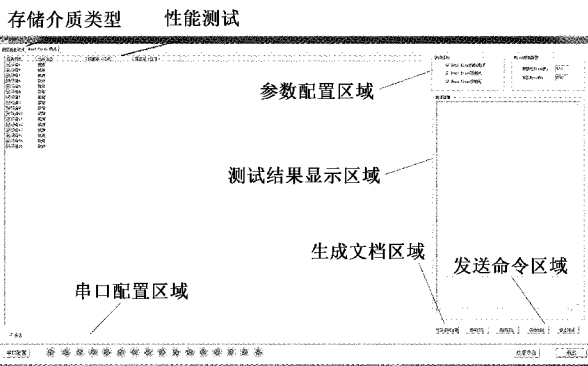


图 7 上位机界面布局

3.3 固态硬盘和 NAND FLASH 测试设计

固态硬盘进行写操作时首先需要进行复位,具体操作是向其内部 FIFO 发送一个复位脉冲以及定义内部的中断方式。然后通过 AXI 总线将接收到的数据放入 DDR3 内

缓存,其缓存采用了乒乓读写的方式。在DDR3读写过程中,检查DDR3地址是否为初始化设定的终止地址,若达到设定,通过中断寄存器终端进入下一页,满一页就往SATA固态硬盘存入数据。读命令下发后,SATA控制器就从固态硬盘中读取数据,然后将数据缓存到DDR3,然后通过FPGA控制将数据又回传至上位机。

NAND FLASH是以块(block)为单位擦除操作,以页为单位读写操作^[16]。上位机下发操作指令和数据通过AXI总线传输给NAND FLASH控制器,然后控制器产生控制信号发送给NAND FLASH对其进行擦除读写,然后将数据又通过以太网回传至上位机。

4 测试系统搭建及结果分析

4.1 测试系统搭建

在系统试验时,多通道固态存储器测试系统首先将固态硬盘和NAND FLASH芯片插入硬件设备的插口,然后将直流稳压源通过电缆连接至硬件设备,硬件设备通过千兆以太网(RJ45)和USB接口连接到工控机。系统由上位机下发测试指令给硬件测试设备,通过千兆以太网和USB完成数据交换,最后通过上位机平台显示。系统测试流程如图8所示。硬件实物如图9所示。

4.2 测试及分析

本系统同时对16个SATA接口的固态硬盘和ONFI接口的NAND FLASH进行性能测试,存储介质采用的是三星870 QVO、金士顿的SATA接口的固态硬盘和TSOP封装的MT29F64G08CB型NAND FLASH。在对三星870 QVO(2TB)和金士顿(480 GB)固态硬盘进行测试时,上位机显示三星读速度为558 MB/s,写速度为450 MB/s,容量为1 863 GB,金士顿读平均速度为528 MB/s,写平均速率为415 MB/s,容量为447 GB,坏块数量为0,与三星和金士顿出厂的实际数据对比,结果一致。对NAND FLASH芯片测试,设置MT29F64G08CB芯片参数,单颗粒Block数为4 096,每页Byte数量为8 096,显示容量为64 GB,读平均速度为30.837 5 MB/s,

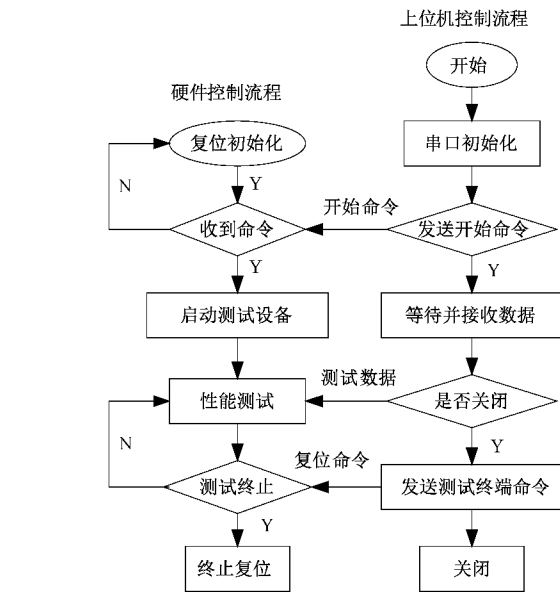


图8 系统测试流程

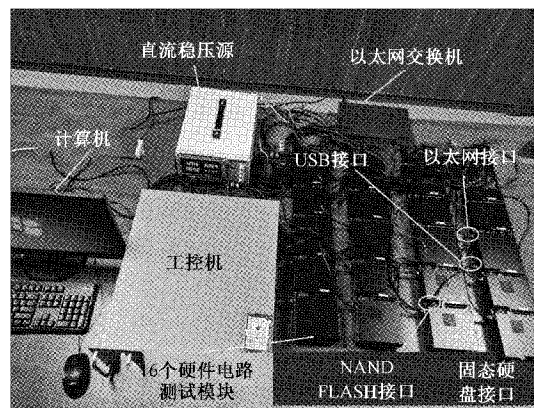


图9 整体测试系统

写平均速度为30.112 5 MB/s,每个设备的误码率和坏块不一,设备4的误码率为 $1.008 1 \times 10^{-5}$,坏块数为23.66 MB,与镁光芯片数据对比,结果一致。固态硬盘测试结果如图10所示。NAND FLASH测试结果如图11所示。

设备名称	容量(GB)	读写速度	坏块数	品牌型号
固态硬盘1	111	305 MB/s	157 MB/s	KINGSTON SA400S37120G
固态硬盘2	111	305 MB/s	157 MB/s	KINGSTON SA400S37120G
固态硬盘3	111	305 MB/s	152 MB/s	KINGSTON SA400S37120G
固态硬盘4	111	305 MB/s	155 MB/s	KINGSTON SA400S37120G
固态硬盘5	111	305 MB/s	150 MB/s	KINGSTON SA400S37120G
固态硬盘6	447	515 MB/s	410 MB/s	KINGSTON SA400S37480G
固态硬盘7	447	544 MB/s	410 MB/s	KINGSTON SA400S37480G
固态硬盘8	447	515 MB/s	423 MB/s	KINGSTON SA400S37480G
固态硬盘9	447	544 MB/s	408 MB/s	KINGSTON SA400S37480G
固态硬盘10	447	544 MB/s	408 MB/s	KINGSTON SA400S37480G
固态硬盘11	447	515 MB/s	410 MB/s	KINGSTON SA400S37480G
固态硬盘12	447	515 MB/s	428 MB/s	KINGSTON SA400S37480G
固态硬盘13	447	515 MB/s	410 MB/s	KINGSTON SA400S37480G
固态硬盘14	994	411 MB/s	516 MB/s	KINGSTON SA400S37260G
固态硬盘15	994	411 MB/s	385 MB/s	KINGSTON SA400S37260G
固态硬盘16	1863	558 MB/s	450 MB/s	Samsung SSD 870 QVO 2TB

图10 固态硬盘测试



图 11 NAND FLASH 测试

5 结 论

本文针对存储介质测试通道少,测试种类单一,自动化程度低的问题,设计了多通道固态存储器测试平台,实现多路不同类型的存储介质测试。由测试结果表明,本文所设计的测试系统实现了 16 路存储介质的性能测试,与实际出厂的数据进行了对比,结果基本吻合。本系统显著地提高了测试效率,具有很好的可靠性和拓展性,本测试系统在研究所、企业和工厂具有较高的使用价值,可以提高存储介质测试效率,缩短测试周期,降低测试成本。

参考文献

- [1] 汤志. 存储器测试算法研究与应用实现[D]. 北京: 北京交通大学, 2017.
- [2] 周朋. 基于 FPGA 的 Flash 存储器测试系统[D]. 陕西: 西安电子科技大学, 2016.
- [3] 陈佳楠, 马永涛, 李松, 等. 多目标优化的多存储器内建自测试[J]. 电子测量与仪器学报, 2020, 34(1): 193-199.
- [4] 杨士宁, 张虹, 李盛杰, 等. 基于大容量 FLASH 存储器的 FPGA 重构系统的设计与实现[J]. 电子测量技术, 2017, 40(2): 179-181.
- [5] QIN P, WANG J, ZHU F, et al. A memory built-in self-repair method for SoC design [J]. Computer Engineering & Science/Jisuanji Gongcheng Yu Kexue, 2019, 41(10): 1749-1754.
- [6] 付振凯. 基于 FPGA 的存储控制器设计[D]. 陕西: 西安电子科技大学, 2018.
- [7] 崔琪, 顾金良, 刘庆国, 等. 基于 DSP+FPGA 的高速数据采集系统的设计[J]. 国外电子测量技术, 2020, 39(1): 93-98.

- [8] ZENG R, ZHANG F H, LOU J F. Design of high-speed driving board for integrated circuit of burn-in test system[J]. Open Journal of Circuits and Systems, 2014, 3: 53-58.
- [9] 孙会娇, 代煜, 张建勋, 等. 直流电源激励下的电路高分辨力应变信号处理[J]. 仪器仪表学报, 2019, 40(8): 184-190.
- [10] YI J H, WANG M F, BAI L D. Design of DDR3 SDRAM read-write controller based on FPGA [J]. Journal of Physics: Conference Series, 2021: 012046.
- [11] 焦淑红, 程仁涛. 基于 FPGA 的 DDR3 控制器设计[J]. 电子科技, 2015, 28(7): 41-43.
- [12] 马嘉莉, 吴斌. 基于 FPGA 的千兆以太网交换机的设计与实现[J]. 电子设计工程, 2020, 28(24): 117-122, 127.
- [13] 台运娇, 江先阳. SATA3.0 物理层设计与实现[J]. 信息技术, 2019(10): 121-125, 130.
- [14] 李袁鑫, 沈海斌. 支持 ONFI 同步模式的 NANDFlash 控制器设计[J]. 电子技术(上海), 2011(3): 14-17.
- [15] 张华, 邓洪峰, 任爱山, 等. 基于 TCP/IP 协议的即时通系统的设计与实现[J]. 山东工业技术, 2014(6): 50-50.
- [16] 徐岚, 郑郁正, 杜江. NAND Flash 转换层算法的研究与实现[J]. 信息技术, 2018(6): 110-114.

作者简介

李张倩, 硕士研究生, 主要研究方向为电路与系统。

E-mail: 1825831904@qq.com

张会新, 博士, 副教授, 主要研究方向为动态测试技术与仪器。

E-mail: zhanghx@nuc.edu.cn