

DOI:10.19651/j.cnki.emt.2107297

基于以太网通信的高采样率 ADC 交织校准实现

姜子林^{1,2} 吴旦昱¹ 季尔优¹ 周磊¹ 贾涵博¹

(1.中国科学院微电子研究所 北京 100029; 2.中国科学院大学微电子学院 北京 100049)

摘要:提出了一种针对高采样率时间交织模数转换器(TIADC)存在的失调失配误差(Offset)、增益失配误差(Gain)、时间失配误差(Skew)的片外交织校准实现方案,基于统计近似的时间交织校准算法,通过以太网通信将待校准通道量化信息传入PC机进而提取失配参数,负反馈的形式对误差进行补偿。该方案不受高速数据传输解扰与同步的影响,在误差提取阶段不消耗逻辑资源,支持各类大规模、大消耗校准算法,开发周期短。应用于自主研发的3 GS/s-12 bit四路交织TIADC中,在存在其他非理想因素情况下,在2.5 G输入信号带宽内,测试结果显示采用交织校准算法技术后,ADC有效位数(ENOB)平均提高了2.69 bits,校准后的无杂动态范围(SFDR)平均提高了29.73 dBc,证明该算法及校准方案的有效性。

关键词:校准;时间交织;FPGA;模数转换器

中图分类号: TN453 **文献标识码:** A **国家标准学科分类代码:** 510.3040

Interleaved calibration of high sampling ADC based on Ethernet communication

Jiang Zilin^{1,2} Wu Danyu¹ Ji Eryou¹ Zhou Lei¹ Jia Hanbo¹

(1. Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China;

2. School of Microelectronics, University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: This paper presents an off-chip interleave calibration scheme for the Offset error, Gain error and Skew error of the high sampling rate time-interleaved analog-to-digital converter (TIADC). A time-interleave calibration algorithm is based on statistical approximation. Through Ethernet communication, the quantization information of the channel to be calibrated is transmitted to the PC to extract the mismatch parameters, and the error is compensated in the form of negative feedback. The scheme is not affected by high speed data transmission and synchronization, does not consume logical resources in error extraction stage, supports various large-scale and high-consumption calibration algorithms, and has a short development cycle. When applied to the self-developed 3 GS/s-12 bit four-way interleaving TIADC, the test results show that the ADC effective bit (ENOB) is increased by 2.69 bits on average in the 2.5 G input signal bandwidth under the condition of other non-ideal factors. The calibrated SFDR improved by an average of 29.73 dBc. It is proved that the algorithm and the calibration scheme are effective.

Keywords: calibration; time interleaver; FPGA; analog-to-digital converter

0 引言

随着高速信号处理技术的快速发展,对高速数字示波器、光通信、未来移动通信等系统的需求正在快速增长,其核心器件高速模数转换器(analog to digital converter, ADC)的研究进展一直受到研发人员的广泛关注^[1]。基于时间交织结构的多路并行ADC已经成为实现高速模数转换的首选架构^[2]。然而由于芯片偏差,基于时间交织结构的多路交织ADC的各通道间往往存在着无法避免的失

调失配误差(Offset)、增益失配误差(Gain)、时间失调失配误差(Skew),这些因素将极大地影响高速ADC的转换精度^[3],如何通过校准算法技术消除通道间的3项误差成为研究重点^[4]。

因此各类校准算法和方式被提出^[5-6]:基于LMS-FIR采用内插滤波的方法、基于数字滤波器的方法、斩波调制算法、增加参考通道的方式等。这些算法往往需要考虑面积、功耗和性能等各种因素的折中^[7-8],无法保证最高性能的实现。并且目前交织校准技术通常对算法进行硬件实

收稿日期:2021-07-18

现^[9],需要严格控制节拍处理数据,灵活性较低,开发周期长,显然难以满足高效算法的开发需求,特别对于高速 ADC,其结构更为复杂、成本也较高。

本文利用 PC 机的高效和超大缓存等性能特性^[10-11],采用基于统计近似的交织校准算法,该算法具有复杂度较低、无需参考通道等优点。提出一种基于以太网通信的片外交织校准方案,无须考虑误差提取时逻辑资源消耗的问题,支持各类大规模、大消耗校准算法,不受高速数据传输解扰与同步的影响,开发周期短。应用于自主研发的 3 GS/s-12 bit ADC 中进行验证,在 2.5 G 输入信号带宽内,测试结果显示,校准后,ENOB 平均提高了 2.69 bit, SFDR 平均提高了 29.73 dBc,证明该算法及校准方案的有效性。

1 校准算法

由 N 路 Sub_ADC 交织构成的含 Offset、Gain、Skew 误差的时间交织模数转换器 (time-interleaved ADC, TIADC) 如图 1 所示。输入信号 V_{in} 经相位相差 $360^\circ/N$ 的 N 路 CLK 时钟控制交替采样,并按照一定次序量化输出 $Digital$, 以此并行采样的形式实现高转换速率。但由于芯片制造偏差,使各支路在实际采样、量化过程中产生了各异的偏置、增益、延迟。

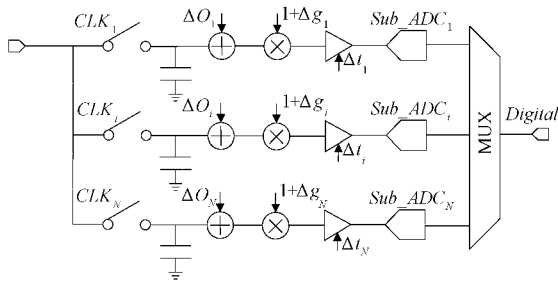


图 1 含误差的 TIADC 示意图

针对 Offset、Gain、Skew 误差,校准算法分别对应失调失配校准算法、增益失配校准算法、时间失配校准算法这 3 部分,下面对 3 种校准算法进行介绍。

1.1 失调失配校准算法

失调失配误差是在前端采样保持电路中由于增益运放的共模电压的偏移及温度漂移等原因所产生的。失调失配误差校准的计算过程如图 2 所示。假设存在 Offset 误差,ADC 的量化结果将整体偏离理论中心值,那么将量化结果与输入信号理论中心值做差,并将此值不断累加平均。从计量统计的知识来讲,假设数据量足够多,那最终累加平均值即为这个偏移值,也就是失调失配误差。其计算表达式为:

$$E_{offset} = \sum_{i=1}^{\infty} \left(A_i - \frac{(2^n - 1)}{2} \right) \quad (1)$$

其中, E_{offset} 为失调失配误差值, $(2^n - 1)/2$ 为理论中心值, $n=12$ bit。

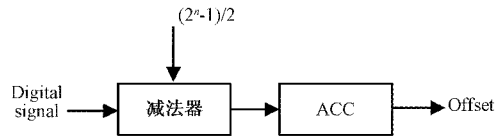


图 2 失调失配误差的计算过程

1.2 增益失配校准算法

采样后的信号在经过第 1 级预放大器时,由于放大器的增益倍数在各个交织路中不尽相同,进而产生了增益失配误差。增益失配误差校准的计算过程如图 3 所示。实现将待校准交织路与设定的参考交织路对齐,两者的量化输出分别与理论中心值做差,将差值做绝对值减法运算得两者的差值,根据统计学的知识,结果的期望值为与增益失配误差相关的参数。其计算表达式为:

$$G_{A,B} = \left| B_i - \frac{B_{ideal}}{2} \right| - \left| A_i - \frac{A_{ideal}}{2} \right|$$

$$E_{gain} = \sum_{i=1}^{+\infty} G_{A,B} \quad (2)$$

其中, E_{gain} 为增益失配误差相关值, A_i 为参考交织路的量化输出, B_i 为待校准交织路的量化输出, A_{ideal} 、 B_{ideal} 为理论中心值。

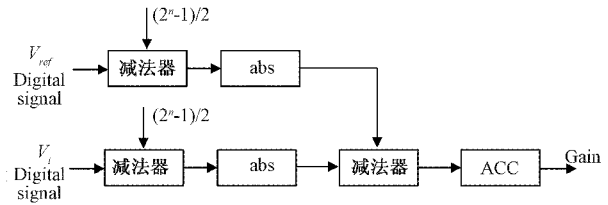


图 3 增益失配误差的计算过程

1.3 时间失配校准算法

时钟发生电路的偏差及传输线的时间延迟导致的各交织路间的不均匀采样产生时间失配误差。时间失配误差校准的计算过程如图 4 所示。假设以交织路 1 为参考交织路,根据其连续两次数据输出(分别为 S_{t1} 、 S_{t5}),可作为参考分别与交织路 3 的延时输出(假设为 S_{t3})做减法运算,再分别取绝对值做差,则其平方期望值^[9]为:

$$E[(S_{t3} - S_{t5})^2] - E[(S_{t3} - S_{t1})^2] = -4\Delta T \frac{dR}{dt} \quad (3)$$

可知其结果的期望值将是与时间误差相关的值。之后根据此相关值通过迭代补偿等方式对交织路 3 进行补偿,直至消除。如此交织路 3 的时间失配误差校准完成,同理,可分别对交织路 2、4 进行校准。

2 校准方案优化

2.1 经典校准系统

经典校准算法验证系统框图如图 5 所示,该系统由 ADC 芯片和 FPGA 开发板两部分组成。ADC 量化输出数据通过 JESD204B 高速串行接口传入 FPGA,进行同步与

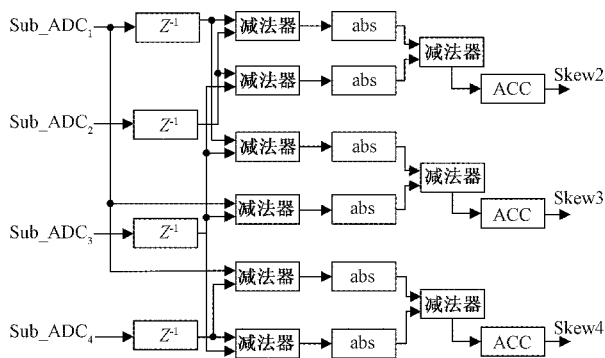


图 4 时间失配误差的计算过程

解扰,并进行少量数据缓存。然后量化数据依次传入校准模块进行提取量化误差,并通过 SPI 低速接口向 ADC 芯片中预留的功能寄存器写入失配相关值,进而调节各子通道 ADC 之间失配误差。如此 ADC 芯片各交织路间的 Offset、Skew、Gain 误差得到消除。量化数据结果通过 IP 核集成逻辑分析仪(integrated logic analyzer,ILA)进行数据抓取,分析 ADC 动态性能。

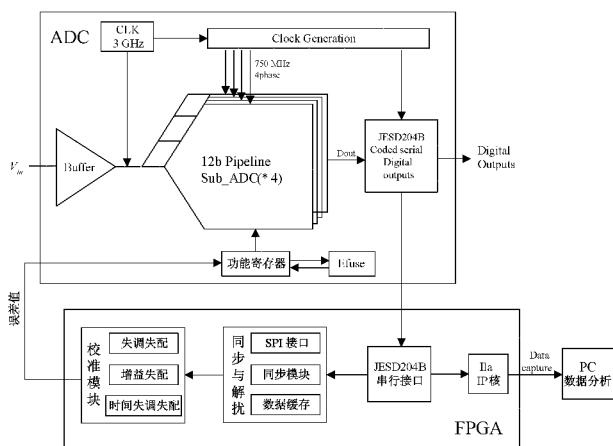


图 5 经典校准算法验证系统框图

此方案的优点是通 Verilog 硬件描述语言实现算法,收敛速度快,为将来将校准模块集成于 ADC 芯片内部,实现后台自动校准提供验证。但大部分校准算法对待测输入信号受到自相关函数形状的约束,并且误差失配值随输入信号、温度等外界因素变化波动较小,仅校准一次保留失配参数即可。此外该实现方案需要严格控制节拍计算数据,实现较复杂,加大研发难度。此外,量化数据分析需要通过 IP 核进行数据抓取,操作繁琐。

2.2 改进的校准系统

改进的基于以太网通信的校准系统框图如图 6 所示,系统结构由 ADC 芯片、FPGA 和 PC 机组成。

3 G 12 bit ADC 芯片内部结构主要由前端驱动电路、时钟发生器、四路交织 Pipeline-Flash ADC、功能寄存器、JESD204B 高速串行接口组成^[12]。时钟发生器为各路交织子 ADC 提供参考时钟,四路交织子 ADC 对输入模拟信号

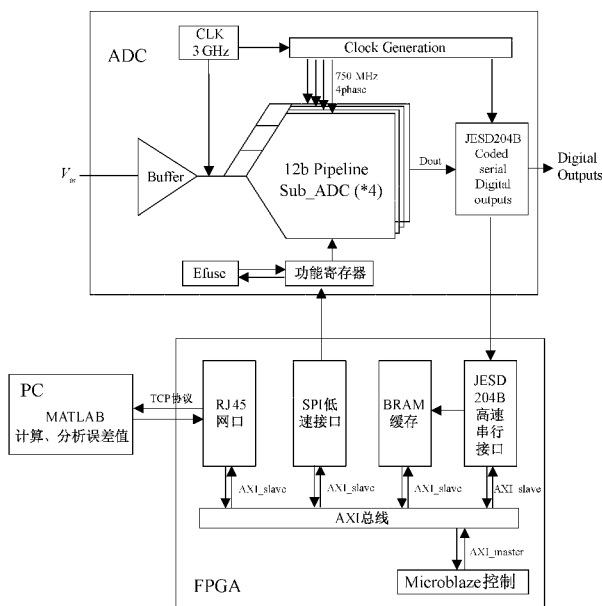


图 6 改进的基于以太网通信的校准系统框图

进行交替采样,JESD204B 接口将量化数字信号完成一定的编码向片外高速传输,功能寄存器则完成误差补偿等各项功能配置。FPGA 主要由 JESD204B 高速串行接口、SPI 低速接口、BRAM、RJ45 网络接口、Microblaze 控制器组成。BRAM 将 FPGA 接收到的部分量化数据存储,RJ45 网络接口实现 FPGA 与 PC 机通过 TCP 协议进行数据通信,MATLAB 做上位机控制系统流程,Microblaze 控制器控制 FPGA 与 ADC 之间的交互,SPI 低速接口可完成对 ADC 内部功能寄存器的配置。

如此,便可实现 PC 机与 ADC 芯片的直接通信,该方案无须考虑算法对硬件资源消耗的问题,各类复杂且大规模硬件消耗的校准算法均可通过 MATLAB 强大的控制工具和计算能力实现,可极大降低开发的复杂度,并且量化数据可直接通过 MATLAB 进行频谱分析,提高数据处理能力和效率。

校准流程为:1)未校准 ADC 芯片通过 JESD204B 接口将量化信息写入 FPGA 系统的 BRAM 中。2)Microblaze 通过 AXI 总线控制读取 BRAM 中存储的量化数据采用 TCP 协议通过 RJ45 网络接口传入 PC 机。3)PC 机通过 MATLAB 接收数据对其进行解码,失配参数提取,并进行 FFT 频谱分析。4)将提取的误差参数以负反馈回 Microblaze 控制器,进而由 SPI 低速接口向 ADC 芯片中的功能寄存器进行配置,完成误差补偿。5)重复上述步骤,不断迭代,直至误差收敛,此时 TIADC 动态性能达到峰值,校准完成。

3 系统设计

3.1 以太网模块

针对算法完成收敛所需提取失配参数的量化信息量较

大,对速度无特殊要求,避免数据传输过程中误码的出现。系统采用 W5500 全硬件以太网控制器,其工作示意图如图 7 所示。该芯片集成了 TCP/IP 协议栈,提供外设串行接口(serial peripheral interface, SPI)易与外设 Microblaze 整合。在高速传输下,受电磁干扰和长信号线的影响较小,最大理论传输速度可达 80 MHz。

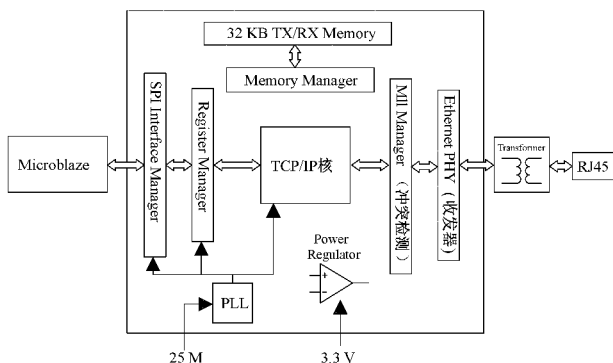


图 7 W5500 工作示意图

内部集成 32 KB 缓存区(发送与接收缓存各占 16 KB),可同时与 8 个硬件 Socket 独立通信,其中每个 Socket 被分配 2 KB 发送缓存(2 KB×8=16 KB)可供以太网包处理。为更有效地对输出数据进行分析,单次校准周期对存储数据发送 64 次,即 128 K 的数据进行分析计算。

3.2 误差补偿模块

上文介绍了 Offset 误差、Gain 误差、Skew 误差的误差提取方法和计算过程,接下来介绍在 TIADC 芯片中如何对误差进行补偿。其中失调失配误差、增益失配误差补偿是在数字域进行,时间失配误差补偿在模拟域完成。

失调失配误差补偿:将量化后的有符号数字码与迭代提取出的 Offset_error 做差值计算,完成补偿;增益失配误差补偿是将第一交织路设置为参考路,将其他路的转换增益校准至与第一交织路对齐。步骤为:1)首先将每个待校准交织路的完成失调失配校准后的量化输出值减去中心理论值转换为有符号数字码。2)将该有符号数字码乘以增益偏差值(理论中心值±有符号增益失配值),其中乘法计算通过截取高位实现。3)得到的结果除以中心理论值(通过截取低位实现),即可得到经过增益失配校准后量化数值。

时间失配失配误差的补偿是在模拟域中通过可变延迟线来实现的,是低功耗低消耗的后台校准技术。可调延迟线模块如图 8 所示。4 个可调延迟线模块(variable delay line, VDL)位于主时钟(CLK_{3G})所在的路径,作用于每条交织通道的采样时钟线上,以纠正延迟不匹配的问题。在布局时,将 VDL 和重定时模块尽可能靠近采样开关,以减少路径不匹配。其中重定时方案提供了延迟失配的粗调,压缩了微调的校正范围,控制时间失配 $\Delta t < 1\% T$ 。由 9 位 DAC 扩展的 10 位 DAC 电容阵列和 CMOS 反向器组成的

VDL 提供微调。直接避免缺码和非单调性^[13]。并尽可能减少大电容的使用,降低面积及功耗。

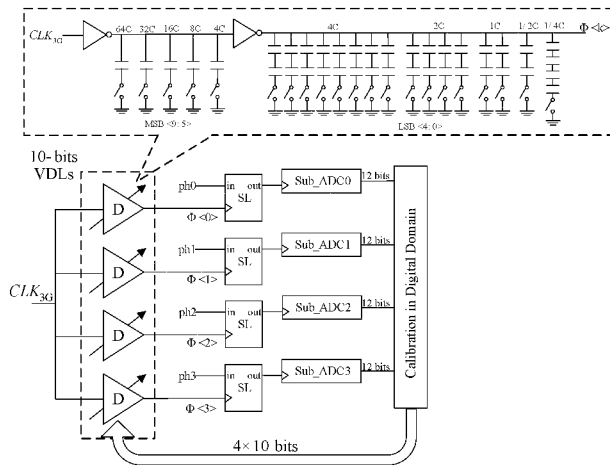


图 8 可调延迟线模块

通过片外校准算法提取失配信息并反馈给补偿模块,经过不断迭代,对各交织路采样时钟相位进行相应调整,直至各交织路误差失配值收敛,完成时间失调误差的补偿。此数模混合方法可从根本上消除 Skew 误差^[14],消除 TIADC 各交织路因路径延迟偏差造成的性能缺陷。

4 测试结果

本系统 FPGA 采用的基于 Xilinx Kintex-7 XC7K480T-2FFG1156I 型号 FPGA 芯片开发的 AK702 开发板,以及自主研发的四路交织 3 G 12bit ADC 芯片,利用 Xilinx 公司的 Vivado 软件进行综合、下载和调试。外部参考时钟和输入信号由 ROHDE & SCHWARZ 公司的 SMA100B 射频和微波信号发生器提供。实物图如图 9 所示。

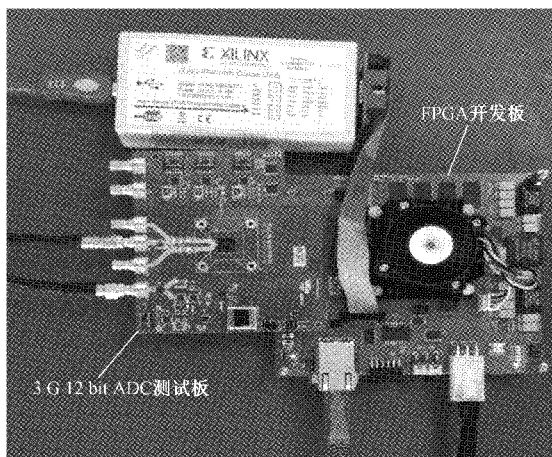


图 9 实物图

实际电路测试中,为避免非相关因素的影响,未对 ADC 芯片进行余差曲线、电容失配等校准。在 3 GHz 采样时钟下,输入信号频率为 318 MHz,功率为 6 dBm 的正弦波情况下,校准前后的频谱如图 10 所示。可以看到,由于交织失配

误差所引起的频谱尖峰明显降低,到 -75 dB左右,校准后误差频谱相关尖峰与校准前相比平均下降 40 dB。

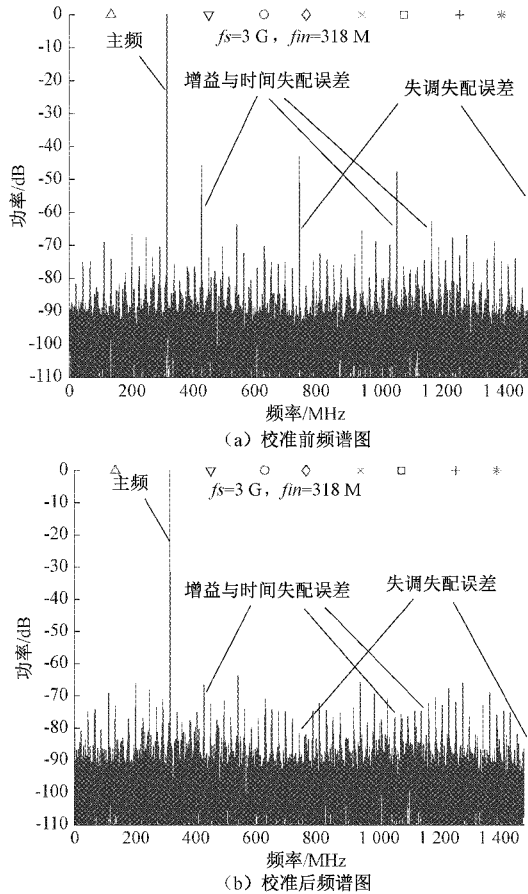
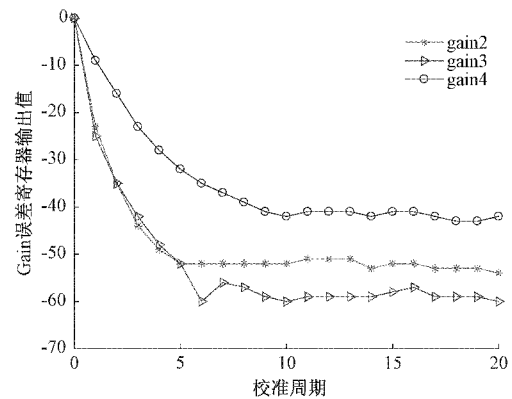
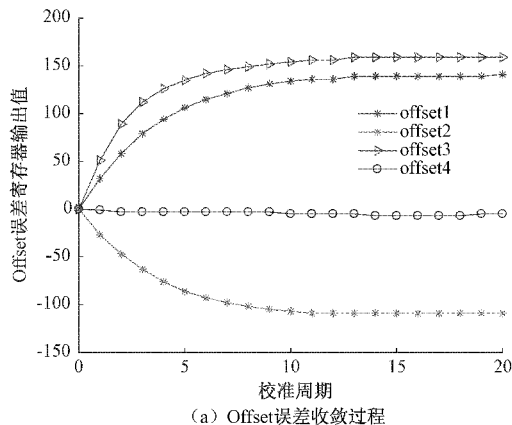
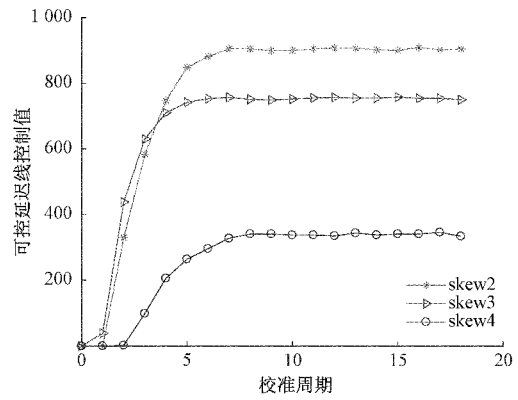


图10 当 $f_{in}=318$ M时,ADC校准前后输出频谱图

Offset、Gain误差收敛过程及时间失配校准时控制VDL数字码值的收敛过程情况如图11所示,3种失配误差控制寄存器码值逐渐收敛,最终维持在一个相对稳定的值。从图11中可以观察到,失配误差大约在15个校准周期之内完成收敛(每个周期采集 $4096 \times 16 = 65536$ 个点,使提取的失配误差精确度更高,减少噪声影响),此时交织校准完成,ADC输出的信号即为校准完成后的量化值,TIADC的动态性能达到峰值。



(b) Gain误差收敛过程



(c) Skew误差收敛过程

图11 当 $f_{in}=318$ M时,误差收敛过程

ADC芯片校准前后的动态性能参数ENOB与SFDR的参数对比如表1所示,变化曲线如图12所示。测试结果显示,在 3 G采样率下,被测信号从 113 M~ 2414 M,校准后有效位数ENOB与校准前相比平均提高 2.69 bits。校准后SFDR与校准前相比平均提高 29.73 dBc。根据相干采样定理,为防止频谱扩散,输入信号频率需设置为非采样频率所整除。可以证明此校准方案的有效性。

表1 不同输入频率下,校准前后ENOB、SFDR对比

输入信号 频率/MHz	校准前 ENOB/bits	校准前 SFDR/dBc	校准后 ENOB/bits	校准后 SFDR/dBc
113	6.80	29.53	9.33	64.76
318	6.67	29.47	9.20	64.53
546	6.57	29.21	8.93	63.15
768	6.40	29.38	8.86	54.79
943	6.26	29.67	8.83	56.45
1105	6.11	29.87	8.78	58.75
1346	5.98	29.76	8.66	55.35
1614	5.48	30.42	8.29	59.12
1814	5.45	29.58	8.28	58.86
2014	5.34	28.63	8.28	54.69
2214	5.33	27.94	8.37	57.90
2414	5.32	27.92	8.28	59.79
平均	5.98	29.28	8.67	59.01

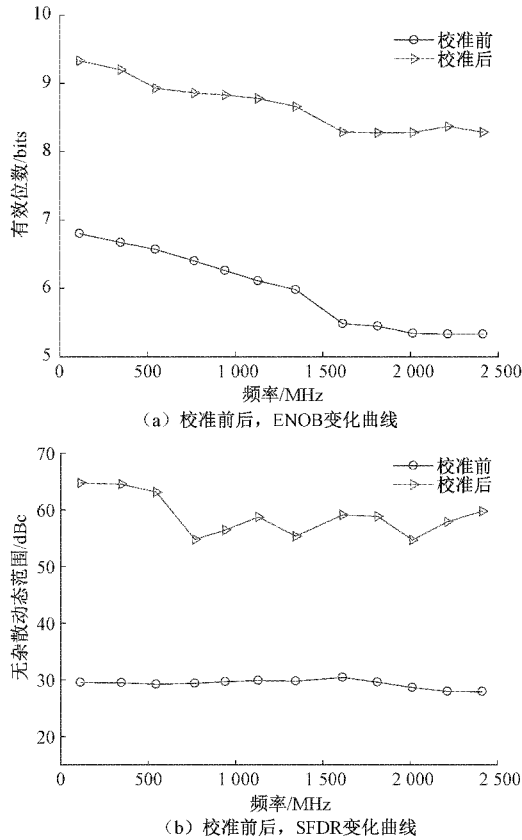


图 12 不同输入频率下,校准前后 ENOB、SFDR 曲线

表 2 所示为本文采用的校准方案与文献[15-17]主要消耗资源对比情况。可以看出本文方案不需要滤波器、乘法器和加法器,并且不消耗逻辑资源。表 3 所示为本文校准方案与其他方案 ENOB、SFDR 对比情况,可以看到本文方案 ENOB、SFDR 与其他方案相比参数提高明显。

表 2 本文校准方案与其他方案对比

参数	文献[15]	文献[16]	文献[17]	本文
滤波器	需要	不需要	需要	不需要
乘法器	需要	需要	不需要	不需要
加法器	需要	需要	需要	不需要
逻辑资源	大量	少量	少量	不需要
额外消耗	不需要	窗口检测器	参考 ADC	RAM 资源

表 3 本文校准方案与其他方案对比

参数	文献[3]	文献[9]	文献[16]	本文
分辨率/bits	10	6	10	12
ENOB/ bits	校准前	8.50	3.77	5.50
	校准后	8.99	4.35	7.73
SFDR/ dB	校准前	68.20	27.48	38.00
	校准后	76.40	38.76	56.00
性能提升	ENOB	0.49	0.58	2.23
	SFDR	8.20	11.28	18.00

5 结 论

针对 TIADC 通道间的 Offset、Gain、Skew 误差,以及现有经典算法验证方案的不足,本文基于统计近似的交织校准算法,提出了一种基于以太网通讯的校准算法验证方案,误差提取阶段不消耗逻辑资源,不受高速数据传输解扰与同步的影响,开发周期短。对自主研发的 3 G 12 bit ADC 芯片进行测试,在 2.5 G 输入信号带宽内,校准后有效位数 ENOB 与校准前相比平均提高 2.69 bits。校准后 SFDR 与校准前相比平均提高 29.73 dBc。该方案实现 PC 机与 ADC 芯片的直接交互,为后续快速开发验证各类大规模硬件消耗校准算法提供了基础平台,实现高精度的片外校准。并且,该方案不受 ADC 架构及通道数的限制。

参 考 文 献

- [1] 詹永卫,张吉伟,张超,等.一种多通道宽带中频接收机设计与实现[J].国外电子测量技术,2020,39(8):88-91.
- [2] 闫辉,邓红辉,万祝娟,等.误差提取自适应修正的前馈式 TIADC 校准算法[J].电子测量与仪器学报,2019,33(6):171-176.
- [3] ZHU Y, CHAN CH H, PAN U S, et al. A 10-bit 500-MSps partial-interleaving pipelined SAR ADC with offset and reference mismatch calibrations[J]. IEEE Transactions on VeryLarge Scale Integration (VLSI) Systems, 2017,25(1):354-363.
- [4] HAN L D, NGUYEN D M, JABBOUR C. Fully digital feedforward background calibration of clock skews for sub-sampling TI-ADC using the polyphase decomposition[J]. IEEE Transactions on Circuits & Systems I Regular Papers, 2017,64(99):1-14.
- [5] 卜朝晖,常仙云,陈文星,等.基于可触发环形振荡器的高精度时间间隔测量[J].仪器仪表学报,2019,40(5):10-18.
- [6] 秦明龙,魏淑华,武锦,等.超高速时间交织 ADC 通道失配后台校准算法[J].微电子学与计算机,2018,35(11):8-12.
- [7] 曹宇,苗澎,黎飞,等.625 MS/s、12 bit 双通道时间交织 ADC 的设计研究[J].电子测量与仪器学报,2021,35(3):105-114.
- [8] 万祝娟,尹勇生,庞高远,等.适用于 TIADC 时间误差校准的斩波调制算法[J].电子测量与仪器学报,2020,34(5):112-121.
- [9] 白文帅,武锦,吴旦昱,等.基于 FPGA 的超高速时间交织 ADC 后台校准技术[J].电子学报,2018,46(8):2020-2025.
- [10] 周志娟,张玉贵,樊奔.基于 FPGA 的干涉信号双 ADC 采集系统设计[J].电子测量技术,2016,39(12):

- 136-139.
- [11] 张丛丛, 谭博. 用于 ADC 测试的数据采集系统的设计[J]. 电子测量技术, 2016, 39(10):162-165, 170.
- [12] LI J, GUO X, LUAN J, et al. A 3GSps 12-bit four-channel time-interleaved pipelined ADC in 40 nm CMOS process[J]. Electronics, 2019, 8(12):1551.
- [13] JIA H, GUO X, WU D, et al. A 12-Bit 2.4 GS/s four-channel pipelined ADC with a novel on-chip timing mismatch calibration [J]. Electronics, 2020, 9(6):910.
- [14] HUANG Q, ZHAN C, BURM J. A 30 MHz voltage-mode buck converter using delay-line-based PWM control[J]. IEEE Transactions on Circuits & Systems II Express Briefs, 2018, 65(11):1659-1663.
- [15] SALIB A, CARDIFF B, FLANAGAN M F. A low complexity correlation-based time skew estimation technique for time-interleaved SAR ADCs [C]. 2017 IEEE International Symposium on Circuits and Systems (ISCAS), IEEE, 2017:1-4.
- [16] SONG J, RAGAB K, TANG X, et al. A 10-b 800 MS/s time-interleaved SAR ADC with fast variance-based timing-skew calibration [J]. IEEE Journal of Solid-State Circuits, 2017, 52(99):2563-2575.
- [17] SI C, MURMANN B. An 8-bit 1.25GS/s CMOS IF-sampling ADC with background calibration for dynamic distortion [C]. 2016 IEEE Asian Solid-State Circuits Conference (A-SSCC), IEEE, 2016:69-72.

作者简介

姜子林, 硕士研究生, 主要研究方向为数模混合集成电路设计。

E-mail: 2390788584@qq.com

吴旦昱(通信作者), 博士, 研究员, 主要研究方向为超高速数模混合电路研究。

E-mail: wudanyu@ime.ac.cn