

DOI:10.19651/j.cnki.emt.2107942

基于分数型锁相环的宽带电力线载波 通信时钟同步方法

张仕奇 田 恒

(河南理工大学物理与电子信息学院 焦作 454000)

摘要: 通过电力线载波使接入电力系统中的物联网模块实现高精度的时钟同步对电网的稳定运行与维护具有重要意义。而传统的时钟同步方法由于同步精度低,并不适合用于电力线载波下的时钟同步。为了解决该问题,需从硬件和软件两方面着手,硬件上通过使用具有高解析度输出频率的分数型锁相环,实现对物理层时钟的高精度调节。软件上借鉴模糊控制原理,采用基于间隔的时钟同步算法,对每次接收到的时间戳进行收集分析,合理的调整时钟变量,研究分数型锁相环对设备时钟频率的调整规律,计算出最优化的时钟调整参数,实现了 STA 时钟与 CCO 时钟的快速同步,保持时钟稳定并将时钟误差控制在 $\pm 0.8 \mu\text{s}$ 以内,显著提升了时钟精度,充分满足了物联网时钟的准确性与稳定性要求,对物联网模块在单频网络中的应用提供了技术支撑。

关键词: 时钟同步;中央协调器;锁相环;频率偏移

中图分类号: TP306.2 **文献标识码:** A **国家标准学科分类代码:** 510.8010

Clock synchronization method of broadband power line carrier communication based on fractional phase locked loop

Zhang Shiqi Tian Heng

(School of Physics and Electronic Information Engineering, Henan Polytechnic University, Jiaozuo 454000, China)

Abstract: It is very important for single frequency network to realize high precision clock synchronization in Iot module connected to power system by power line carrier. However, the traditional clock synchronization method is not suitable for clock synchronization under power line carrier because of its low synchronization accuracy. In order to solve this problem, the hardware and software are studied. On the hardware, the high precision clock adjustment of physical layer is realized by using fractional phase-locked loop with high resolution output frequency. Software on the application of fuzzy control theory, the clock synchronization algorithm based on interval, to collect and analyze each receives the timestamp, reasonable adjust clock variables, study score type phase-locked loop to equipment clock frequency adjustment rules, to calculate the optimal clock adjustment parameters, realized the fast STA clock and CCO clock synchronization, keep the clock stable and keep the clock error within $\pm 0.8 \mu\text{s}$, significantly improve the clock accuracy, the accuracy and stability requirements of the Iot clock are fully met. At the same time, such high-precision synchronous clock provides technical guarantee for the application of Iot module in single-frequency network.

Keywords: clock synchronization; central coordinator; phase locked loop; frequency shift

0 引 言

时间同步技术使得全网所有终端能够维持在同一个逻辑时钟下,保证了网络中所有终端的信息以及与时间相关的行为能有一个全局一致的解释。在计算机网络系统组成的分布式系统和通信行业的同步组网等业务处理中有着重要的作用。而应用于电力线载波(power line communication,

PLC)中的时钟同步技术由于减少了额外的架线,并且不需要昂贵的无线通信设备,因此广泛应用于物联网设备的控制管理,如电力线抄表、智能路灯等领域。

高精度的时钟同步技术还可以应用于单频网络(single frequency networks, SFN)。SFN 在不同位置的多个发射机同时同一介质和相同频率上传输相同的信息,接收器可以看到信号产生的叠加^[1]。这种结构使 SFN 能够很好

地节省频谱资源并且具有很高的功率利用率。基于以上优点,基于单频网络的 PLC 系统也被广泛地应用在电力线载波通信领域。

随着技术的不断发展,对时间同步精度的要求越来越高。智能电网作为传统电网的扩展,支持智能双向能源和数据流,为了提高电网的效率和可靠性,要求精度达到 100 ms 到 1 μ s 或以上^[2]。而以往对电力线载波中的时钟同步往往并不能达到很高的精度。为了有效提升时间同步精度,学者进行了广泛而深入的研究。在文献[3]中基于最大似然的方法,设计了复杂度较低的估计公式来克服 PLC 中不利的信道特性,其时钟精度最高可以达到 2.4 μ s。文献[4]通过消除白相位噪声来消除相位误差,以此提高时钟精度,最终将同步精度控制在 11 μ s 左右。文献[5]提出一种时钟频偏估计及其校正方法,通过一个决策导向算法,修正算法通过插值旋转因子来代替输入样本,从而降低了误差。文献[6]则使用脉冲成型滤波器和采样时钟相位同步解决了调制信号的相位旋转问题,从而提高时钟精度。

高精度的时钟同步技术可以减小帧传输过程中的保护间隔,从而提高信道的利用率,并且单频网络的应用也十分依赖于高度同步的物理层时钟^[7],因此本文针对这一问题着重研究了应用于电力线载波的有线传输时钟同步技术。基于模糊控制原理,通过使用分数型锁相环,以高精度分数型锁相环与软件修正分频数相结合的模式^[8-10],设计了一种基于间隔的时钟同步算法,时钟调整程序分两步对频率进行调节,首先通过粗调使站点(STA)的时钟频率稳定到与中央协调器(CCO)时钟相同的状态,其次,借助于精细化调整,使 STA 的 NTB 值与 CCO 完全同步。该时钟同步方法满足在电力线载波通信中能够远距离进行时钟同步的要求,在电力线载波的组网当中得到了很好的应用。

1 时钟调整的目的

在国家电网的 Q/GDW 11612-2016《低压电力线宽带载波通信互联互通技术规范》规定的标准中,要求设备通过宽带电力线载波(HPLC)的方式进行组网和信息数据采集,并且对于时钟调整的精度要求信标实际发送时间的 NTB 值和相应帧控制中的信标时间戳相差不大于 $\pm 1\ 250$ 抽样点,即时钟精度要达到 $\pm 50\ \mu$ s 以内。HPLC 通过时隙管理的方法,将一个特定周期内的时间划分为信标时隙,CSMA 时隙等,以此来提高设备间的通信效率。同时,HPLC 的物理层是基于正交频分复用(OFDM)的设计,如果通信过程中时钟频率偏移过大会产生丢包现象,因此需要在收发设备间维持一个同步的信号采样频率,以提高设备间的物理层通信性能。

通信模块通过晶振产生一个本地时钟,经锁相环进行频率调整和补偿,最后经过分频,输出一个系统基准时钟。STA 通过定位计算 CCO 发送的时间戳中的时钟信息,来获得 STA 时钟和 CCO 时钟之间 NTB 的差值,即为钟差。

为了使得全网的 STA 时钟与 CCO 时钟精确同步,需对时钟差进行补偿。此时产生的时钟才可以用来解析 HPLC 中的时隙信息,以及支持物理层对信号的调制与解调。

在宽带载波通信网络中,CCO 维护着一个网络基准时间(NTB),在通信网络中所有设备都必须同步到 CCO 的这个时钟。而在通信网络中的所有 STA 设备都应该在本地维护一个 32 位的计时器,这个计时器在频率和绝对值上应该与 CCO 的 NTB 保持同步。同步到 CCO 的 NTB 的主要作用是以此为基准,解析 CCO 的时隙分配,从而能够达到全网站点对时隙分配的统一理解和使用。同时 NTB 的同步,可以用于物理层的时钟同步,以便能够正确的发送报文信号和解析报文信号。

受晶振质量、电源以及温度等因素影响,晶振输出频率无法保持稳定,随着时间推移将产生钟漂,如图 1(a)所示。该漂移表示本地 STA 时钟与 CCO 时钟之间的频率偏移量。当钟漂大于 0 时,表示 STA 时钟的频率大于 CCO 的时钟,STA 时钟较快;当钟漂小于 0 时,表示 STA 时钟的频率小于 CCO 的时钟,STA 时钟较慢。钟漂随时间的积分就是钟差,如图 1(b)所示,即随时间推移 STA 时钟与 CCO 的时钟之间的 NTB 的差值会随着时间进行积累。为保证整个 HPLC 网络中各个模块时钟的精度,故每隔一段时间就需通过修正本地的 STA 时钟来补偿钟差。

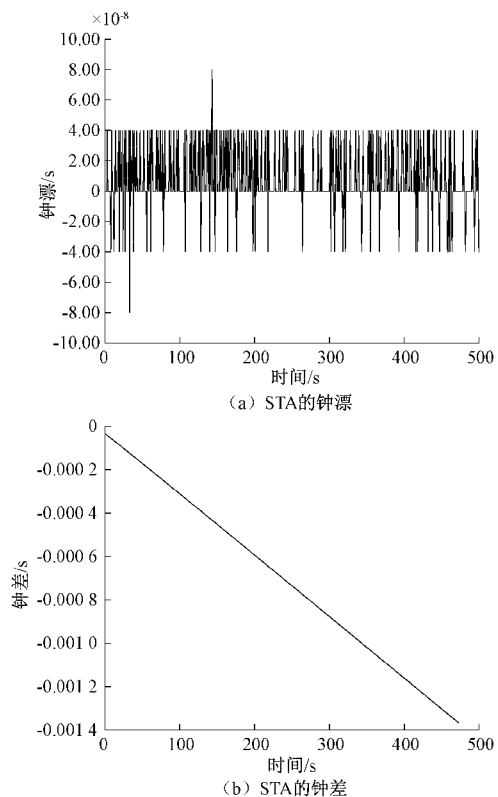


图 1 STA 的钟漂和钟差

在物理层上通信模块采用了 OFDM 调制技术对信号进行调制,而 OFDM 系统很容易受到频率偏差的影响,因

为子信道的频谱是相互重叠的,通信模块接入 HPLC 之中以后,由于自身晶振的稳定性或者环境温度的影响,在运行过程中不可避免的会产生频率偏移,这会使 OFDM 系统子载波之间的正交性遭到破坏,导致子信道间干扰。从而导致信号无法解调而影响测试结果,因此物理层的时钟必须保持精确。

2 时钟同步调整原理与参数计算

2.1 时钟参数的获取

CCO 会周期性发送携带本地时钟信息的信标帧,STA 接收到信标帧后,触发中断,并记录中断到来时的本地时间,同时将接收到的信标帧的时间戳(BTS)保存下来。当再次接收到信标帧后,重新上述步骤,并对比计算两次接收到的信息,获得 CCO 时钟与本地时钟的差值,为后续时钟调整奠定基础。

2.2 时钟偏差的计算

在实验中, T_b^{n-1} 表示上周期接收到的信标时间戳, T_i^{n-1} 表示上周期触发本地中断时的本地时钟值, T_b^n 表示本周期接收到信标时间戳, T_i^n 表示本周期触发本地中断时的本地时钟值。时钟调整的关系如图 2 所示。

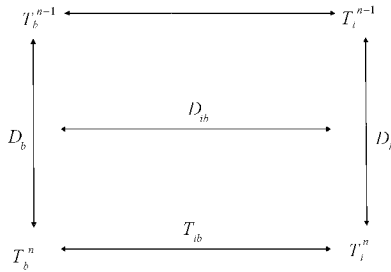


图 2 时钟调整关系

其中, D_b 表示本周期信标时间戳中的时间值与上周期

信标时间戳中的时间值的差值, D_i 表示本周期本地中断时间的的时间值与上周期本地中断时间的的时间值的差值,即为一个周期的时钟时间。

$$D_b = T_b^n - T_b^{n-1} \quad (1)$$

$$D_i = T_i^n - T_i^{n-1} \quad (2)$$

用 D_{ib} 来表示 STA 在一周期内 32 位时钟走过的时间差值与 CCO 在一周期内 32 位时钟走过的时间差值的差。 T_{ib} 表示本周期的本地中断时间与信标时间戳内的时间信息之间的差值,如式(3)、(4)所示。

$$D_{ib} = D_i - D_b \quad (3)$$

$$T_{ib} = T_i^n - T_b^n \quad (4)$$

用 δ_p 表示钟漂,即时钟的频率偏移量, $Offset$ 表示钟差,由于时间偏差的计算结果是非常小的,为了方便计算,本文将频率偏移量用 δ_p 表示的同时,再乘以 10 以避免在程序中使用浮点数,尽可能地缩减代码大小,并使频率的偏移量更加直观,最终用 $freq_{shift}$ 来表示时钟频率的偏移。

$$\delta_p = \frac{D_{ib} \times 1\,000}{D_b} \quad (5)$$

$$freq_{shift} = \delta_p \times 10 = \frac{D_{ib} \times 10\,000}{D_b} \quad (6)$$

2.3 分数型锁相环调频原理

硬件模块通过锁相环来控制 and 调整时钟频率。锁相环中的鉴频鉴相器能够识别两个输入的信号之间的相位差,并以电压的形式表示,从而调节压控振荡器(VCO)的输出频率^[11-12]。传统的锁相环频率综合器的反馈分频器是整数分频,而整数分频的锁相环的环路带宽小,锁相环的锁定时间相对较大,相噪性能低,使得很难获取较高的频率分辨率。为了提高时钟调整的分辨率,选用分数型锁相环,能够高精度地调整时钟^[13-16]。

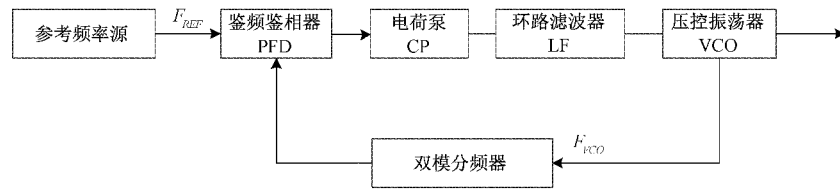


图 3 PLL 锁存流程

锁相环的工作流程如图 3 所示,一个参考时钟频率,依次通过鉴频鉴相器、环路滤波器、和压控振荡器,再经过分频之后,最终输出一个稳定的高频时钟信号 F_{OUT} 。在锁相环工作时,通过改变双模分频器的相关系数来反馈调节锁相环的输出频率。时钟经过压控振荡器(VCO)之后输出的时钟频率 F_{VCO} 为:

$$F_{VCO} = F_{PFD} \times (N_{INT} + N_{FRAC}/2^{20}) \quad (7)$$

PLL 调整时钟时,通过压控振荡器分出两路信号,其中一路信号通过式(7)重新计算时钟频率并将其反馈给鉴

频鉴相器。当时钟产生偏差时,通过调整反馈分频系数 N_{FRAC} 的值对时钟的频率进行调整。

时钟偏差 $freq_{shift}$ 与反馈分频系数 N_{FRAC} 间的关系如式(8)所示。

$$F_{PFD} - \frac{F_{REF}}{10^7} \times \frac{F_{PFD}}{F_{OUT}} \times freq_{shift} = \frac{F_{VCO}}{N_{FRAC} + C_s \times \frac{F_{PFD}}{F_{OUT}} \times freq_{shift}} \quad (8)$$

式中： C_s 为在使用时钟偏差 $freq_{shift}$ 做为调整锁相环频率的参考对象时，使锁相环最快收敛到稳定状态的收敛系数，该值的确定取决于输入的参考时钟频率 F_{REF} 。

经过锁相环的粗调后，时钟模块可获得一个相对稳定的时钟频率，使得 STA 时钟和 CCO 时钟同步。为提高同步精度，还需要进行精细化调整。

2.4 基于间隔的时钟调整算法

在进行时钟调整时，采用先粗调，再精细调整的方法。本实验采用参考频率源 F_{REF} 为 24 MHz 的时钟，鉴频鉴相器的频率 F_{PFD} 也为 24 MHz，寄存器 $N_{INT} = 0xc0$ ， N_{FRAC} 的初始值设置为 $0x80000$ ，CCO 发送信标帧的周期设定为 1 s，由式 (7) 可知，压控振荡器的输出频率 F_{VCO} 为 300 MHz。该时钟一路重新通过鉴频鉴相器，另一路分频之后输出作为系统时钟，分频之后输出的时钟频率为 $F_{OUT} = 25$ MHz。程序粗调流程如图 4 所示。

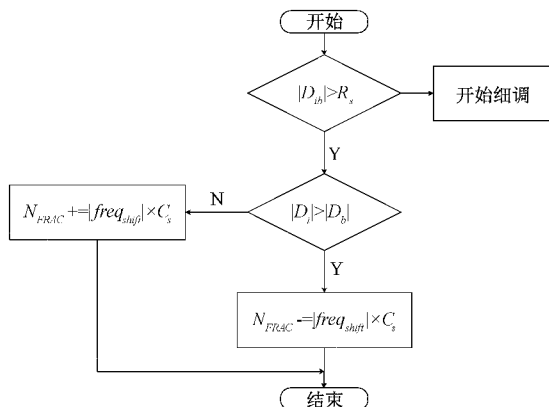


图 4 时钟粗调流程

图 4 中 R_s 的取值决定了程序是进行精细调整还是粗略调整。根据规约，当 $|D_{ib}| \leq 10$ 的时候，可以认为 STA 的时钟频率与 CCO 的时钟频率是同步的，此时计算出的时钟偏移量为 0，因此， R_s 的取值为 $R_s = 10$ 。

在时钟调整的粗调过程中，将寄存器参数与各个频率数值代入到式 (8) 中，化简后得到 C_s 和 $freq_{shift}$ 的关系为 $C_s = \frac{31\ 457\ 280}{2.4 \times 10^7 - 2.4 freq_{shift}}$ ，由该公式可以看出当 $freq_{shift}$ 变化不是太大时， C_s 的值基本保持不变， $C_s = 1.31$ 。因此为了使时钟频率最快的收敛到稳定状态，这里取 $C_s = 1.31$ 。

时钟进行精调的方法可以由式 (9) 得出，其中， C_T 为控制变量 $Offset$ 的调整幅度的系数。 C_T 值越大， $Offset$ 产生的频率波动就越大。根据式 (9) 可以算得 C_T 取得最佳的值为 $C_T = 1/2$ 。时钟精细调整的流程如图 5 所示。

$$F_{PFD} - \frac{F_{PFD}}{F_{OUT}} \times T_{ib} = \frac{F_{VCO}}{N_{FRAC} + C_T \times \frac{F_{PFD}}{F_{OUT}} \times T_{ib}} \quad (9)$$

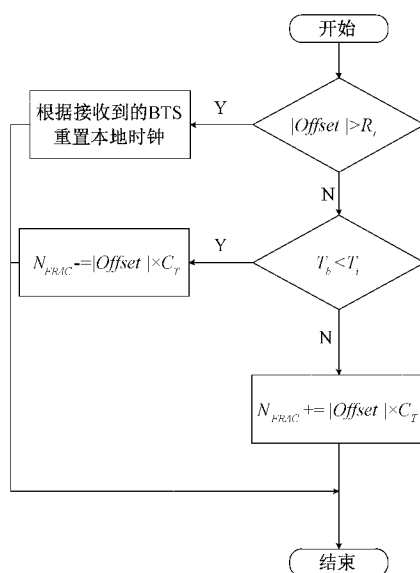


图 5 时钟细调流程

图 5 中 R_i 的设计是为了防止程序计算出错，导致时钟频率被错误的调整。经过实验验证， $Offset$ 的正常取值范围为 $|Offset| \leq 1\ 000$ ，因此这里 R_i 取值为 $R_i = 1\ 000$ 。

3 误差补偿与测量结果分析

3.1 系统误差的补偿

在时钟同步过程中，当 STA 接收信标时，模块会进入接收中断，然后接收信号的帧前导、帧头，并对信号进行解码，因此，导致 STA 接收到的信标中的 CCO 时钟信息和实际 CCO 时钟信息间存在时延，造成在 STA 接收到的信标帧内的时间戳与 CCO 的实际时间存在一定的系统误差。

本文设计了如图 6 所示的方法来计算系统误差，图中， t_1, t_4 表示 CCO 上某一时刻的 32 位时钟值， t_2, t_3 则表示 STA 上某一时刻的 32 位时钟值，该实验中 CCO 先向 STA 发送未对时间信息进行误差补偿的信标，待 STA 将时钟调整至稳定后，CCO 时钟与 STA 时钟之间会存在一个系统误差 D_s 。

$$t_2 = t_1 + D_s \quad (10)$$

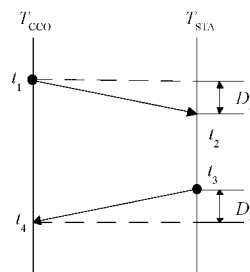


图 6 误差测试流程

在 STA 时钟调整稳定后,由 STA 向 CCO 发送一个信标帧,并在信标帧中打印上时间戳 t_3 , CCO 接收到 STA 发送来的信标以后触发本地中断,记录下本地中断时间 t_4 ,此时 t_3 与 t_4 之间存在的关系如式(11)所示。

$$t_4 = t_3 + 2D_s \quad (11)$$

$$D_s = \frac{t_4 - t_3}{2} \quad (12)$$

依据式(12)对系统误差进行多次测量后求出算数平均值约为 1.29 ms,将其代入时钟调整程序中补偿时钟误差后重新按照以上方法对系统误差 D_s 进行测量,测量结果显示 D_s 趋近与 0。

3.2 测量结果分析

在时钟调整的过程中,频率偏移量 $freq_{shift}$ 随时间的波动情况如图 7 所示。

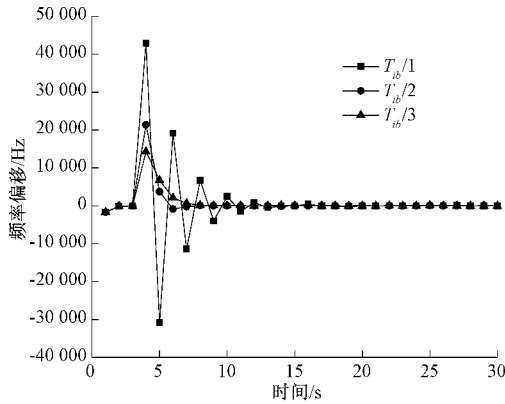


图 7 频率偏移量 $freq_{shift}$ 随时间的波动

由图 7 中可以看出,在前 3 个周期内,时钟调整程序会迅速寻找到能够与 CCO 时钟频率相匹配的最佳频率值,并基于此调整 N_{FRAC} 的值使得 STA 时钟的 NTB 值和 CCO 时钟也保持一致。在此过程中 $freq_{shift}$ 会产生一定的波动,待 NTB 也调整一致后 $freq_{shift}$ 会基本稳定,约为 0 Hz。

图 8 为 N_{FRAC} 调整参数 C_T 取不同值时, $Offset$ 的值随调整周期数的分布情况。由图 7 可知,在起始的 3 个周期内,时钟调整程序会快速的将 STA 的时钟频率调整到与 CCO 近乎相同的状态,然后记录下该时钟频率的值,并以此为基础对 $Offset$ 进行调整。 $Offset$ 的值越接近与 0,表示 STA 的时钟与 CCO 的时钟同步精度越高,对比不同的 $Offset$ 随 C_T 的变化趋势,可知,在 N_{FRAC} 的调整参数 $C_T = 2$ 时, $Offset$ 收敛到 0 的速度最快,且在时钟稳定后,偏差保持在 ± 10 时钟周期之内。

图 9 表示 STA 时钟在向 CCO 时钟同步过程中的变化,从图 9 中可以看出,调整之前两个时钟的差值超过了 1 100 ms,开始调整后,在 7 个周期内 STA 的时钟迅速调整到和 CCO 时钟近乎完全同步的状态,并且不断的进行动态调整,围绕这 CCO 时钟上下波动,波动幅度小于 $1 \mu s$ 。

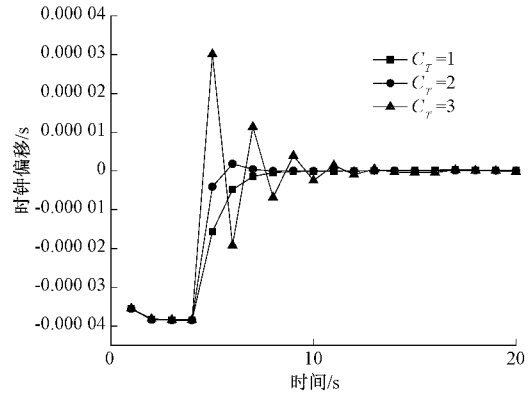


图 8 时钟偏移 Offset 随时间的波动

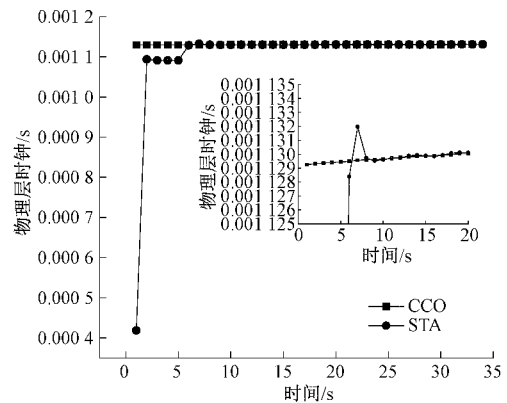


图 9 STA 随 CCO 的时钟变化

之后分别测试了在不同时钟频率下该算法对时钟调整的效果,结果如图 10 所示,可以看出,刚开始调整时,25 MHz 时钟的偏差比较大,而 2.5 MHz 和 1.67 MHz 的时钟偏差比较小,但是都能够在 7 个周期内将时钟调整到相对稳定的状态。结果表明时钟调整算法在 3 种不同的时钟频率下都能够对时钟有较好的调整效果。

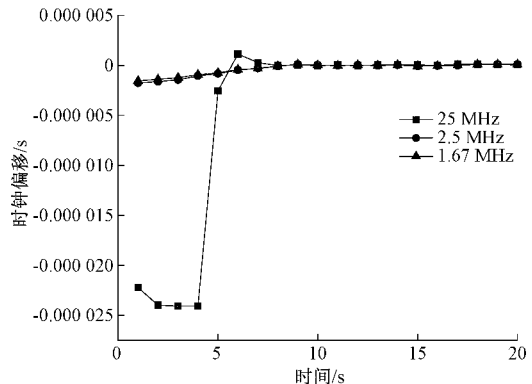


图 10 不同频率的时钟调整效果

按照如图 11 所示的方式分别测量了 15 级 STA 对时钟的调整状态。由 CCO 发送网络基准时钟信号,STA1 级站点接收到 CCO 的时钟信号后,开始调整自身时钟,并在时钟稳定后发送时钟信号给 STA2 级站点,以此类推,直

到 STA15 级站点的时钟调整成功。监控模块以 CCO 的时钟为基准,调整好自身时钟后,开始接收所有 STA 站点的时钟并与 CCO 的时钟进行对比,最后算出每一级 STA 时钟相对 CCO 时钟的偏离程度。

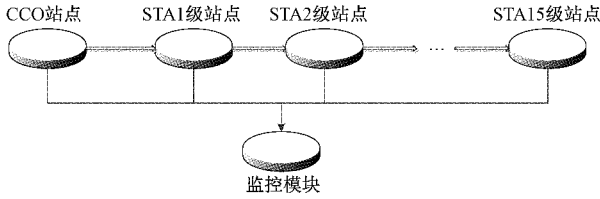


图 11 15 级 STA 站点连接示意图

在测量过程中,所测得的每一个数据的可信赖程度相同,所以可以按照同样的重要性同等对待,在时钟调整稳定后,对频率偏移量 δ_p 进行多次独立测量得到的测量结果 x 为:

$$x_1, x_2, \dots, x_n \quad (13)$$

于是,误差如式(14)所示。

$$\delta_k = x_k - \delta_p, k = 1, 2, \dots, n \quad (14)$$

误差之和与误差的平均值分别如式(15)和(16)所示。

$$\sum \delta_k = \sum x_k - n\delta_p \quad (15)$$

$$\bar{\delta} = \frac{1}{n} \sum \delta_k = \frac{1}{n} \sum x_k - \delta_p \quad (16)$$

且误差之和的平均值和每次测量结果之和的平均值有:

$$\bar{\delta} = \frac{1}{n} \sum \delta_k \rightarrow 0 \quad (17)$$

$$\frac{1}{n} \sum x_k = x \rightarrow \delta_p \quad (18)$$

理想情况,时钟偏移量 δ_p 的标准值应为 0,将 $\delta_p = 0$ 和实验测得的 $x_k (k = 1, 2, \dots, n)$ 代入式(16)中,即可求得平均误差 $\bar{\delta}$ 。根据式(19),可以求得标准差 σ ,用来表明时钟偏差值的离散程度。

$$\sigma = \sqrt{\frac{(x_1 - \bar{\delta})^2 + (x_2 - \bar{\delta})^2 + \dots + (x_k - \bar{\delta})^2}{k}} \quad (19)$$

用 z_1, z_2, \dots, z_{15} 表示每一级 STA 站点在时钟调整过程中相对于上一级时钟的平均误差,根据误差的线性叠加法则,15 级 STA 站点时钟信号传递函数为 $y = f(z_1, z_2, \dots, z_{15}) = z_1 + z_2 + \dots + z_{15}$,则标准差 σ 满足如下公式:

$$\sigma_y^2 = \sigma_{z_1 z_2 \dots z_{15}}^2 = \sigma_{z_1}^2 \left(\frac{\partial y}{\partial z_1}\right) + \sigma_{z_2}^2 \left(\frac{\partial y}{\partial z_2}\right) + \dots + \sigma_{z_{15}}^2 \left(\frac{\partial y}{\partial z_{15}}\right) = \sigma_{z_1}^2 + \sigma_{z_2}^2 + \dots + \sigma_{z_{15}}^2 \quad (20)$$

其中 $\sigma_1, \sigma_2, \dots, \sigma_{15}$ 表示每一级时钟传递的标准差。设 $\sigma_1 = \sigma_2 = \dots = \sigma_{15}$,则 15 级 STA 站点与 CCO 的时钟误差为:

$$\sigma_y = \sqrt{\sigma_{z_1}^2 + \sigma_{z_2}^2 + \dots + \sigma_{z_{15}}^2} = \sqrt{15\sigma_1^2} \approx 3.87\sigma_1 \quad (21)$$

表明 STA15 级站点的标准差 σ 在理想状态下应该是 STA1 级站点的 3.87 倍。

为了验证理论分析的正确性,搭建了测量系统进行数据采集,系统中所采用的各级站点如图 12 所示,图 12(a)为实验所使用的通信模块,图 12(b)为电脑中获取的实验数据。

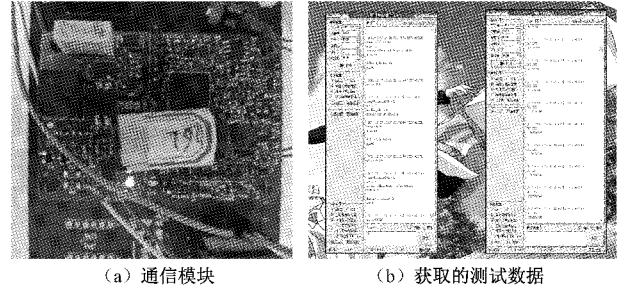
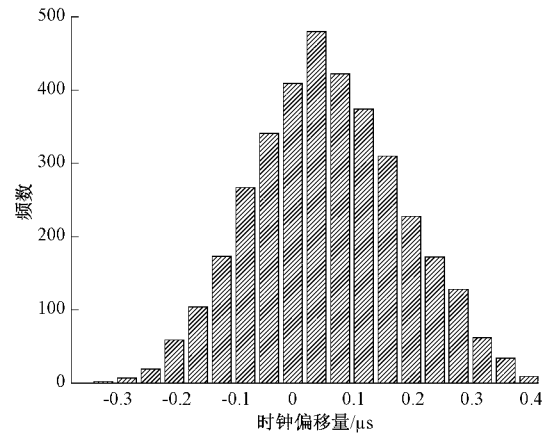
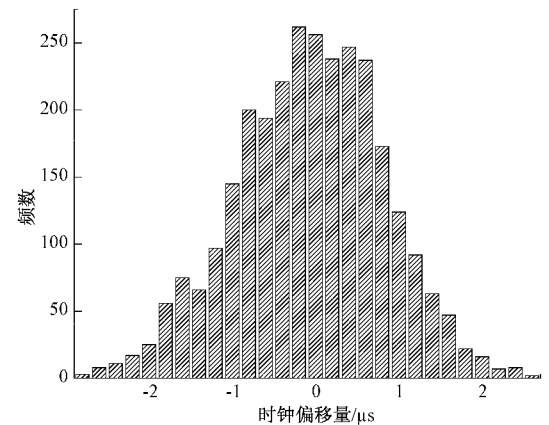


图 12 测试中的通信模块与接收的数据

图 13(a)和(b)分别表示 STA1 级站点和 STA15 级站点的时钟偏离情况。可以看出,Offset 基本满足正态分布。经计算可知,STA1 级站点的 σ 值为 4.95,STA15 级站点的 σ 值为 20.03,STA15 级站点的 σ 值是 STA1 级站点对应值的 4.04 倍,接近理论计算值 3.87,基本满足预



(a) 第1级时钟的偏移量Offset统计



(b) 第15级时钟的偏移量Offset统计

图 13 不同级数的时钟偏移情况

期。STA15级站点与CCO的时钟偏离大概 $0.8\ \mu\text{s}$,表明即使在时钟信号经过15级传递后依旧能够使时钟保持在相对稳定的状态。完全能够满足国家电网规约中对于时钟精度的要求。表明所设计的时钟同步方法可应用于实际电网,甚至在单频网络中使用,增强信号传输效果,具有良好的实际意义。

4 结 论

在现代智能电力系统中,时钟同步技术是其中的核心部分。为了提高电力线载波网络中的时钟精度,对时钟信号进行采集,分析讨论了物理层时钟频率对时钟精度的影响。采用高分辨率的分数型锁相环,以模糊控制为基础,设计了基于间隔的时钟同步算法,实现了电力系统时钟的高精度同步,同步精度能够达到 $\pm 0.8\ \mu\text{s}$,能够达到预期设计目的且同步精度高于目前的主流时钟同步算法。能够较好地维持网络系统的稳定运行,展现了很强的实用性,有利于电力线模块的组网,能够提高信道资源的利用率。未来针对分布式的电力线系统网络,可以对电力线载波通信在单频网络上的应用展开深入研究,有助于提高电力线载波通信网络的通信质量,拓展电力线载波通信的应用场景。

参考文献

- [1] MATTSSON A. Single frequency networks in DTV[J]. IEEE Transactions on Broadcasting, 2005, 51(4): 413-422.
- [2] IDREES Z, GRANADOS J, SUN Y, et al. IEEE 1588 for clock synchronization in industrial iot and related application: A review on contributing technologies, protocols and enhancement methodologies [J]. IEEE Access, 2020, 8: 155660-155678.
- [3] REISLAN T, KUBA M, ROBER J, et al. Synchronization approaches and improvements for a low-complexity power line communication system[C]. 2019 IEEE International Conference on Communications, Control, and Computing Technologies for Smart Grids (SmartGridComm), IEEE, 2019:1-6.
- [4] GADERER G, LOSCHMIDT P, SAUTER T, et al. Investigations on fault tolerant clock synchronization within a power line communication structure [C].

IEEE International Symposium on Power Line Communications & Its Applications, IEEE, 2006: 178-183.

- [5] SLISKOVIC M, JEREN B. Clock frequency synchronisation in OFDM system for power line communications [C]. International Workshop on Image & Signal Processing & Analysis, IEEE, 2000: 241-246.
- [6] 邱赐云. 低压电力线载波通信收发机架构设计[J]. 计算机应用与软件, 2013, 30(4):290-292,325.
- [7] KOUTITAS G. Green network planning of single frequency networks[J]. Broadcasting, IEEE Transactions on, 2010, 56(4):541-550.
- [8] 郑礼超,赵文龙,欧阳明长. 基于DSP高精度时钟同步系统设计[J]. 南昌航空大学学报(自然科学版), 2017, 31(1):91-98.
- [9] 郭振坤. GPS高精度时间/频率同步设备设计和实现[J]. 全球定位系统, 2009, 34(2):31-35.
- [10] 王刚,乔纯捷,王跃科. 基于时钟同步的分布式实时系统监控[J]. 电子测量与仪器学报, 2010, 24(3): 274-278.
- [11] 何一航. IEEE1588高精度网络时钟同步研究与实现[D]. 武汉:华中科技大学, 2011.
- [12] 徐安洋,郭迪,孙向明. 2.56GHz低抖动CMOS集成锁相环的设计[J]. 电子设计工程, 2020, 28(16): 188-193.
- [13] 卓燕君. 延迟锁相环电路的结构与原理[J]. 计算机产品与流通, 2019(1):96,154.
- [14] 谭宁禹. 快速锁定分数分频全数字锁相环的研究[D]. 大连:大连理工大学, 2020.
- [15] 何宇,漆汉宏,罗琦,等. 基于分数阶滤波器的三相锁相环技术[J]. 电工技术学报, 2019, 34(12):2572-2583.
- [16] 曲韩宾,谷江,丁理想,等. 卫星通信系统CMOS分数分频频率综合器设计[J]. 半导体技术, 2019, 44(2): 99-103,153.

作者简介

张仕奇,硕士研究生,主要研究方向为智能信息处理技术。

E-mail:798459736@qq.com

田恒(通信作者),博士,主要研究方向为智能信息处理技术。

E-mail:1226854908@qq.com