

DOI:10.19651/j.cnki.emt.2208786

# 基于 SOPC 的检焦图像实时处理系统设计\*

赵子豪<sup>1,2,3</sup> 骆冬根<sup>1,3</sup> 路美娜<sup>1,3</sup> 罗环<sup>1,3</sup> 赵鑫鑫<sup>1,2,3</sup> 雷雪枫<sup>1,2,3</sup>

(1. 中国科学院合肥物质科学研究院安徽光学精密机械研究所 合肥 230031; 2. 中国科学技术大学 合肥 230026;  
3. 中国科学院通用光学定标与表征技术重点实验室 合肥 230031)

**摘要:** 针对投影式光刻机检焦系统对图像处理强实时性的需求,以 FPGA 芯片为载体,设计了一种基于 SOPC 的检焦图像实时处理系统。首先,使用 Microblaze 嵌入式软核执行图像处理算法,无需更改硬件架构即可进行系统方案验证和算法调试;然后,采用软硬件协同的方案,将算法移植到 FPGA 硬件中,实现了检焦流程的加速。FPGA 片内通过 AXI 总线进行软硬件间数据交互,片外通过光纤接口与工件台互连,完成检焦结果的高速上传。实验结果表明,系统运行稳定,完成整个检焦流程需要 104  $\mu\text{s}$ ,软硬件协同实现速度约为软核实现的 1 700 倍。

**关键词:** 检焦;图像处理;SOPC;Microblaze;软硬件协同;AXI 总线

**中图分类号:** TP274 **文献标识码:** A **国家标准学科分类代码:** 510.4030

## Design of real-time processing system of focus detection image based on SOPC

Zhao Zihao<sup>1,2,3</sup> Luo Donggen<sup>1,3</sup> Lu Meina<sup>1,3</sup> Luo Huan<sup>1,3</sup> Zhao Xinxin<sup>1,2,3</sup> Lei Xuefeng<sup>1,2,3</sup>

(1. Anhui Institute of Optics and Fine Mechanics, Hefei Institutes of Physical Science, Chinese Academy of Science, Hefei 230031, China; 2. University of Science and Technology of China, Hefei 230026, China;  
3. Key Laboratory of Optical Calibration and Characterization of Chinese Academy of Science, Hefei 230031, China)

**Abstract:** Aiming at the strong real-time demand of image processing in the focus detection system of projection lithography machine, a focus detection image real-time processing system based on SOPC is designed with FPGA chip as the carrier. Firstly, the Microblaze embedded soft core is used to execute the image processing algorithm, and the system scheme verification and algorithm debugging can be carried out without changing the hardware architecture. Then, using the scheme of software and hardware cooperation, the algorithm is transplanted to FPGA hardware to accelerate the focus detection process. The FPGA chip carries out data interaction between software and hardware through Axi bus, and the off chip is interconnected with the worktable through optical fiber interface to complete the high-speed upload of focus detection results. The experimental results show that the system runs stably, and it takes 104  $\mu\text{s}$  to complete the entire focus detection process, and the software-hardware collaboration is about 1 700 times faster than the soft-core implementation.

**Keywords:** focus detection; image processing; SOPC; Microblaze; software and hardware collaboration; AXI bus

## 0 引言

投影式光刻机是大规模集成电路制造的核心装备,分辨率  $R$  和焦深  $\text{DOF}$  是光刻机的两个重要参数。在通过降低曝光光源波长  $\lambda$  和增大数值孔径  $\text{NA}$  提高分辨率的同时,会造成焦深  $\text{DOF}$  的明显下降<sup>[1]</sup>。如果在曝光过程中,硅片表面的曝光区域不在有效的焦深范围内,则会造成曝光质量下降,进而降低芯片成品率<sup>[2]</sup>。

因此,需要设计检焦系统实时测量硅片位置信息,并指导工件台运动完成硅片的调焦调平,使硅片表面在曝光过程中始终处于最佳焦平面位置。随着光刻机产率的不断提升,检焦系统需要在精确测量硅片离焦量和倾斜量的同时,提高工作频率以匹配光刻机的产能需求<sup>[3]</sup>。目前,检焦技术广泛使用激光三角测量法,通过处理光电传感器采集到的图像数据提取硅片位置信息<sup>[4]</sup>。为了达到高速检焦的目的,需要设计高采集频率、低运算时延的高速图像处理系统。

收稿日期:2022-01-06

\* 基金项目:王宽诚率先人才计划“卢嘉锡国际合作团队项目”(GJTD-2018-15)资助

高速图像处理单元的工作质量深刻影响着检焦系统的速度和精度,传统的嵌入式实现方案已无法满足系统对实时性的需求,通过 FPGA 实现算法的硬件加速则是一种有效的解决方案。文献[5-6]提出利用 FPGA+DSP 搭建异构平台设计实时成像处理系统,同时发挥 FPGA 驱动能力强、高速采集性能优越的特点和 DSP 强大的数据运算能力,但多处理器平台结构复杂、调试难度较大,存在一定的资源冗余。李刚等<sup>[7]</sup>提出以 FPGA 为核心构建实时电子稳像系统,利用其丰富的逻辑资源实现高速信号的采集和信号的硬件加速处理,但使用硬件编程语言实现过程相对复杂,其灵活性和扩展性一般<sup>[8-10]</sup>;文献[11-12]则提出使用 FPGA 的 SOPC 技术进行图像处理,通过软硬件协同的方式实现图像处理,这种方案具有实时好、灵活性高的特点。

基于以上分析,本文设计了基于 SOPC 的软硬件协同检焦图像实时处理方案。首先在 FPGA 内部搭建基于 Microblaze 软核的 SOPC 开展系统方案验证,利用嵌入式软核实现图像处理算法的实时调试,解决了直接用 Verilog/VHDL 语言进行开发存在的工作量大、调试不方便等问题。然后,搭建基于 SOPC 的软硬件协同检焦图像实时处理系统,将耗时多、重复性高的图像处理算法移植到 FPGA 硬件中实现。在整个系统中,使用硬件可编程资源实现高速图像采集、图像处理的硬件加速及高速通信等功能,使用 Microblaze 软核完成硬件参数模块的灵活配置、工作流程控制及计算量少但复杂的单精度浮点运算<sup>[13]</sup>。本文研究的基于 SOPC 的检焦图像实时处理系统,通过软硬件结合的方式既解决了硬件语言编程效率低、开发周期长的缺点,又利用硬件固有的快速特性替代软件算法,实现了图像处理的硬件加速<sup>[14]</sup>,具有实时性强、灵活性好、集成度高的特点,能够满足检焦系统的实际应用需求。

## 1 检焦系统及算法

### 1.1 检焦原理

基于光学三角测量法的检焦系统原理如图 1 所示。光源发出光束照明针孔调焦标记,调焦标记经过成像系统 1 和转折反射镜 1 以一定角度照射于硅片表面上,形成如图 2 所示的 5 组调焦标记。调焦标记经硅片反射,被成像系统 2 放大成像在 5 路 CCD 探测器上,每路探测器成像一组调焦标记。

当硅片位置变化时,调焦标记在 CCD 上产生相应位移,测量调焦标记的位移量可以得到硅片的离焦量,通过不同位置的离焦量得到硅片平面法向量,进而得到硅片的倾斜量。由于测量原理只需一维位移信息,故选用 2 048 像元线阵 CCD 探测器,其读出频率可达 5 000 fps,可以满足检焦系统对测量精度和工作速度的要求。线阵 CCD 探测器在检焦系统中完成光电信号转换,其图像数据携带硅片的离焦量、倾斜量信息。因此,需要设计高速图像处理系统提取硅片的位置、姿态信息。

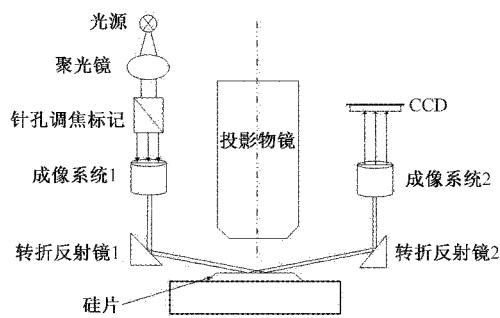


图 1 检焦系统原理

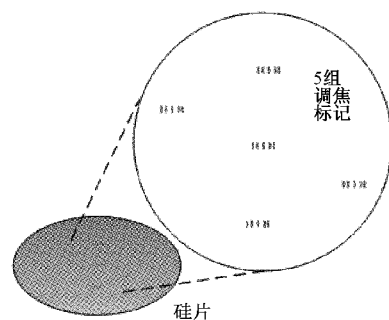


图 2 硅片成像 5 组调焦标记

### 1.2 算法思想

基于线阵 CCD 图像处理算法的核心是快速计算获取探测器上成像的 5 处光斑精确位置,常见的光斑定位算法有峰值法、灰度质心法、Hough 变换法和多项式插值法等<sup>[15]</sup>。为了兼顾系统对处理速度、精度的要求,本文使用模板匹配法对 5 处光斑位置粗定位,然后使用加权质心法完成光斑细定位,最终实现光斑的亚像素级定位。综合 5 处光斑重心的定位结果可以得到硅片的离焦量和倾斜量。

#### 1) 模板匹配法粗定位

如图 3 所示为单组调焦标记的 CCD 成像及粗定位示意图,5 个波峰之间的相对位置已知且保持不变。通过在 5 个光斑信号的波峰位置和两侧本底位置设置权重系数,然后从左向右逐个像元移动权重系数的起始位置,经如式(1)匹配度公式计算可以得到在不同起始位置处的匹配度结果。匹配度最大的像元坐标作为粗定位结果,结合粗定位结果和光斑之间的相对距离可以得到 5 个光斑的粗略位置。

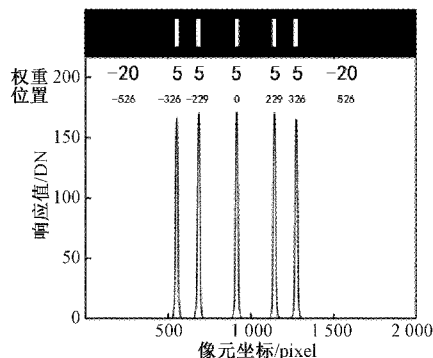


图 3 CCD 成像及粗定位示意图

$$\text{匹配度} = \sum \text{权重} \times 7 \text{ 个位置响应值} \quad (1)$$

2) 质心法细定位

如图 4 所示,根据粗定位得到的大致光斑位置,选取对应波形宽度的计算窗口,通过如式(2)所示的质心法得到细定位结果。为了提高光斑定位精度,本文使用了加权质心法,通过加权的方式加强信号和噪声之间的区别,突出离中心值较近的灰度值对中心位置的影响,减小噪声对定位精度的影响,实现光斑的亚像素级定位。

$$x_c = \frac{\sum_{i=1}^n x_i \times f^3(x_i)}{\sum_{i=1}^n f^3(x_i)} \quad (2)$$

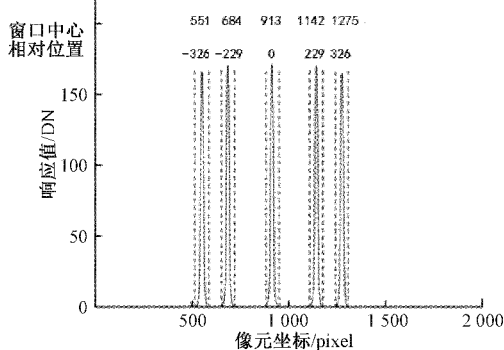


图 4 细定位的计算窗口

2 系统硬件架构

如图 5 所示,检焦图像处理系统硬件部分由 5 路 CCD 相机、FPGA 主控模块、DDR 存储器、SFP 光模块以及光源、电机等外设构成。主控芯片选用 XILINX 7 系列的 K7325T-FFG990 FPGA,其丰富的逻辑资源、大量的 DSP 硬核资源在实现图像处理算法中发挥重要作用、丰富的 IO 接口支持同时接收五路图像数据。CCD 相机内含分辨率为 16 bit 的 AD 转换模块,通过 Cameralink 总线完成数据的可靠传输,使用编解码芯片 DS90CR288A 将图像数据并行传输到 FPGA IO 模块。SFP 光模块使用 AXS85-192-M2,该模块广泛兼容各种光线设备,最高可支持 10 Gbit/s 的传输速率。

检测系统上电后,FPGA 集成的嵌入式软核 Microblaze 先通过 AXI 总线完成对图像处理模块的参数配置,并建立光纤传输链路,接收上位机指令,完成对相机、光源和电机的模式设置,并触发相机工作。然后,通过图像采集模块完成对图像的采集与缓存,图像处理模块使用硬件逻辑电路完成对 5 路相机图像的加速处理,并将处理结果传输至 Microblaze 软核完成倾斜量的计算。最后,通过光纤通信将结果传输至工件台,同时开始下一次图像采集与处理工作。其中,图像处理模块在方案验证阶段由 Microblaze 软核实现,在工程应用阶段由 FPGA 硬件可编程资源实现。

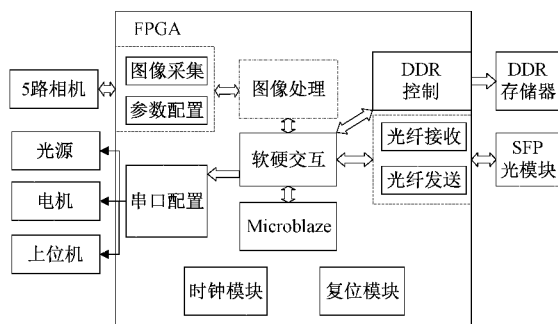


图 5 系统架构图

3 实时图像处理的 FPGA 实现

FPGA 实现检焦图像的实时处理分两阶段完成。在第 1 个阶段,基于 SOPC 的 Microblaze 软核开展方案验证,使用软件实现图像处理算法,完成算法结构、参数的实时调试;在第 2 个阶段,设计基于 SOPC 的软硬件协同处理系统,将运算量大、耗时严重的图像处理算法移植到硬件中实现,提高检焦系统的工作频率。

3.1 基于 Microblaze 软核开展方案验证

SOPC(system on programmable chip)是 Altera 公司提出的嵌入式可编程系统的概念,利用 FPGA 内部通用逻辑资源和相关 IP 核搭建 SOPC,内部包括处理器、I/O 口、存储器等功能模块。本设计的 SOPC 采用 CPU 的是 XILINX 公司的 Microblaze 嵌入式软核,内部采用 32 位 RISC 优化结构和 Harvard 总线结构,可稳定工作在 200 MHz<sup>[16]</sup>,该处理器支持浮点运算和逻辑运算,可以实现本文系统的数据处理功能。

如图 6 所示为基于 Microblaze 软核的 SOPC 架构图,包括主控制器 Microblaze 软核、图像采集模块、DDR 读写模块、高速通信及外设控制模块。多通道原始图像数据经过数据采集模块、AXI 存储控制模块写入片外 DDR 存储器。Microblaze 处理器收到图像存储完成的信息后,通过 AXI 总线访问 DDR 存储器获取图像数据并执行处理算法,处理结果经光纤通信模块上传到工件台。

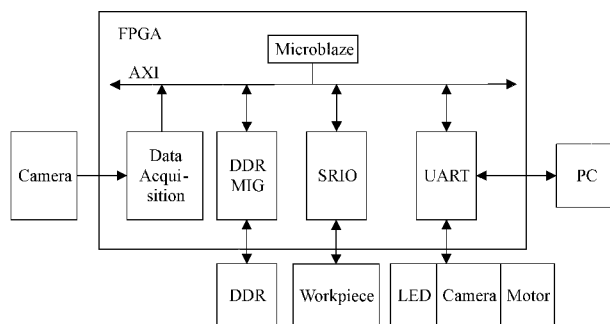


图 6 基于 Microblaze 软核的 SOPC

Microblaze 使用 C 语言编程完成图像处理算法,具有版本更新快,调试方便的特点,可以在不改变硬件模块的基

础上实现算法的快速、高效调试。本文利用 Vivado 固有的仿真软件和逻辑分析仪 ILA 完成硬件模块的功能验证,通过对 Microblaze 算法处理结果的评估完成方案验证。

### 3.2 基于 SOPC 的软硬件协同处理系统实现

#### 1) 系统架构

基于 SOPC Microblaze 软核完成验证工作后,设计软硬件协同处理系统,架构如图 7 所示。系统使用 Microblaze 软核完成硬件模块参数的初始化配置、实现流程复杂但计算量少的离焦量计算及与外设间的串口通信等功能,使用硬件资源完成具有大量重复运算的光斑定位算法、高速通信等功能。通过软硬件结合的方式既克服了硬件编程语言实现周期长、扩展性差的缺点,又实现了图像处理算法的硬件加速。

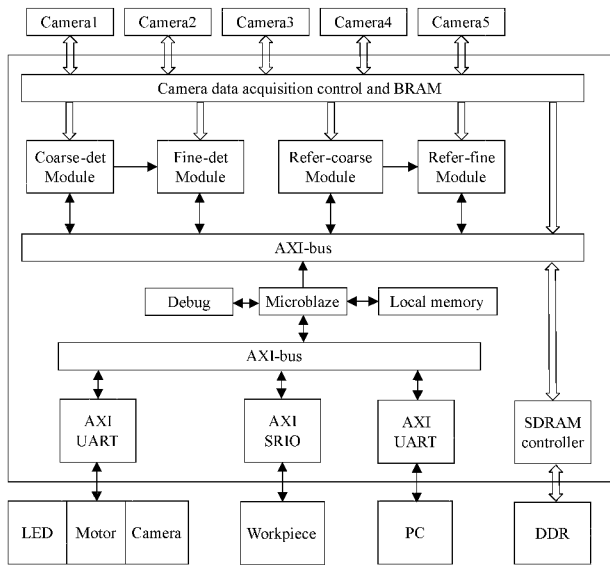


图 7 软硬件协同图像处理系统

#### 2) 图像处理的硬件实现

图像处理算法从软核向硬件移植的目的是利用硬件所固有的快速特性替代软件算法实现以提高系统工作频率。在检焦算法的实现过程中采用硬件复制的方式同时处理 5 路 CCD 图像数据,达到并行处理的效果,利用流水线技术处理复杂运算,在提高系统工作频率的同时,实现图像处理的硬件加速。

基于模板匹配法的粗定位算法核心是匹配度公式,使用多位宽乘法和加法运算进行匹配度计算。由于参与匹配度运算的位置响应值存在 FPGA 内部 Block Ram 中,且存储地址不连续。因此,需要分 7 个时钟周期将数据依次取出。如图 8 所示为优化前使用 Verilog 实现匹配度公式综合出的电路结构,响应值分别与权重相乘获得运算结果,然后进行累加运算。此电路结构无法高效实现,其原因在于该电路延时长,在较高主频下无法时序收敛,是提升系统时钟频率的瓶颈。

为解决上述问题,本设计将匹配度公式系统地分割,并

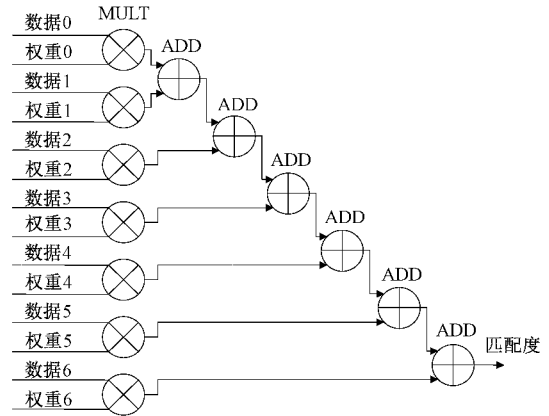


图 8 优化前粗匹配电路结构

插入寄存器保存过程结果,优化后的电路结构如图 9 所示。由此,将匹配度公式分成多个周期执行运算,中间插入的多级流水减少了多个运算器模块串联造成的逻辑延时。如图 10 所示为粗定位实现时序图,可在单个周期完成多级运算,随着图像数据不断写入,计算结果不断输出。相比软件实现,FPGA 利用其硬核运算器资源可在单个周期完成一次乘加运算,算法消耗的周期大大减少,实现了粗定位算法的硬件加速。

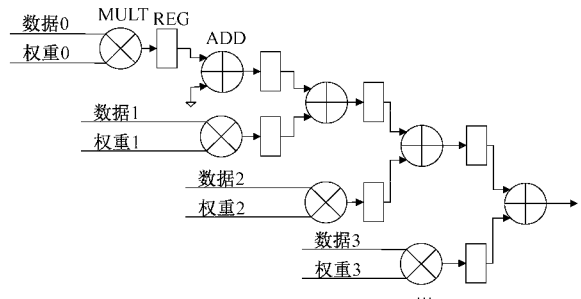


图 9 优化后粗匹配电路结构

基于质心法的细定位算法核心是加权质心公式,硬件实现细定位流程如图 11 所示。

首先进行单个光斑的多位宽乘、加法运算,然后使用带有 AXI-Stream 接口的除法器 IP 核计算每个光斑的重心,最后通过 4 组光斑重心求平均得到光斑在 CCD 上的重心位置。FPGA 在进行多位宽乘、加运算时默认使用查找表(LUT)技术,该方法一方面占用 FPGA 内部大量的 LUT 资源,加大了布局难度;另一方面查找表实现复杂计算在布线过程中会造成很大的网络延迟,增加了时序收敛的难度,在一定程度上影响了整体运行性能。因此,本文通过原语指定使用 FPGA 内部 DSP48 硬核资源实现多位宽乘加运算。DSP48 由乘法器、加法器、算法逻辑单元 3 部分构成,利用 DSP 实现乘加器,缓解了 FPGA 片内布局布线的拥塞问题,使系统可以稳定工作在 200 MHz。重心计算使用了 FPGA 的硬件除法器资源,其内部使用流水线技术且综合效果好,可保留小数位,保证了算法实现精度。

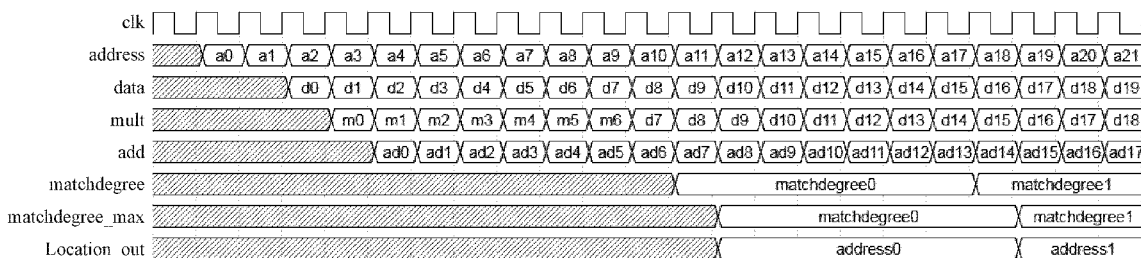


图 10 粗定位波形图

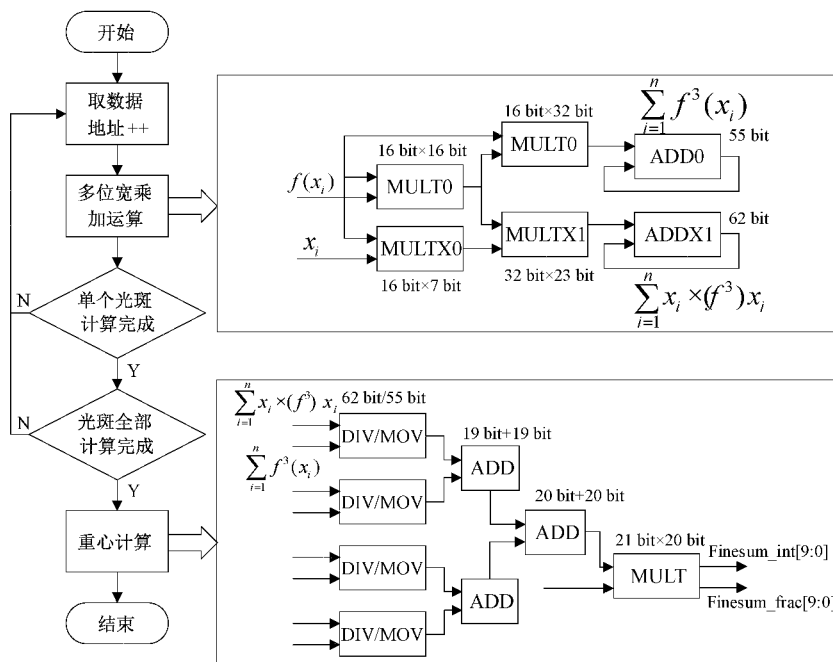


图 11 细定位硬件实现

### 3.3 通信模块

本文检焦系统中,上位机对 FPGA 硬件模块参数的设置和对外设的命令传输通过 RS422 串行接口实现。由于这些参数只用于系统启动或者结束阶段,且数据量小,所以使用传输速度慢的串口实现。而 FPGA 片内软硬件间的交互数据和检焦结果等信息不仅对时间敏感而且数据量大,所以分别使用 AXI 高速总线和光纤通信来实现。

#### 1) AXI 总线

AXI(advanced extensible interface)是基于突发机制的一种高带宽、低延时的片内总线。本设计在 FPGA 中广泛采用 AXI 总线通信,在 Vivado 集成的 AXI IP 核上进行自定义开发,实现了处理速度和带宽的最大化。系统使用 AXI-FULL 协议完成图像数据突发传输,使用 AXI-LITE 协议完成串口通信和硬件模块的寄存器配置。

#### 2) 光纤通信

光纤通信具有传输速率快、抗干扰性强的特点。本文以光纤为传输介质,搭载 Rapidio 通信协议实现图像处理

结果的高速、可靠传输。RapidIO 具有传输速率高、引脚数少、纠错能力强等优点,其协议由逻辑层、传输层和物理层构成。Xilinx 7 系列 FPGA 为用户提供了 SRIO Gen2 IP 核,将 3 层体系结构封装,并集成了错误重传机制<sup>[17]</sup>。用户接口使用 AXI-Stream 协议,通过 valid、ready、last 握手机制实现数据包高速传输,如图 12 所示为 AXI-Stream 协议的状态机实现。

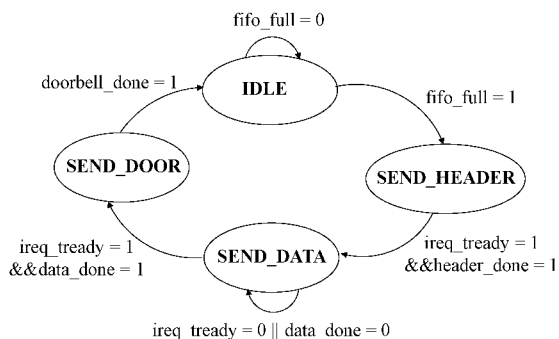


图 12 AXI-Stream 流程



### 4 实验结果及分析

#### 4.1 图像处理速度测试

为验证本文设计的软硬件协同处理系统能满足实际应用对实时性要求,利用 Vivado 集成的 AXI Timer IP 核对图像处理速度进行了测试。AXI Timer 具有 AXI 总线接口, Microblaze 可通过 AXI 总线访问 IP 核内部计数器,通过计数值 cnt 和时钟周期 T 可以获得高精度计时(10 ns 级)。在 SDK 软件中,将 XTime\_GetTime 函数放置在待测模块起始端和结束端,得到的计数值分别存储于 Start\_cnt, End\_cnt 两个变量中,由式(3)可得到待测程序的运行时间 Time。

$$Time = T \times (End\_cnt - Start\_cnt) \quad (3)$$

本文使用 FPGA 完成检焦流程分两步进行:基于 SOPC Microblaze 嵌入式软核的方案验证阶段、基于 SOPC 软硬件协同处理系统实现阶段。两种实现方式性能对比如表 1 所示。

表 1 两种实现方式性能对比

实现方式	Microblaze 软核 调试系统/ms	软硬件协同 处理系统/ $\mu$ s
粗定位	2.125	34.92
细定位	19.32	10
单幅图像	35.030	59.4
5 幅图像	175.116	104.32

由表 1 可知,软硬件协同处理系统实现五幅图像处理所需时间为 104.32  $\mu$ s,相比 Microblaze 软核,其处理速度提高将近 1 700 倍,能满足某型号光刻机工作周期为 200  $\mu$ s 的要求。软核实现图像处理算法是串行的,每次进程执行都需要等待当前进程结束,并且其内部没有专用的

硬件乘法器、除法器,在进行复杂乘加运算时需要分很多个周期实现。软硬件协同处理系统充分利用 FPGA 内部逻辑资源、乘法器和除法器资源执行复杂运算,同时以硬件复制和流水线的方式实现运算的并行化。本设计占用 FPGA 资源将近 30%,可根据面积换速度的原则增加硬件资源的使用率进一步提高图像处理速度。通过与软核运算性能对比,可知该系统具有很好的实时性。

#### 4.2 光纤通信测试

##### 1) 功能测试

考虑到系统具有两个光通道,因此,采用通道间回环的方式对高速串行通信功能的正确性进行了测试,两个光通道在硬件上经光纤连接,如图 13 所示为 RapidIO 传输数据流。测试过程如下,首先将通道 A 作为发送端,通道 B 作为接收端,二者构成环路。系统从通道 A 向通道 B 发送固定数据,使用 ILA 逻辑分析仪同时抓取两个通道信号,通过对比两通道数据是否一致来判断数据传输的正确性。然后,将通道 A 和通道 B 角色互换,用相同的办法进行测试,验证了光纤通道接收/发送数据的正确性。

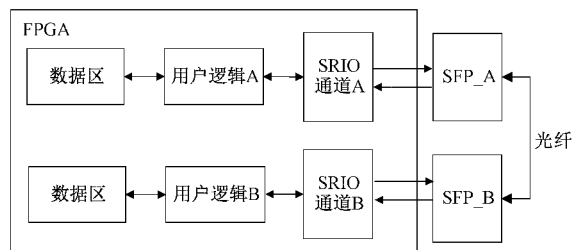


图 13 RapidIO 传输数据流

如图 14 所示为使用 ILA 抓取的 SRIO 发送波形图,当 irq\_req\_tready 有效时,拉高 irq\_req\_tvalid 开始传输包头和数据负载。

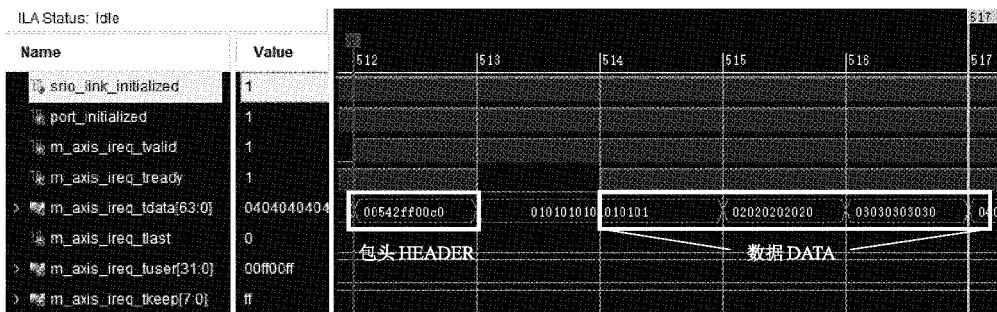


图 14 SRIO 发送波形图

##### 2) 速率测试

RapidIO 在使用过程中被配置为 1x 模式,5 Gbit/s 速率,逻辑时钟为 62.5 MHz,考虑到传输过程中采用了 8B/10B 编码,其理论带宽为 4 Gbit/s。

假设传输的数据长度为 size,传输时间为 t,则传输速

率为  $size/t$ 。在发送第 1 个数据帧时,开启硬件计时器,发送完最后一个数据帧时,结束计时。根据传输的数据长度、计时值和时钟周期可以得到 RapidIO 传输速率。如表 2 所示为速率测试数据,RapidIO 传输速率稳定在 3.4 Gbit/s,其效率约为 85.15%,满足检焦系统对传输速

率大于 2.5 Gbit/s 的指标要求。

表 2 RapidIO 传输速率测试

传输长度/ Byte	计数值	速率/ (Gbit·s <sup>-1</sup> )	效率/%
0x100	35	3.406	85.15
0x200	70	3.406	85.15
0x400	140	3.406	85.15
0x800	280	3.406	85.15
0x1000	560	3.406	85.15
0x2000	1 120	3.406	85.15
0x4000	2 240	3.406	85.15

## 5 结 论

本文根据实际应用需求,设计了一种基于 SOPC 的检焦图像实时处理系统。首先,调用 Microblaze 软核实现图像处理以确定算法实现流程及过程参数,极大地降低了方案验证阶段系统调试难度,加快了研发进度。然后,采用软硬件协同设计技术将图像处理算法移植到硬件中实现,完成了算法的硬件加速。对比硬件编程语言实现图像处理,该系统具有灵活性高、调试方便的特点;对比嵌入式软核实现图像处理,该系统则具实时性强的优点。实验结果表明,软硬件协同方案的实现效率为软核实现的 1 700 倍,具有实时性高,可靠性强的优点,同时高速串行总线通信正常,传输速率达 3.4 Gbit/s,可以满足实际应用的需求。

### 参考文献

- [1] 陈昌龙. 投影光刻机中的线阵 CCD 高速检焦技术研究[D]. 成都:中国科学院研究生院(光电技术研究所),2015.
- [2] 孙裕文,李世光,宗明成. 基于空间分光的纳米级调焦调平测量技术[J]. 光学学报,2016,36(5):105-112.
- [3] 廖飞红,李小平,陈学东,等. 调焦调平探测光斑位置误差对测量准确度影响的研究[J]. 光学学报,2010,30(4):1041-1045.
- [4] 孙裕文,李世光,叶甜春,等. 纳米光刻中调焦调平测量系统的工艺相关性[J]. 光学学报,2016,36(8):110-120.

- [5] 周全. 基于 FPGA 和 DSP 架构的实时高速图像处理系统的硬件平台设计[D]. 重庆:重庆理工大学,2016.
- [6] ALQASEMI U, LI H, AGUIRRE A, et al. Real-time co-registered ultrasound and photo-acoustic imaging system based on FPGA and DSP architecture[C]. Proc. SPIE 7899, Photons Plus Ultrasound: Imaging and Sensing 2011,78993S, DOI:10.1117/12.875616.
- [7] 李刚,程志峰. 基于 FPGA 的实时电子稳像[J]. 仪器仪表学报,2013,34(S1):8-13.
- [8] ALQASEMI U, LI H, YUAN G, et al. Ultrafast ultrasound and photoacoustic co-registered imaging system based on FPGA parallel processing[C]. Proc. SPIE 8223, Photons Plus Ultrasound: Imaging and Sensing 2012, 82232U, DOI:10.1117/12.907583.
- [9] 裴晓芳,王洁,宋林. 基于 FPGA 的快速图像纹理特征提取方法的研究[J]. 电子测量与仪器学报,2017,31(7):1067-1073.
- [10] 祁欣,陈剑锋,罗伟林. 图像预处理算法的 FPGA 实现[J]. 国外电子测量技术,2021,40(2):102-107.
- [11] 朱江波,赵志衡,刘洋,等. 基于 ZYNQ SoC 的黑白色选系统设计[J]. 电子测量技术,2019,42(10):52-57.
- [12] 沈淦松,叶玉堂,刘霖,等. FPGA 软硬件协同处理实时图像处理系统[J]. 光电工程,2012,39(10):143-150.
- [13] 李明峰. 基于 SOPC 的图像采集与处理系统设计[D]. 南京:南京邮电大学,2020.
- [14] 张海青. 基于 FPGA 图像处理系统的关键算法研究及硬件实现[D]. 重庆:重庆大学,2010.
- [15] 史少龙,尹达一. 改进型灰度质心实时算法研究[J]. 光电工程,2013,40(12):18-24.
- [16] 李辉,张梦瑶,张春晖. 基于 MicroBlaze 的串口通信设计[J]. 计算机与网络,2016,42(16):61-63.
- [17] 李宾,刘鑫,杨文良,等. 一种基于 RapidIO 总线的高速图像数据传输设计[J]. 航天控制,2018,36(1):69-74.

### 作者简介

赵子豪,硕士研究生,主要研究方向为光电检测技术。

E-mail:1143633317@qq.com

骆冬根(通信作者),博士,副研究员,主要研究方向为光电检测技术、偏振光学遥感技术。

E-mail:dgluo@aiofm.ac.cn