

DOI:10.19651/j.cnki.emt.2210696

变压器有载分接开关测试仪校准装置的研制*

郝丹¹ 侯琼² 肖鹏¹

(1. 中国测试技术研究院电子研究所 成都 610021; 2. 成都理工大学核技术与自动化工程学院 成都 610051)

摘要: 传统的变压器有载分接开关测试仪校准方法存在难以同步校准过渡电阻、过渡时间、同期性等难题。文中设计了三路基于FPGA控制DAC模拟不同电阻的可变电阻模块,经过频率补偿可变电阻模块可以实现电阻的迅速切换,实现了模拟过渡电阻、过渡时间和同期性的同步校验,同时设计了过压、过流和防反接的保护电路,提高了整个装置的可靠性。经过测试,该校准装置模拟的过渡电阻最大允许误差 $\pm(0.2\%RD+5\text{ m}\Omega)$,过渡时间、同期性绝对误差小于 $10\text{ }\mu\text{s}$,完全满足实验室校准需求,解决了变压器有载分接开关测试仪校准难题。

关键词: 变压器有载分接开关;过渡电阻;过渡时间;同期性;可变电阻;保护电路;校准装置

中图分类号: TM862 **文献标识码:** B **国家标准学科分类代码:** 510.1

Development of calibration device for transformer on load tap changer tester

Hao Dan¹ Hou Qiong² Xiao Peng¹

(1. Institute of Electronics National Institute of Measurement and Testing Technology, Chengdu 610021, China;

2. The College of Nuclear Technology and Automation Engineering, Chengdu University of Technology, Chengdu 610051, China)

Abstract: The traditional calibration method of transformer on-load tap-changer tester has difficulties in synchronous calibration of transition resistance, transition time and synchronization. In this paper, three variable resistor modules based on FPGA control DAC are designed to simulate different resistors. After frequency compensation, the variable resistor module can realize the rapid switching of resistors, and realize the synchronous verification of analog transition resistance, transition time and synchronization. At the same time, the protection circuits of overvoltage, overcurrent and anti-reverse connection are designed to improve the reliability of the whole device. After testing, the maximum allowable error of transition resistance simulated by the calibration device is better than $\pm(0.2\%RD+5\text{ m}\Omega)$, and the absolute error of transition time and synchronization is less than $10\text{ }\mu\text{s}$, which fully meets the needs of laboratory calibration and solves the calibration problem of transformer on-load tap-changer tester.

Keywords: on-load tap changer of transformer; transition resistance; transition time; synchronization; variable resistance; protection circuit; calibration device

0 引言

变压器有载分接开关测试仪是用于测量和分析电力系统中电力变压器及特种变压器有载分接开关电气性能指标的综合测量仪器。可对变压器有载分接开关的过渡波形、过渡时间、过渡电阻、三相同期性等参数进行测量。但是,目前国内外变压器有载分接开关测试仪的质量参差不齐,而且缺少有效的检测变压器有载分接开关测试仪参数的校准方法和校验装置。为了保证用电设备的安全运行,更好

地为企业进行校准服务,迫切需要提出科学的校准方法并研制相应的校验装置用于对变压器有载分接开关测试仪器进行校准。

目前,国内计量机构对变压器有载分接开关测试仪的过渡电阻校准一般采用分立的实物电阻,只能对个别电阻值进行校准,且实物电阻受功率系数影响,校准结果可靠性不高;由于校准过渡电阻、过渡时间两个参数采用分别校准的方法,无法同时模拟三路变压器有载分接开关的特征过渡电阻波形,具有一定的局限性,不能充分准确的评价变压

收稿日期:2022-07-15

* 基金项目:四川省重大科技专项(2018TZDZX0002)、四川省重大科技专项(2019ZDZX0034)、四川省科技项目(2018GFW0187)、四川省基本科研业务费(2021JDKY0001)、2020年内江市科技孵化和成果转化专项(2020KJFH003)资助

器有载分接开关测试仪计量性能。

因此本文针对传统校准方法的不足,研制了基于两端法的大功率可变电阻模块,该可变电阻可以在校准范围内任意模拟电阻值,其快速的响应特性可以模拟三路过渡电阻特征波形,可以实现在一次校准过程中同时完成对过渡电阻、过渡时间、同期性 3 个参数校准,解决传统校准方法校准范围小、无法校准同期性等难题。

1 总体设计

为了克服传统校准方法的缺点,实现三通道的过渡电阻、过渡时间以及同期性的同步校验,装置的设计技术指标要达到过渡电阻校验范围 0.1~40 Ω,最大允许误差为 ±(0.2%RD+5 mΩ);过渡时间和同期性校验范围 1~5 000 ms,误差小于 10 μs。

校准装置的整体设计方案如图 1 所示。本设计采用高速处理器 STM32 和现场可编程门阵列(field program gateway, FPGA)进行级联,STM32 处理器负责人机交互的参数设置和状态判断;在 FPGA 中进行逻辑设计,实现三路同步的高速模数转换;设计三路相互独立的两端法模拟电阻通道,每个通道都设计有深度负反馈稳定的可编程模拟电阻;同时,系统对每个通道的电压和电流进行监测,防止过压、过流和反接等意外的发生^[1]。

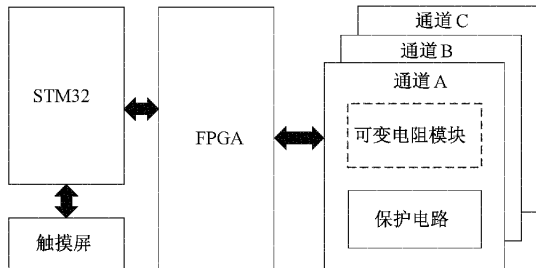


图 1 总体设计

2 关键技术

2.1 可变电阻模块设计

本装置的关键技术就是两端法的大功率可变电阻模块,其特点是对外等效电阻只有两个端子,通过设置数模转换器(digital to analog converter, DAC)可以模拟不同的电阻值^[2],且该模拟电阻既可以承受最大 2 A 的电流,又可以快速切换。

1) 可变电阻原理

两端法的可变电阻原理如图 2 所示。

输入电压为 U_i , 输入电流为 I_i , 输出等效电阻 R 由式(1)得出。

$$R = \frac{U_i}{I_i} \quad (1)$$

运算放大器 A_1 的同向输入信号 U_s 由 R_{f1} 和 R_{f2} 分压得到,如式(2)所示。

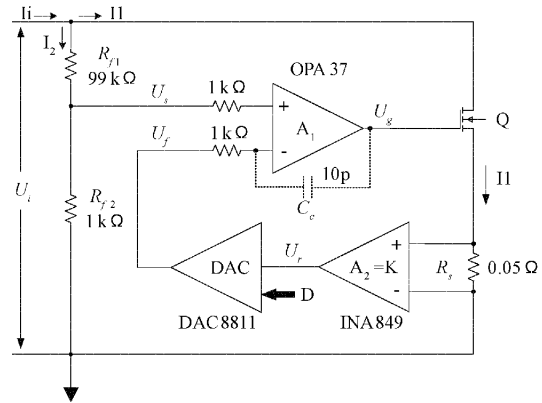


图 2 可变电阻原理

$$U_s = \frac{R_{f2}}{R_{f1} + R_{f2}} \times U_i \quad (2)$$

电流 I_1 通过采样电阻 R_s 转换为电压信号,经过差分放大器 A_2 放大 K 倍后为 U_r , 再送入乘法型 DAC 的参考输入端,经过与 DAC 的控制信号 D 相乘得到 U_f , 最后 U_f 送入到运算放大器 A_1 的反向输入端,信号 U_f 由式(3)得出。

$$U_f = D \times U_r = D \times I_1 \times R_s \times K \quad (3)$$

根据运放的虚短可知:

$$U_s = U_f \quad (4)$$

将式(2)和(3)代入式(4)得:

$$\frac{R_{f2}}{R_{f1} + R_{f2}} \times U_i = D \times I_1 \times R_s \times K \quad (5)$$

由于设计的整个模拟电阻最大为 40 Ω, R_{f1} 和 R_{f2} 的设计参数远远大于 40 Ω,所以 $I_1 \gg I_2$, 输入电流 I_i 如式(6)所示。

$$I_i = I_1 \quad (6)$$

结合式(5)和(6)可得该电路的等效电阻:

$$R = \frac{U_i}{I_i} = D \times R_s \times K \times \frac{R_{f2} + R_{f1}}{R_{f2}} \quad (7)$$

式(7)中,采样电阻 R_s 为 0.05 Ω,差分放大倍数 K 为 10,分压电阻 R_{f1} 为 99 kΩ 和 R_{f2} 为 1 kΩ,因此,该电路的等效电阻如式(8)所示。

$$R = \frac{U_i}{I_i} = D \times 50 \quad (8)$$

由式(8)可知,由于只有 DAC 的控制字 D ($0 \leq D \leq 1$) 为变化量,只要改变 DAC 的控制字 D 就可以模拟不同电阻的大小,因此,整个装置理论上可以最大输出 50 Ω,考虑到整个装置的余量,本装置最大只输出 40 Ω。

该可变电阻采用了深度负反馈原理^[3],模拟的电阻值不随输入电压信号的大小变化而变化。当输入电压 U_i 变大时,经过分压的 U_s 也变大,导致运放 A_1 的输出电压 U_o 升高,场效应管(metal-oxide-semiconductor field-effect transistor, MOSFET)管栅极电压升高,MOS 管 R_{DS} 导通电阻变小,流过 MOS 管的 I_1 变大,此时等效输出电阻不变

化;当输入电压 U_i 变小时,经过分压的 U_s 也变小,导致运放 A_1 的输出电压 U_o 降低,MOS管栅极电压降低,MOS管 R_{DS} 导通电阻变大,流过MOS管的 I_1 变小,此时等效输出电阻不变化^[4]。

2) 可变电阻稳定性

可变电阻电路要模拟不同的电阻值,整个模拟电路需要良好的瞬态响应和稳定性能^[5]。良好的瞬态响应可以保证整个模拟电阻的切换速度,良好的稳定性可以保证可变电阻电路不振荡。

从可变电阻原理图可知,可变电阻电路都采用高速运算放大器 OPA37 保证整个电路的瞬态响应,但是由于MOS管为容性负载,且反馈回路中各运算放大器 INA849 的带宽限制,导致反馈信号相移累加变大,如果去掉电容 C_c 不进行相位补偿,电路很容易自激振荡^[6]。

可变电阻原理图中电路的传递函数 $H(s)$ 如式(9)所示,但是该电路的反馈回路中含有运算放大器和模数转换器,通过理论推导传递函数 $H(s)$ 非常困难,很难直接从传递函数分析系统的稳定性。

$$H = \frac{A}{1 + LoopGain} = \frac{A}{1 + A\beta} \quad (9)$$

式中: H 为系统的传递函数; $LoopGain$ 为系统的环路增益; A 为系统的开环增益; β 为系统的反馈增益。

因此,该电路采用 TI SPICE 进行仿真,通过仿真开环增益 A 曲线、反馈增益倒数 $\frac{1}{\beta}$ 曲线以及环路增益 $LoopGain = A\beta$ 曲线,分析电路的稳定性。电路去掉电容 C_c 不进行补偿的波特图如图3所示,由图3可知,当环路增益 $|LoopGain| = |A(s)\beta(s)| = 0$ dB时,整个系统的相位裕度只有 -31.06° ,很难满足工程上相位裕度大于 45° 的要求,该电路不稳定,极易振荡。

为了避免自激振荡,本电路在主运放 A_1 增加了负反馈积分电容 C_c 进行频率补偿保证电路的稳定性^[7],并进行了仿真,如图4所示。

通过对补偿后的电路仿真可知,当环路增益 $|LoopGain| = |A(s)\beta(s)| = 0$ dB时,此时电路的相位裕度达到了 57.91° ,整个电路系统变的稳定了。但是系统的稳定是以牺牲频率宽度为代价的^[8],电路相位补偿后的截止频率降至 6.43 MHz,也完全满足了本设计宽频带的要求。

2.2 过渡时间、同期性实现

变压器有载分接开关过渡电阻特征波形如图5所示,每个通道的过渡电阻经历了从 0Ω 迅速切换到 R_1 ,再切换到 $R_1 \parallel R_2$,再切换到 R_2 ,最后切换到 0Ω ,每个通道的过渡时间为 $(T_1 + T_2 + T_3)$;3个通道的同期性为最大过渡时间与最小过渡时间的差值即 T_Q 。

要模拟过渡电阻的特征波形,产生标准的过渡电阻和过渡时间,就需要迅速控制 DAC,产生如图5所示的转换

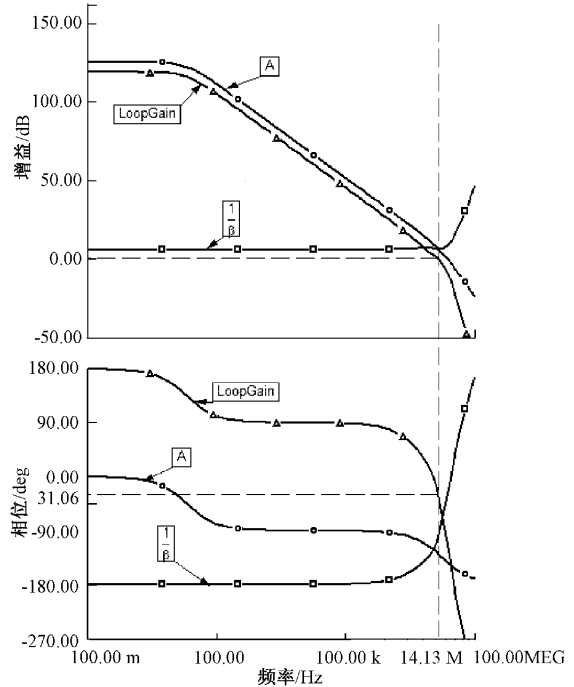


图3 电路进行相位补偿前的波特图

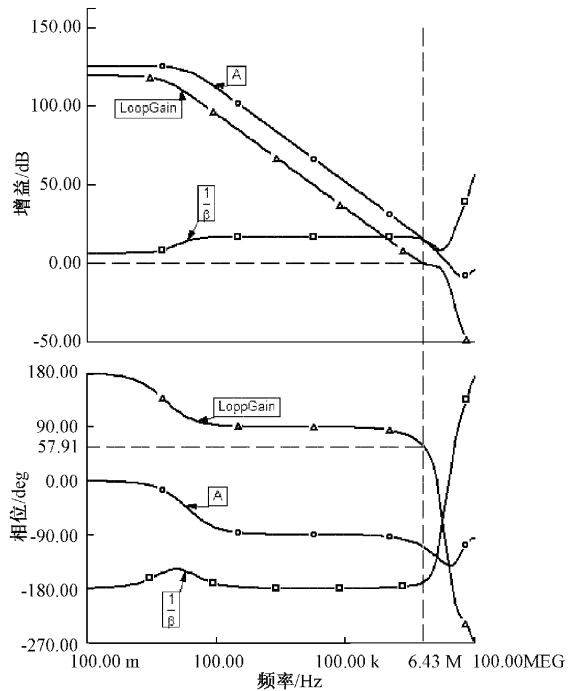


图4 电路进行相位补偿后的波特图

边沿陡峭^[9],稳定时间短且无过冲的特征信号,从而模拟过渡电阻的特征波形。

1) 高速 DAC 转换电路

可变电阻的变化是由 FPGA 写入 DAC 的控制字决定的,DAC 的响应速度和稳定时间直接决定了整个模拟过渡电阻的切换速度。因此,本设计采用了电流型精密

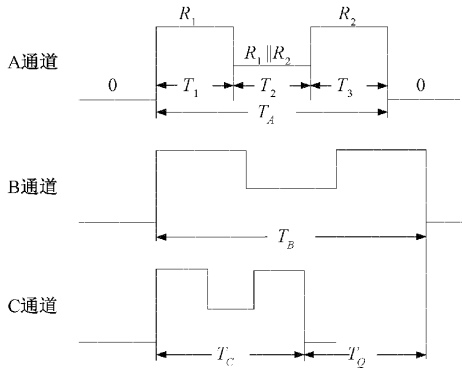


图 5 过渡电阻特征波形

DAC8811 配合高速运放 OPA227 设计了 DAC 转换电路^[10],如图 6 所示。为防止模数转换电路因寄出电容振荡,降低稳定时间,采用了 20 pF 的电容,可使信号进入稳态的建立时间在 0.5 μs。被校准的测试仪误差一般在 0.1 ms,这个 DAC 的变化速度完全满足校准的需求^[11]。

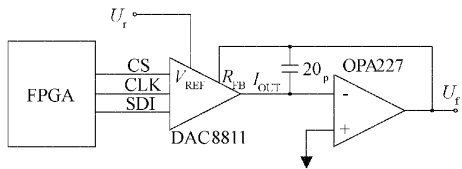


图 6 边沿转换电路

2) FPGA 逻辑设计

传统控制 DAC 采用微处理器 STM32 直接模拟时序定时产生,由于微处理器的运行特点是顺序执行程序,对于有 3 个通道并行执行的任务执行起来仍然是有先后顺序,无法同时控制 3 个通道同时动作,且软件定时容易被中断程序打断,定时精度不高,因此本设计采用 FPGA 来控制 3 个通道的 DAC,充分利用 FPGA 门电路的特点,根据设计的时序逻辑并行执行,在高精度有源晶振的驱动下,可以精准控制三路过渡电阻切换的状态^[12],从而产生标准的同期性时间,实现同期性的校准。

FPGA 主要实现了两个功能,一方面负责接收微控制器 STM32 发来的控制命令,另一方面负责控制 3 个通道的 DAC,FPGA 逻辑设计框图如图 7 所示。

根据 STM32 微控制器 FSMC 总线的时序,总线译码逻辑配合数据总线实现了 STM32 对 FPGA 的读写通信。命令状态控制逻辑包含了 STM32 与 FPGA 约定的过渡时间定时器以及过渡电阻的地址和寄存器^[13];DAC 控制信号在状态机、计数器、数据并行转串行的移位逻辑以及串行信号输出逻辑的密切配合下产生^[14]。

初始 DAC 设定电阻为 0 Ω,当 STM32 发出启动命令后,每一路的定时器根据设定值 T_1 、 T_2 和 T_3 启动计时,启动计时的同时输出一个信号给状态机^[15],令 DAC 按设定电阻 R_1 进行转换;定时器 T_1 结束后又输出一个信号给状态机,令 DAC 按设定电阻 R_2 进行转换;定时器 T_2 结束后

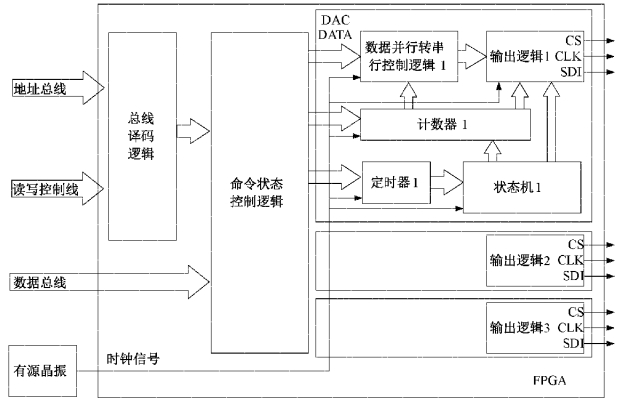


图 7 逻辑设计

又输出一个信号给状态机,令 DAC 按设定电阻 R_3 进行转换;定时器 T_3 结束后再输出一个信号给状态机令 DAC 设定电阻为 0 Ω。

2.3 保护电路

完整的仪器需要各种保护电路来确保仪器在使用过程中能够对误操作进行保护和提示。本装置采用了一片四运放和一片四路光耦设计了过压保护、过流保护和反接保护电路^[16],如图 8 所示,防止在使用过程中的各种误操作。

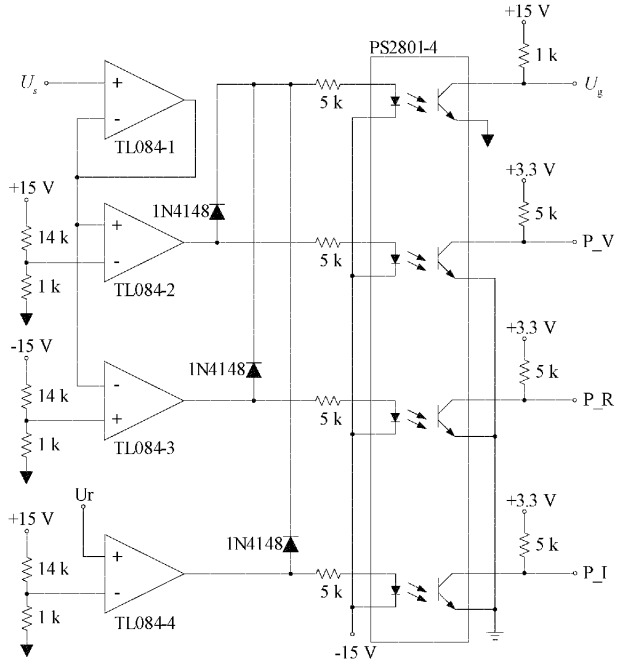


图 8 保护电路原理图

为了减小保护电路对可变电阻准确度的影响, U_s 采用了一级跟随器去同步信号,其他 3 个运算放大器的设计为开路,用作比较器。

过压保护:从可变电阻原理图可知由于分压后输入信号衰减了 100 倍^[17],当输入信号 U_i 大于 100 V 时,经分压后 U_s 大于 1 V,经过与 1 V 信号比较,TL084-2 输出 +15 V,经过光耦, P_V 从逻辑低电平变为逻辑高电平,开

启过压保护,此时 U_g 变为 0 V,根据可变电阻原理图可知 U_g 控制 MOS 管迅速截止,从而实现整个电路的过压保护。

防反接保护:当输入信号为负电压时, U_s 小于 0 V,经过与 0 V 信号比较, TL084-3 输出 +15 V,经过光耦, P_R 从逻辑低电平变为逻辑高电平,开启防反接保护。此时 U_g 变为 0 V,根据可变电阻原理图可知 U_g 控制 MOS 管迅速截止。

过流保护:当输入电流大于 2 A 时, U_r 大于 1 V,经过与 1 V 信号比较, TL084-4 输出 +15 V,经过光耦, P_I 从逻辑低电平变为逻辑高电平,开启过流保护。此时 U_g 变为 0 V,根据可变电阻原理图可知 U_g 控制 MOS 管迅速截止。

过压、反接和过流三种保护电路通过 3 个二极管并联,构成或逻辑,共同驱动光耦控制 U_g 的电平,从而控制 MOS 管的导通保护整个电路^[18]。

3 验证测试

测试部分旨在验证过渡电阻、过渡时间、同期性三部分的参数是否到达设计目标且满足校准要求。由于被校准的变压器有载分接开关测试仪都是在室内使用,因而本装置的测试校准环境是在实验室中进行。

3.1 过渡电阻

过渡电阻测试采用输入恒流测试电压的方式测量过渡电阻。由于变压器有载分接开关测试仪一般根据被测电阻的大小采用不同的测试电流,因此根据实际使用情况测试 10 Ω 以下采用 1 A 测量,10 Ω 以上采用 0.5 A 测量,测量结果如表 1 和图 9 所示。

表 1 过渡电阻测量结果

标称值/ Ω	测量值/ Ω		
	RA	RB	RC
0.1	0.101 6	0.101 4	0.101 2
0.5	0.501 5	0.501 3	0.501 3
1	1.001 3	0.999 6	1.000 5
5	4.999 8	4.995 0	4.994 6
10	9.996 4	9.987 8	9.988 5
20	19.986	19.974	19.976
40	39.962	39.958	39.954

从曲线图可知,在模拟小于 1 Ω 的电阻中,相对误差较大,这主要是由于运算放大器 A1 的偏置电压引起的,该偏置电压会引起模拟电阻偏移几个 m Ω 的误差,导致在小电阻时相对误差偏大,整体而言该装置过渡电阻的最大允许误差为 $\pm(0.2\%RD+5\text{ m}\Omega)$ 。与传统的分立电阻相比,本装置不仅可以提高模拟电阻的功率,还可以通过改变 DAC 任意模拟不同的电阻,大大提高了校验过渡电阻的范围。

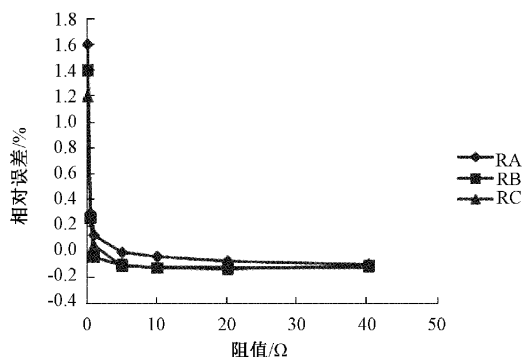


图 9 过渡电阻的相对误差

3.2 过渡时间

由于过渡时间参数是配合过渡电阻在一次校验过程中出现的,没有外部电压驱动无法直接测量过渡时间,因此,过渡时间测试需要外部搭建电路进行测试,测试原理如图 10 所示, R_x 为模拟的过渡电阻。

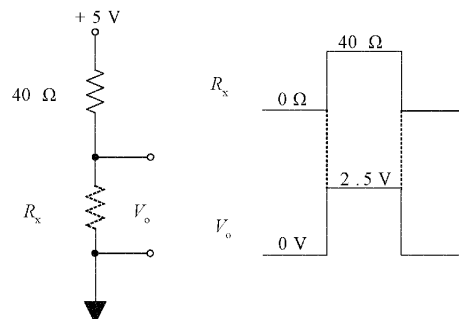


图 10 过渡时间测试原理

为了测试简便,简化了过渡电阻波形,设置过渡电阻 R_1 为 40 Ω ,将 R_2 设置为 0 Ω ,过渡时间只在 40 Ω 保持,整个过渡电阻波形变成了一个单脉冲波形,因此采用频率计数器测量这个正脉宽 T 就可以得到过渡时间。测量结果如表 2 和图 11 所示。

表 2 过渡时间的测量结果

标称值/ms	测量值/ms		
	TA	TB	TC
1	0.996	0.996	0.996
5	4.996	4.996	4.996
10	10.996	10.996	10.996
50	49.996	49.996	49.996
100	99.995	99.995	99.995
500	499.995	499.995	499.995
1 000	999.995	999.995	999.995
5 000	4 999.992	4 999.992	4 999.992

从曲线图可知,过渡时间绝对误差都小于 10 μs ,对于被校准设备而言,其过渡时间测量误差 0.1 ms,该标准装

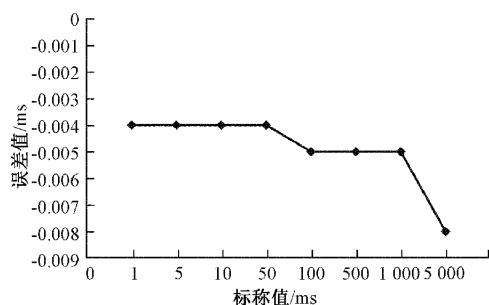


图 11 过渡时间的误差

置的准确度优于被校准装置 1 个数量级,完全满足校准的要求。

3.3 同期性

变压器有载分接开关特性测试仪的三相同期性为相间最大与最小过渡时间的差值。参照过渡电阻特征波形,三相同期性测试的条件是 A 相的过渡时间设置为固定的 2 ms, B 相的过渡时间设置为固定的 1 ms, 改变 C 相的过渡时间, 产生同期性为 $TQ = TC - TB$, 测试结果如表 3 所示。

表 3 同期性的测量结果

标称值/ms	测量值/ms
1	1.000
5	5.000
10	10.000
50	50.000
100	100.000
500	499.999
1 000	999.999
4 999	4 998.996

从表 3 可知,本装置产生的三相同期性绝对误差都小于 $5 \mu\text{s}$,这主要是因为三相的过渡时间边沿特性一致,产生的误差主要是晶振本身的定时误差。该装置同期性的准确度也完全满足校准的要求。由于传统的校验方法只能对一路过渡时间进行校验,无法实现对同期性的校验,因而本装置具有明显的技术优势。

4 结 论

针对变压器有载分接开关测试仪传统校验方法的不足,设计了基于深度负反馈原理的大功率可变电阻模块,通过设置 DAC 可以模拟 $(0.1 \sim 40) \Omega$ 的电阻,过渡电阻最大允许误差优于 $\pm(0.2\%RD + 5 \text{ m}\Omega)$;同时利用 FPGA 精确控制高速 DAC 模拟不同的过渡时间,过渡时间误差小于 $10 \mu\text{s}$;设计了完善的过流和过压保护电路,提高了整套装置的可靠性。经测试验证该校准装置完全满足校准工作的需要,解决电力部门对变压器有载分接开关测试仪校准的难题。本校准装置在模拟小电阻的准确度上还需要修改

进,未来将通过消除运算放大器的偏置电压进一步提高小电阻的准确度。

参考文献

- [1] 舒群力,王斌,汪春萌,等. 变压器有载分接开关故障波形分析及判断[J]. 现代工业经济和信息化,2018,8(3):91-93.
- [2] 杨雪梅,肖鹏,余晓曦,等. 精密伏秒发生器的研制[J]. 仪器仪表学报,2019,40(11):9-15.
- [3] 田家乐,聂建波,严华江,等. 电力载波电源电路的高可靠性设计[J]. 电测与仪表,2017,54(21):37-41.
- [4] ALAMERI S M, ALMUTAIRI A, KAMARUDIN M S, et al. Application of frequency response analysis technique to detect transformer tap changer faults[J]. Applied Sciences,2021,11(7):3128-3128.
- [5] HADAPAD B, NAIK R L. FPGA implementation for speed controlling of 8/6 switched reluctance motor using PI controller [J]. International Journal of Innovative Technology and Exploring Engineering, 2019,9(2):1286-1291.
- [6] 赵斌,张闯,李隆,等. 电力变压器振动检测装置设计及振动信号去噪方法研究[J]. 电测与仪表,2021,58(8):118-124.
- [7] HASIR M, CEKLI S, UZUNOGLU C P. Simultaneous remote monitoring of transformers' ambient parameters by using IoT [J]. Internet of Things,2021,14, DOI:10.1016/J.IOT.2021.100390.
- [8] SEIFI S, WERLE P, SHAYEGANI A A, et al. A feasibility study on estimating induced charge of partial discharges in transformer windings adjacent to its origin[J]. International Journal of Electrical Power and Energy Systems,2021,129, DOI:10.1016/J.IJEPES.2021.106899.
- [9] KWIATKOWSKI P. Employing FPGA DSP blocks for time-to-digital conversion [J]. Metrology and Measurement Systems,2019,26(4):631-643.
- [10] 马骁雨,张慧芬,王植,等. 基于 SSA-BPNN-ARIMA 残差校正的变压器套管温度预测[J]. 国外电子测量技术,2022,41(2):151-156.
- [11] 裴春兴,李娜,王远霏. 非接触式供电列车松耦合变压器的仿真研究[J]. 中国测试,2020,46(9):74-81.
- [12] 王瑜,刘钢,王玉鑫. 基于对称图像的变压器局部放电信号故障诊断[J]. 中国测试,2020,46(11):120-125.
- [13] 梁文科,苏淑靖,梁东飞,等. 一种逆变器并网电流采集与过流检测方法[J]. 电子测量技术,2021,44(13):11-16.
- [14] 朱明,朱嘉慧,陈息坤,等. 基于理想变压器的耦合电感和实际变压器模型[J]. 电工技术,2022(1):34-41,45.
- [15] 李钰滢,马少翔,黄健翔,等. 一种优化动态特性 SiC-

- MOSFET 模型及其在高压固态开关的应用[J]. 电子测量技术, 2021, 44(14): 1-7.
- [16] 叶凌云, 朱幸, 黄添添, 等. 变压器分立的动力电池组主动均衡技术研究[J]. 仪器仪表学报, 2018, 39(7): 83-91.
- [17] 李玥. 一种多载波信号时延在线校准方法的研究[J]. 国外电子测量技术, 2021, 40(6): 109-112.
- [18] 张龙, 徐二强, 赵玉富, 等. 计量用电压互感器现场检验常见超差问题及分析[J]. 国外电子测量技术, 2018,

37(12): 41-44.

作者简介

郝丹, 硕士, 高级工程师, 主要研究方向为工程技术。

E-mail: 58451575@qq.com

侯琼, 硕士研究生, 主要研究方向为电子信息。

E-mail: 1269739035@qq.com

肖鹏(通信作者), 硕士, 副研究员, 主要研究方向为电磁计量。

E-mail: 86464779@qq.com