

DOI:10.19651/j.cnki.emt.2212211

数字磁耦隔离器的磁场抗扰度评价方法研究

高成 刘宇盟 黄姣英 李凯

(北京航空航天大学可靠性与系统工程学院 北京 100191)

摘要: 在电磁兼容测试领域,缺乏适用于数字磁耦隔离器的磁场抗扰度评价方法。针对此问题,研究数字磁耦隔离器的工作原理,基于电磁兼容原理和 IEC 等标准,建立一套基于 GTEM 小室法的针对数字磁耦隔离器的磁场抗扰度评价方法。搭建测试系统,设计电路板,采用测试座法解决抗扰测试中磁场耦合方向不正确和强度不足的问题,定义电平波动和固定 0/1 两种失效模式和判据,设计结构分析对照表。对 GL1200P 型号数字磁耦隔离器进行案例验证,验证测试方法可行性,确定器件抗扰失效敏感频率为 113 MHz,评级为 400 V/m—C 级。案例验证说明该方法可以对数字磁耦隔离器抗扰度进行评价。

关键词: 数字磁耦隔离器;电磁兼容;磁场抗扰度;GTEM 小室

中图分类号: TN407 **文献标识码:** A **国家标准学科分类代码:** 510.3040

Electromagnetic compatibility evaluation of digital magnetic isolator

Gao Cheng Liu Yumeng Huang Jiaoying Li Kai

(School of Reliability and Systems Engineering, Beihang University, Beijing 100191, China)

Abstract: In the field of EMC testing, there is a lack of magnetic field immunity evaluation methods suitable for digital magnetic isolators. To solve this problem, the following studies were carried out. Firstly, the working principle of the digital magnetic isolator is studied. Based on the principle of electromagnetic compatibility and IEC standards, a set of evaluation methods for the magnetic field immunity of the digital magnetic isolator based on the GTEM small chamber method is established. The test system was built, the circuit board was designed, the test seat method was used to solve the problems of incorrect direction and insufficient strength of the magnetic field coupling in the disturbance rejection test, two failure modes and criteria of level fluctuation, and fixed 0/1 were defined, and the comparison table for structural analysis was designed. Second, the case of the GL1200P digital magnetic isolator was verified to verify the feasibility of the test method, and the device's anti-disturbance failure sensitive frequency was determined to be 113 MHz, and the rating was 400 V/m—C. The case proves that this method can evaluate the immunity of digital magnetic isolators.

Keywords: magnetic decoupling isolation; electromagnetic compatibility; magnetic field immunity; GTEM cell

0 引言

数字隔离器在电路中形成很好的电阻隔离效果。然而隔离器的使用会给电子系统带来延迟、功耗、成本和尺寸等方面的限制^[1-2]。数字磁耦隔离器基于磁场耦合原理实现数字信号的传输和隔离。

辐射抗扰度又称辐射敏感度,是电磁兼容的测试内容,是指各种装置、设备或系统在辐射环境中抵抗辐射的能力。而设备对电磁环境的敏感度越高,抗电磁干扰能力就越低,辐射抗扰度也就越低^[3-4]。

吉赫兹横电磁波室(Gigahertz transverse electro

magnetic, GTEM)小室构成的抗扰度测试系统主要由标准信号源、功率放大器、测试计算机及校准探头和 GTEM 室体组成,为小型电子产品的辐射电磁场干扰敏感性提供有力的测试依据。

在 GTEM 小室法的测量过程中,测试印制电路板(printed circuit boards, PCB)应当位于 GTEM 小室壁的顶部或底部的配合端口(称为壁端口)上,使 PCB 成为小室壁的一部分。影响射频强度的主要因素是隔板到测试位置的间距,GTEM 小室在发射区域的隔膜与测试位置平均距离为 45 mm。

在数字磁耦隔离器的使用过程中,内部在进行信号传递

时采用电磁感应原理,在线圈传递磁场的过程中如有外界磁场干扰会产生耦合电压,会干扰传递信号。因此对于数字磁耦隔离器,电磁辐射性与抗扰性是很重要的评价指标^[5-7]。

目前抗扰度测试领域主要集中在整机测试和 PCB 板级测试,但随着集成化程度越来越高,电磁辐射问题日益严重,集成电路的电磁兼容性得到了越来越高的关注^[8-9]。

国内外针对隔离器的磁场抗扰度测试方法主要包括外加线圈法和 TEM(transverse electro magnetic)/GTEM 小室法,针对器件的电磁兼容性目前研究较少,如国际电工委员会发布的 IEC62132 标准中对器件级抗扰度的测试有相应的规定,可以采用 TEM 小室、GTEM 小室等方法。国内外很多芯片制造商采用外加线圈法进行抗扰度测试,但这种方法局限性较大,很难做到精确测量,对失效的判据也较为单一,不能很好地适应新的使用需求。我国目前没有建立相应的 TEM/GTEM 小室法器件磁场抗扰度测试标准,并且相关方法不够成熟,标准中的磁场发射和磁场抗扰度的测量也并未给出相应的测试方法和具体的针对性要求,在实际执行测试和评价的过程中有很大的局限性^[10-12]。同时器件的条件复杂性、接地特殊性、抗扰方向性、抗扰高强度、失效判据多样性等限制了标准方法的应用,本文参考了 IEC62132 系列标准进行针对性改进,完善评价方法,针对测试方法提出创新,同时对 GL1200P 型号器件进行实例验证。

1 基于 GTEM 小室法的辐射抗扰测试方法

1.1 GTEM 小室法测试应用方法

GTEM 小室法的辐射抗扰测试过程中应当先进行预试验,采用四点位法对 GTEM 小室所测位置的强度进行校准,确定同强度下不同频率下射频发射器、放大器和衰减器的设定,记录校准文件后将器件连接在测试基座上,接电使器件处于正常工作状态,首先进行大范围测试,在时域和频域上观察比对器件的输入与输出波形,确定器件的入场方式是否合适,如不合适应当调整方式后重新进行预试验,当入场方式合适后,得到预计的测试频率和强度范围^[13]。

完成预试验后得到测试方法和测试范围,在正式试验中应当先在该强度下测试频率范围内以 1 MHz 为步长进行校准,安装校准文件后进行步进测试,实时观察输入与输出波形对比,根据设定的失效判据对比评价器件的磁场抗扰度^[14-15]。在测试频率范围内固定强度测试,根据失效判据对比分析,得到数据分析结果。最后应当对器件状态等额外因素进行验证^[16]。测试方法如图 1 所示。

通过射频线缆对信号源,功率放大器,GTEM 小室进行连接,连接路径为:信号源输出—功率放大器输入—功率放大器输出—GTEM 小室前端接口^[17],结构如图 2 所示。

通过 PCB 设计可以省略外部连线且便于测试。将辐射发射头连接 50 Ω 端口,注入射频干扰信号,使集成电路暴露在一个由集成电路和电池间隔之间的距离确定的电磁场中。测试板应设置各种测量端口,在其中可以测量集成

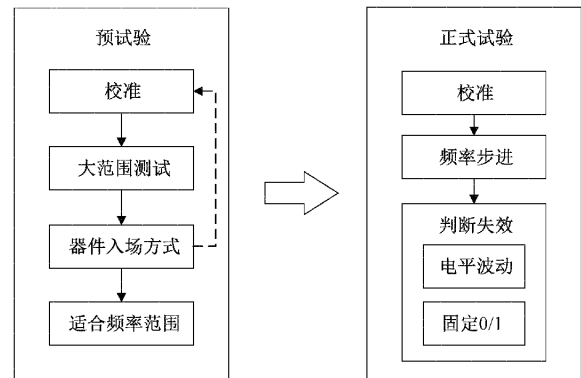


图 1 测试方法示意图

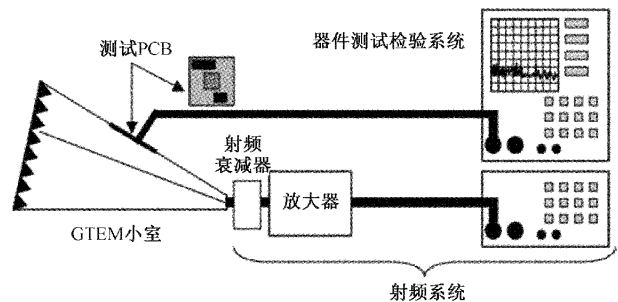


图 2 GTEM 小室抗电磁干扰测试系统

电路的响应参数^[18]。

场中电磁辐射强度采用四点位法测量,这种测量方法要通过对 GTEM 小室中测试点周围 4 个位置的强度进行测量来计算总辐射功率,通过对试验和方程的分析来确定场强,进而可以通过计算方程得到等效开放场的组合最大场力。该方法的测量和计算用于计算待测位置场强值。

测量位置和距离 GTEM 小室内的电磁场源很远,因此器件和电磁场源的距离远远大于电磁场的波长,因此电磁场在进入被测器件(device under test, DUT)所在远场区后波阻抗是固定的。

PCB 上焊接双通道数字隔离器,需要双通道电源分别连接隔离的两边,将波形发生器同时接入 VDD1 和 VDD2 引脚,因而可以同时向隔离器内输入相同的波形,将示波器同时接出在输入端和输出端,由此可以比对隔离器前后波形变化。

测试期间的环境温度应为 $23\text{ }^{\circ}\text{C} \pm 5\text{ }^{\circ}\text{C}$,环境射频场其强度不高于待测器件的射频发射强度以下 6 dB。

1.2 器件入场测试方法

1) PCB 测试法

测试时将 DUT 焊接在 PCB 板上的方法,将 PCB 完全覆盖在小室洞口处,通过夹具将 PCB 紧紧贴在金属壁上,而后利用插针将芯片管脚引出后进行通电使器件正常运行。

但测试中存在将测试发射功率达到峰值但器件不发生失效的现象,是因为原理上标准测试方法中 GTEM 小室的磁场测试中磁场的横向方向无法对横向的线圈产生干扰,

即使施加强度达到了测试设备的最高极限依然无法达到失效阈值。

PCB设计关键要求:设计4层,每层的设计分别为:地、电、信号、地;在板周围打贯通1~4层通孔;在第1层进行边缘裸露处理。所有的额外器件都应当在被测器件对面的第4层。这种设计使测量更加精确,屏蔽了由于器件运行产生的干扰。需要在边沿裸露铺铜层以使待测器件所在的第1层与小室壁接为一体,达到共地的效果,同时将除DUT外的所有器件都放置在背面,防止GTEM小室磁场受到PCB上除DUT以外器件的射频干扰。

在设计过程中采用直接通过针脚将器件引脚引出的方式,在电源VCC与地GND之间设计一个 $0.1\mu\text{F}$ 去耦电容,防止电源输出过程中存在交流波形影响器件运行。

对于数字磁耦隔离器,需要三地共存,包括与屏蔽层相连的一层地、器件输入地和器件输出地3种类型。其中第1层地完全铺铜以屏蔽PCB内部线路,通过裸露层与外界小室壁地相接。在板2,3层因器件需要达到输入与输出部分两边隔离的需求所以输入输出地需要分开设计,以数字磁耦隔离器为中心将PCB分为输入部分与输出部分,应当注意避免3类地互相干扰。

如果直接将测试板放入磁场环境,由于测试PCB内部走线对外部磁场敏感,会严重干扰DUT的测试波形,因此不可取。

2) 器件竖立法

可以按照需要的磁场方向将器件竖立在PCB上,一边进行焊接,另一边采用飞线,如图3(a)所示。将器件进行焊接如下,其余测试方法同PCB测试法测试过程。但由于器件抗扰性较强会无法达到测试失效的强度要求。

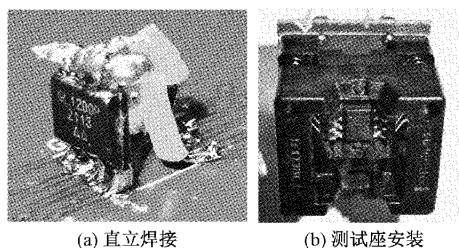


图3 PCB器件直立焊接及测试座安装图

3) 测试座法

采用底面焊接PCB的塑料制测试座进行器件安装,如图3(b)所示,用此方法将器件深入辐射场,由于测试座由塑料制成,不会对测试场本身产生干扰。校准与测量均采用如图4所示的对GTEM小室测试方法,校准探头与器件位于距离隔板25cm处的同一位置,其中测试探头采用架杆支撑,测试基座采用绝缘体硬支撑杆固定,注意校准时采用四点位法进行。

1.3 数字磁耦隔离器抗扰失效判据

电平波动失效判据为高/低电平出现波浪形波动。在

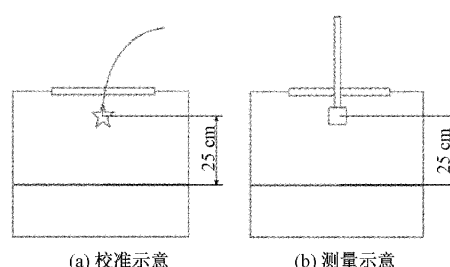


图4 GTEM小室校准及测试座测试方法示意图

数字电路中,当方波的高电平在0.7倍 VOH 以下,低电平在0.3倍 VOH 以上时会对后续电路造成判断干扰的情况,即可判定为失效。此类失效原因是器件内部环路受到外界电磁场干扰。定量方法:器件本身过冲较大,关注平缓的中间段,取中间段的波浪中间值减去应输出的高电平 VOH 值即为受到干扰的值。

固定0/1失效:判定为传输数字信号波形出现固定0/1固定1,即为当失效发生时传输信号会发生反转。将示波器的触发方式更改为一个完整周期长的波长触发,对超过一个电平传输长度的高/低电平进行截取,观测示波器界面出现这种现象即为发生固定0/1失效。

1.4 磁场抗扰度评级方法

如表1所示,磁场抗扰度评级针对数字磁耦隔离器建立的评级要求,根据器件是否能够完全执行、能否在规定的范围内执行、当出现失效时能否立即自动恢复、能否通过操作恢复正常的标准进行评级。

表1 数字磁耦隔离器磁场抗扰度评级对照

性能等级	等级要求
A	数字磁耦隔离器的所有功能在受到干扰期间和之后都按设计的要求执行
B	数字磁耦隔离器的所有功能在测试期间执行设计,然而传输可能超出规定的公差。去除干扰后,传输功能能够自动恢复到正常范围内。
C	数字磁耦隔离器的功能在测试期间不按照设计的方式执行,但在去除载荷后自动恢复正常操作。
D	数字磁耦隔离器的功能在测试期间不按照设计执行,直到载荷被移除,通过简单的操作动作或冷却等就可以重置。
E	数字磁耦隔离器的一个或多个功能在测试期间和之后不能按照设计的方式运行,并且永久性不能恢复正常运行。

2 案例研究

2.1 测试对象

研究的GL1200P型号隔离器是半导体集成电路双通

道数字磁耦隔离器器件内封装多颗芯片,封装形式为 SOP8,使用环氧塑料进行注塑保护。器件典型工作条件为环境温度 25 ℃,输入输出电压 5.0 V,最大可传输 12.5 MHz 逻辑信号频率,通用传输 1 MHz 频率方波。

按照器件工作要求试验测试中需要采用 5 V 的供电电压及传输信号电平,信号高电平采用 5 V,低电平采用 0 V,波形发生器采用幅值 5 V,偏置 2.5 V,占空比 50% 的方波。

2.2 数字磁耦隔离器抗扰评价过程

经过预试验测试证明试验中所传输信号的受干扰程度与所传输信号的频率无关,在测试中采用 1 MHz 的典型传输信号。器件测试方法应选择测试座法。

根据预实验对两种失效模式划定频率范围,电平波动失效范围为 0~150 MHz,固定 0/1 失效频率范围为 100~150 MHz。

主流数字磁耦隔离器国外生产厂家普遍标准为采用 400 V/m 的电场强度进行测试。

预试验得到该器件的抗干扰固有频率为 113 MHz,在此干扰频率下会达到共振即受到干扰最大,且测试频率区间取 0~150 MHz,在该频率范围内首先通过四点位法进行校准后即可得到在不同的频率下对应于 400 V/m 的发射功率,生成校准文件,以此在 0~150 MHz 区间以 1 MHz 步进,观察在该范围内是否有失效现象。

评级采用针对于固有频率下相应强度对应抗扰水平的评级。进行 400 V/m 电场测试结果如图 5 所示。

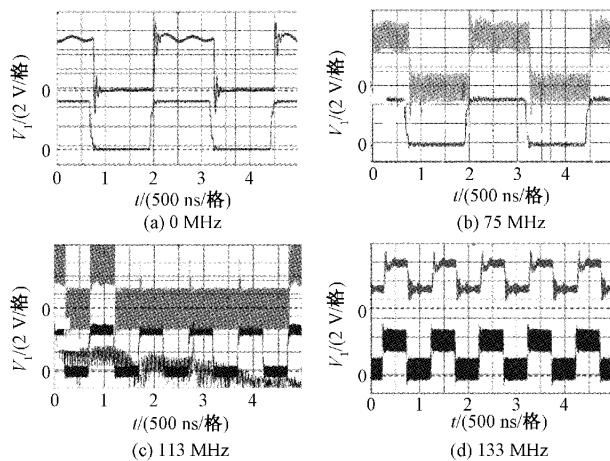


图 5 400 V/m 干扰场强测试波形图

同时针对 300 和 200 V/m 两种场强进行测试,总体敏感频率分布相近。

如图 6 为 400 V/m 干扰场强测试数据分析图,其中横坐标为发射的电磁频率(radio frequency, RF),纵坐标为干扰强度,虚线为固定 0/固定 1 干扰程度与频率对应曲线,实线为电平波动程度与频率对应曲线,在测试中以 1 MHz 为步长做频率步进。在 30、50、75、100、113 MHz 均有大幅度干扰情况,而在 113 MHz 达到了第 1 次共振频率,此时

电平波动与固定 0/固定 1 干扰情况都很严重,在 123 MHz 后出现了持续相对平稳的干扰情况,此时干扰相较 100~123 MHz 较弱。其中电平波动的干扰强度采用对波动峰值进行定量测量的方法,而固定 0/1 失效的干扰强度采用发生失效和不发生失效的评价方法。测试发生失效后撤去场强器件立刻恢复正常状态。

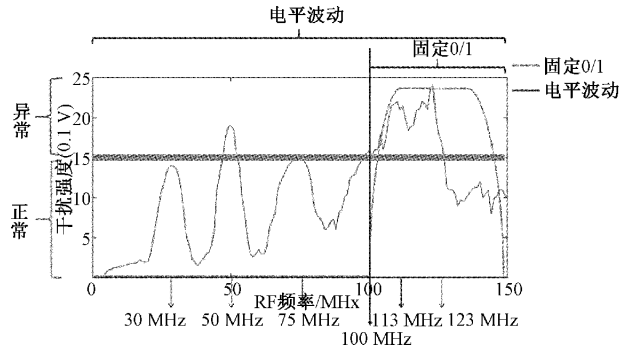


图 6 400 V/m 干扰场强测试数据分析图

同时传输的信号在受到干扰后出现的波形与干扰所用的信号相同,对结果进行了频域处理,发现在频域中接受信号在干扰频率下的强度值最大,由此也证明了干扰本身是由于外界射频干扰引起的。

同时经过测试发现在 0~150 MHz 发射频率范围内全部都有电平波动的情况出现,而在 100~150 MHz 之间存在固定 0/1 的失效情况,说明对于电平波动的失效状态并无频率范围要求,但有特定频率敏感性,而固定 0/1 失效仅在 100~150 MHz 范围内发生。

这种测试方法能够精确测量器件在何种频率何种场强下出现失效的情况,相比外加线圈法能够更加精确地测量器件所在位置的场强和频率,相比 TEM 小室法有更灵活的测试范围。相比单看电平波动幅度,多样化的失效判据便于综合评价器件的磁场抗扰度,有利于芯片的设计改进和应用场景的设计。

在 400 V/m 的场强中,器件在敏感频率下的测试结果为器件固定 0/1 失效且电平波动超出范围,但是当器件撤离辐射场后立即恢复正常功能,最终测定敏感频率 113 MHz,抗扰强度为 400 V/m—C 级。

3 结 论

本文针对数字磁耦隔离器磁场抗扰度的测试评价方法开展了研究,设计了基于 GTEM 小室的针对数字磁耦隔离器磁场抗扰评价方法,针对数字磁耦隔离器的特性设计了测试系统、抗扰测试的测试座方法、测试 PCB、失效判据、评级表等。而后采用 GL1200P 型号隔离器进行了测试验证。得到了该型号数字磁耦隔离器干扰失效频率曲线图,确定器件失效敏感频率为 113 MHz,抗扰评级结果为 400 V/m—C 级,达到了预期。

通过案例验证可以认为这套方法为数字磁耦隔离器磁

场抗扰度评价提供了一定的参考价值。基于此研究可以针对器件抗扰敏感频率的来源进行研究。

参考文献

- [1] 康爽. 电磁兼容测试的一些思想内涵探讨[J]. 电气技术与经济, 2022(3):154-157.
- [2] 娄鑫霞. 电磁兼容中的测试与处理的若干关键技术研究[D]. 南京: 南京师范大学, 2013.
- [3] 刘尚合, 刘卫东. 电磁兼容与电磁防护相关研究进展[J]. 高电压技术, 2014, 40(6):1605-1613.
- [4] 刘桂秋, 胡德隆, 魏磊. 电磁兼容检测与优化探析[J]. 中国新技术新产品, 2020(13):79-80.
- [5] RAMDANI M, SICARD E, BOYER A, et al. The electromagnetic compatibility of integrated circuits—Past, present, and future[J]. IEEE Transactions on Electromagnetic Compatibility, 2009, 51(1): 78-100.
- [6] 冯啟垚. 数字隔离器芯片的研究与设计[D]. 武汉: 华中科技大学, 2019.
- [7] 路妍. 一种 DC-DC 双通道数字隔离器的分析与设计[D]. 沈阳: 辽宁大学, 2013.
- [8] 刘淑霞. 电子产品电磁兼容的重要性与检测技术要点探讨[J]. 造纸装备及材料, 2021, 50(11):93-95.
- [9] 林辰正, 高成, 黄姣英. 浅析集成电路辐射抗扰度测试方法[J]. 电子测量技术, 2021, 44(14):51-58.
- [10] 张涛, 吴国庆, 杨伟. 基于有效幅值的电磁兼容预测模型[J]. 电子测量技术, 2017, 40(8):108-111.
- [11] PFENNIG S. Measuring shielding effectiveness at the IC level[C]. 2017 IEEE International Symposium on Electromagnetic Compatibility & Signal/Power Integrity(EMCSI), 2017:145-150.
- [12] 陈志锋, 邓颖宁, 邓代记. GTEM 室场均匀性校准方法研究[J]. 安全与电磁兼容, 2013(3):42-44, 77.
- [13] 侯其坤, 周忠元. 基于 GTEM 小室的电磁脉冲和电场辐射敏感度测试系统[J]. 航空标准化与质量, 2021(3):27-31.
- [14] 余洪文, 柯进, 梁新兴, 等. 电磁兼容辐射骚扰场强测试能力验证的探讨[J]. 中国测试, 2016, 42(3):28-31.
- [15] 李奕超. 以 GTEM 小室为基础的新应用测试技术研究[J]. 电子技术与软件工程, 2021(18):75-76.
- [16] EN 62132-1-2011, 集成电路. 电磁抗扰性的测量. 第 1 部分: 一般条件和定义(IEC 62132-1-2010); 德文版本 EN 62132-1-2011[S]. 2011.
- [17] EN 62132-2-2011, 集成电路. 电磁抗扰性的测量. 第 2 部分: 辐射抗干扰的测定. 横电磁波传输室和宽带横电磁波传输室方法(IEC 62132-2-2010); 德文版本 EN 62132-2-2011[S]. 2011.
- [18] 黄晓霏. IEC 62132 抗扰度测试方法研究[J]. 安全与电磁兼容, 2016(4):21-24, 33.

作者简介

高成(通信作者), 博士, 教授, 主要研究方向为大规模集成电路测试、可靠性评价等。

E-mail: gaocheng@buaa.edu.cn

刘宇盟, 硕士研究生, 主要研究方向为电子元器件和集成电路测试。

E-mail: lym1063142264@163.com