

DOI:10.19651/j.cnki.emt.2212297

岸空双基地雷达时频同步电路设计*

陈泽宗 李飞扬 赵晨 陈家彬
(武汉大学电子信息学院 武汉 430072)

摘要: 为了实现一款岸空双基地全相参雷达,必须实现收发双端之间的时频同步,双基地全相参雷达的时频同步分为两部分,一部分为时间同步,即确保发射信号与本振信号同时产生并拥有相同时序;另一部分为同步时钟源,即确保生成发射信号与本振信号的 DDS 具有同频同相的参考时钟。提出了一种使用卫星同步脉冲驯服本地高稳恒温晶振的时钟同步方案,该方案采用可以同时输出两路时间脉冲的授时芯片,一路输出秒脉冲实现双站之间的时间同步,一路输出兆赫兹的方波脉冲驯服本地高稳恒温晶振以实现双站之间的同步时钟源。时间同步使双端信号的时序误差小于系统指标要求的 $1\ \mu\text{s}$;同步时钟源使驯服后的本地时钟具有小于 $22\ \text{ns}$ 的同步精度,接近于 GPS 芯片 $20\ \text{ns}$ 的授时精度,与在 FPGA 内采用秒脉冲鉴相相比,提高了鉴相器的鉴相频率,因此拥有更短的驯服时间,并且不依赖于 FPGA 芯片,节约成本的同时使系统模块化。

关键词: 岸空双基地雷达;相参雷达;时频同步

中图分类号: TN952 **文献标识码:** A **国家标准学科分类代码:** 510.1020

Design of time-frequency synchronization circuit for shore-air bistatic radar

Chen Zezong Li Feiyang Zhao Chen Chen Jiabin

(School of Electronic Information, Wuhan University, Wuhan 430072, China)

Abstract: In order to realize a fully coherent shore-air bistatic radar, time-frequency synchronization between transmitting and receiving stations must be realized. The time-frequency synchronization of the coherent shore-air bistatic radar contains two parts. One part is time synchronization, that is to ensure that the transmitted signal and the local vibration signal are generated at the same time and have the same sequence. The other part is the synchronous clock source, which ensures that the DDS generating the transmitted signal and the local vibration signal has a reference clock with the same frequency and phase. Article puts forward a clock synchronization scheme that taming local high stable constant temperature crystal with satellite synchronous pulse, this scheme uses the GPS clock chip can output two signals at the same time, one output time pulse to synchronize the time between double station, the other output MHz time pulse tame local high stable constant temperature crystals in order to realize the synchronous clock source. Time synchronization makes the timing error of the double-ended signal less than $1\ \mu\text{s}$ required by the system index. The synchronous clock source to tame after the local clock has less than $22\ \text{ns}$ synchronization precision, close to the timing precision of GPS chip $20\ \text{ns}$, compared with the phase detection in FPGA with PPS, improves the frequency of the phase detection, therefore has the shorter tame time, and does not depend on the FPGA chip, make the system modular while saving cost.

Keywords: shore-air bistatic radar; coherent radar; time-frequency synchronization

0 引言

近年来,许多岸基的海洋探测高频/甚高频雷达因其探测距离有限,已经越来越难以满足远距离海洋探测和石油泄漏预测等场景的需求^[1]。相较于传统的岸基单基地雷

达,岸空双基地雷达因在对远距离目标进行高精度探测时,具有散射面积增强、杂波调谐,垂直平面分辨率提高等优势而受到关注^[2]。澳大利亚于北部达尔文附近部署的高频地波雷达(high-frequency surface wave radar, HFSSWR)采用双基地体制,基于调频连续波探测海洋表面海浪及海上目

收稿日期:2022-12-06

* 基金项目:国家自然科学基金面上项目(61871296)、国家重点研发计划项目(2017YFF0206404,2016YFC1400504)资助

标。土伦大学和地中海海洋研究所于土伦部署的双基地海洋高频雷达用于海岸表面洋流图测绘,捕捉近陆架环流中尺度到亚中尺度变化,在海洋探测方面处于领先地位。本文所述的岸空双基地全相参雷达是一种接收端搭载在无人机上,发射端在岸上的变基线双基地雷达,可以通过控制无人机使接收端飞到感兴趣的区域,从雷达散射面积(radar cross section, RCS)较大的方位对目标进行探测,从而大大提高雷达的探测能力^[3]。雷达使用相参体制,可以在不改变信号基本参数的情况下,对多帧回波信号进行积累^[4],噪声因为随机性不变,信号因为相参而增强,进而提高信噪比,从而得到更为准确的多普勒频率^[5]。

与单基地雷达不同,岸空双基地雷达的收发两端处在不同的位置,所以不能使用同一基准时钟使发射信号与本振信号相参。文献[6]提出了一种获取秒脉冲(pulse per second, PPS)在FPGA(field programmable gate array)内完成鉴相,将本地时钟分频到1 Hz,利用DAC(digital-to-analog converter)芯片将秒脉冲与分频后时钟的相位差转化为直流电平驯服本地时钟的方案,该方案因为使用秒脉冲作为鉴相频率,所以锁定的时间会很长,系统响应比较慢^[6]。文献[7]提出了一种应用于无线通信领域的同步时钟源方案,该方案仅对同步后时钟的频率准确度与相位噪声进行了测试,未对两路时钟的同步精度进行测试与分析。

本文所述方案为基于GPS(global positioning system)的间接同步方案,分两步实现岸空双基地雷达的全相参。第1步实现收发双端的时间同步,利用GPS授时模块产生世界标准时间(universal time coordinated, UTC)与同步秒脉冲,在DSP(digital signal processing)芯片与FPGA内进行同步操作,确保每一帧发射信号和本振信号同时产生并拥有相同的时序^[8];第2步使用锁相环芯片对本地的恒温压控晶振进行驯服,实现两路同频同相的时钟源^[9],作为FPGA内生成发射信号与本振信号的直接数字频率合成(direct digital frequency synthesis, DDS)模块的参考时钟。同步后的每一帧发射与本振信号的帧起始(frame start, FS)脉冲边沿应该严格对齐,误差不大于 $2\ \mu\text{s}$;驯服后的两路本地时钟波形的相位关系应该固定,可以存在一个固定的相位差,相位抖动应小于等于GPS的授时精度20 ns。

1 时间同步方案的设计与实现

双基地雷达双站之间常用的时间同步方式包括无线电、有线方式和时钟搬运等。例如文献[10]使用的原子钟的方式和文献[11]使用的光纤方式。本文的方案如图1所示。单基地雷达由于收发处于同一位置,所以发射信号与本振信号的产生可以由一路信号触发,以此来确保本振信号与回波信号混频时可以得到正确的延时时间。双基地雷达由于收发异地,所以首先要确保每一帧发射信号与本振信号的产生时间一致,即产生一致的时序信号。

图1中的GPS卫星授时模块锁定足够的卫星后,会输

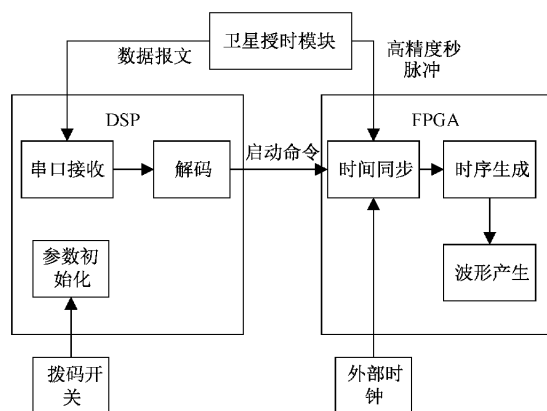


图1 时间同步原理

出一路高精度秒脉冲,并且通过串口发送NMEA协议的数据报文,其中包含经纬度、卫星数和UTC时间等信息。DSP芯片选择TI公司的浮点型TMS320C6748,使用串口中断的方式接收数据报文,解码得到其中的UTC世界标准时间,每隔10 min对FPGA发送一次启动命令^[12]。10 min既是双基地雷达的时间同步间隔,也是雷达一次采样与数据存储的时间周期。雷达可以通过拨码开关来初始化不同的参数,并向FPGA发送不同的启动命令。

FPGA使用高稳恒温压控晶振作为本地时钟,接收来自卫星接收模块的高精度秒脉冲信号,在接收到启动命令后,用400 MHz的高速时钟对秒脉冲信号进行采样,在下一个上升沿用分频后的40 MHz作为生成时序的参考时钟。使用频率更高的采样时钟可以尽可能地减小对GPS授时误差地增加,400 MHz时钟一个周期为2.5 ns,所以对授时误差的影响不会超过2个周期,也就是5 ns的时间。最后以此分频后的时钟来产生一致的时序,即完成了双站之间的时间同步。

2 同步时钟源的设计与实现

2.1 时钟驯服电路

时钟驯服的目的即是为了得到两路同频同相的时钟源。如果两站之间的本地时钟没有经过驯服,互相之间的相位变化是随机的,那么产生的发射信号和本振信号的相位也不相干,那么将无法完成多帧信号间的相干积累^[13]。时钟驯服电路的主要原理为利用锁相环对本地时钟的相位进行调节,其框图如图2所示,参考信号是来自GPS芯片输出的脉冲信号^[14]。这样当鉴相器锁定后,即可保证发射端与接收端双站的本地时钟的相位都与参考信号相位保持一致,即实现了双站之间的同频同相的时钟源。

首先将压控晶振(voltage controlled crystal oscillator, VCXO)输出的本地时钟进行N分频给鉴相器,由鉴相器(phase detector, PD)输出二者相位的差值,即使用鉴相器驯服N倍于参考信号的本地时钟;电荷泵(charge pump, CP)将两路信号的差值转化为连续的电流脉冲串,如果相

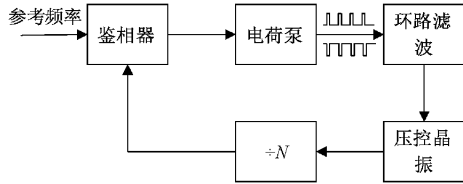


图 2 驯服电路原理

位超前,就输出正向的脉冲电流串,反之,输出反向的脉冲电流串;脉冲电流串经过环路滤波器(loop filter)积分后,形成压控晶振的控制电压,正向的脉冲电流串经过积分增大控制电压,反向的脉冲电流串经过积分减小电压;以此调节压控晶振输出最终与参考信号保持一致。

2.2 有源环路滤波电路设计

由于压控晶振的控制电压范围大于鉴相器的 CP 端输出电压的范围,所以必须使用有源环路滤波电路来放大鉴相器 CP 端的电压范围。同时,所使用的压控晶振是同向变化的类型,即控制电压升高,输出时钟频率也升高。因此有源环路滤波电路中的放大器必须使用同相拓扑的环路滤波结构。如图 3 所示,电容 C_1 来自电荷泵的脉冲电流积累转为直流电平,对锁相环开环传递函数进行分析,这会引入环路的不稳定,所以引入电阻 R_2 和电容 C_2 来稳定环路,但同时又会带来相应的纹波干扰,电阻 R_3 和电容 C_3 再构建一个极点滤除纹波干扰以及鉴相频率带来的杂散分量。

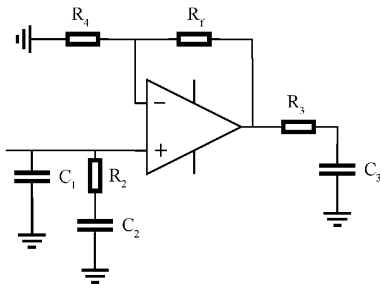


图 3 同相拓扑的有源滤波模型

各元件参数的计算依据两个重要指标,环路带宽(loop bandwidth)和相位裕度(phase margin)。环路带宽的设置与鉴相频率有关,一般取鉴相频率 1/10 以下即可,否则将导致不锁定或频繁失锁。相位裕度是整个闭环系统,在环路增益为 1 的时候,系统到振荡所差的相位。换言之,对常见的负反馈闭环系统而言,整个系统还差多少相位到 360° 滞后相移成正反馈,就叫相位裕度。

对图 2 中的每一部分分析其对相位的影响。1/N 分频器将 VCXO 频率分频至参考频率大小。在数字逻辑中,分频器常使用累加器实现,即对信号的边沿计数,达到计数值就输出一个值。数字逻辑里的累加器,对应模拟器件中的积分器。对系统而言,积分电路会使信号滞后 90°。

参考信号和分频后的本地时钟的相位关系做运算后,可以得到 UP 与 DN 两路相位差脉冲信号。如图 4 所示,电荷泵把两路相位差脉冲转换成上冲下放的脉冲电流,这

个数模混合部分的负反馈设计中,反偏的变容管和电荷泵对正负相位差的不同的开关逻辑构成的负反馈,对系统而言就是 -180° 的相移。

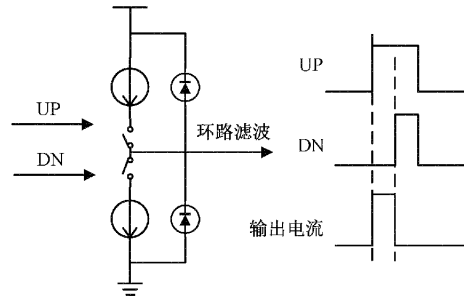


图 4 电荷泵原理

电荷泵输出的脉冲电流,经过环路滤波器整流成直流电压。此时,环路滤波器的相频特性里的相位即为系统稳定性的相位。如上文所述,系统的相位差为 360° 时就是正反馈,对于锁相环而言,正反馈即为 VCXO 与参考频率差别越来越大,所以应该使其的相位滞后小于 90°。环路滤波电路频谱特性为低通特性,低通滤波器做到小的相移,需要加零点,零点对应地通路,对地通路越多,电流积累成电压就慢,锁定时间变长。所以相位裕度大,系统反应慢;相位裕度小,系统接近正反馈因而不稳定。相位裕度 45° 是考虑了环路的响应时间、滤除噪声、滤除参考杂散以及稳定度的最优解。

2.3 环路滤波元件参数理论计算

计算环路滤波器参数,除环路滤波带宽 F_c 和相位裕度 PM 需要确定外,还需要得到鉴相器芯片的电荷泵电流 I_{cp} , 参考频率 f_{ref} ; 压控晶振输出频率 f_{vcxo} , 分频系数 N , 调频灵敏度 K_v 等参数。如图 5 所示为锁相环的等效负反馈系统。负反馈环路中,误差信号 $e(s)$ 为输入信号 V_i 的相位与反馈信号 V_f 的相位之差,锁定后,鉴相器输出的相位误差信号 $e(s)$ 为 0。因此锁相环适用该闭环负反馈系统的增益公式,正向增益 = $G(s)$, 环路增益 = $G(s) \cdot H(s)$, 闭环增益 = $G(s)/(1 + G(s)H(s))$ 。受环路中积分的影响,在低频下,正向增益 $G(s)$ 较高且闭环增益 = $V_o/V_i = 1/H(s)$ 。

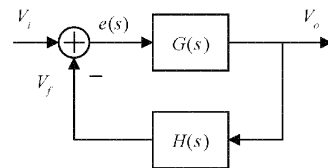


图 5 闭环等效负反馈系统

锁相环(phase-locked loops, PLL)的传递函数模型如图 6 所示,鉴相器将相位误差信号 $e(s)$ 给电荷泵,电荷泵根据误差输出对应的正向或反向脉冲电流。环路滤波电路对电流进行积分转化为直流电压,用以调节 VCXO。直到环路锁定,即误差信号 $e(s)$ 为 0 为止。

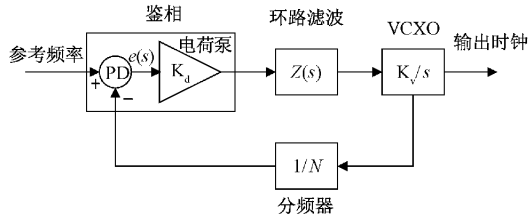


图6 锁相环传递函数模型

综上,PLL的传递函数模型为典型的闭环负反馈系统,因此可以用负反馈系统的闭环增益(closed loop gain, CLG)表达式来表示。根据公式可以得到正向增益 $= G(s) = K_d K_v Z(s)/s$, 环路增益 $= G(s) \cdot H(s) = K_d K_v Z(s)/Ns$, 闭环增益 $= F_o/F_{ref} = G(s)/(1 + G(s)H(s))$ 。图6中的 K_d 即为芯片CP端电流,设环路带宽截止频率为 $\omega_c = 2 \cdot \pi \cdot F_c$, 相位裕度 $\varphi(\omega) = PM \cdot \pi/180$ 。

环路滤波器的传递函数 $Z(s)$ 为:

$$Z(s) = \frac{\tau_2 s + 1}{(C_1 + C_2)\tau_1 s^2 + (C_1 + C_2)s}$$

其中,时间常数 τ_1 与 τ_2 为:

$$\tau_1 = R_2 \frac{C_1 C_2}{C_1 + C_2}, \tau_2 = R_2 C_2 \quad (1)$$

代入环路增益 $L_0(s)$ 的公式得到:

$$L_0(s) = \frac{K_d K_v}{Ns} \frac{\tau_2 s + 1}{(C_1 + C_2)\tau_1 s^2 + (C_1 + C_2)s} \quad (2)$$

令 $s = j\omega$, 有:

$$L_0(s) |_{s=j\omega} = \frac{-K_d K_v}{\omega^2 N C_1} \frac{1 + j\omega\tau_2}{1 + j\omega\tau_1} \quad (3)$$

当 $\omega = \omega_c$ 时,环路增益为1,式(2)可以写为:

$$|L_0(\omega_c)| = \left| \frac{-K_d K_v}{\omega_c^2 N C_1} \frac{1 + j\omega_c\tau_2}{1 + j\omega_c\tau_1} \right| = 1$$

$PM = \varphi(\omega) = \arctan(\omega_c\tau_2) - \arctan(\omega_c\tau_1)$

相位裕度在 ω_c 处的导数为0,可以得到:

$$\frac{d\varphi(\omega)}{d\omega} \Big|_{\omega=\omega_c} = \frac{\tau_2}{1 + (\omega_c\tau_2)^2} - \frac{\tau_1}{1 + (\omega_c\tau_1)^2} = 0$$

变换可以得到:

$$\omega_c\tau_2 = \frac{1}{\omega_c\tau_1} \quad (4)$$

此时相位裕度的表达式可以变换为 $PM = \arctan(1/\omega_c\tau_1) - \arctan(\omega_c\tau_1)$, 又因为 $\arctan(1/x) - \arctan(x) = 90^\circ$, 可以得到相位裕度的等式:

$$\arctan(\omega_c\tau_1) = \frac{90^\circ - PM}{2} \quad (5)$$

根据三角函数中的半角公式 $\tan(\alpha/2) = (1 - \cos\alpha)/\sin\alpha$, 对上式两边同时取 $\tan()$ 得:

$$\tan\left(\frac{90^\circ - PM}{2}\right) = \frac{1 - \cos(90^\circ - PM)}{\sin(90^\circ - PM)} =$$

$$\frac{1 - \sin PM}{\cos PM} = \omega_c\tau_1 \quad (6)$$

所以,可以得到式(7):

$$\tau_1 = \left(\frac{1}{\cos\varphi} - \tan\varphi\right) / \omega_c \quad (7)$$

联立式(4)可以得到时间常数 τ_2 :

$$\tau_2 = 1/(\omega_c^2 \cdot \tau_1) \quad (8)$$

设系数 K 为:

$$K = (K_d \times K_v) / (\omega_c^2 \times N) \quad (9)$$

根据式(7)~(9)可以计算出时间常数 τ_1 、时间常数 τ_2 和系数 K 。然后即可根据式(1)的环路滤波器传递函数 $Z(s)$, 可以得到 C_1 、 C_2 、 R_2 的计算公式。

$$C_1 = \frac{\tau_1}{\tau_2} \times K \times \sqrt{\frac{(1 + (\omega_c \times \tau_2)^2)}{(1 + (\omega_c \times \tau_1)^2)}}$$

$$C_2 = C_1 \times \left(\frac{\tau_2}{\tau_1} - 1\right)$$

$$R_2 = \frac{\tau_2}{C_2}$$

根据系统中的各参数的设定值,使用MATLAB软件,利用公式可以计算出各元件的值分别为 $C_1 = 13$ pF、 $C_2 = 222$ pF、 $R_2 = 10.732$ M。 C_3 、 R_3 用来滤除 C_2 、 R_2 带来的纹波干扰,根据设定的极点位置频率计算元件参数,RC一阶低通的截止频率 f_c 公式为:

$$f_c = \frac{1}{2\pi R_3 C_3}$$

例如设置截止频率为560 Hz,计算出的结果为 $C_3 = 251.6$ nF、 $R_3 = 1$ K。

3 结果测试与分析

3.1 时间同步误差

利用示波器测试双站之间的时间同步误差,测量同步后时序中帧起始信号FS的边沿如图7所示。帧起始信号为一帧扫频信号的触发信号,由启动命令直接置位,通过测量发射端和接收端的帧起始信号的边沿,即可反应出双站之间的时间同步误差。帧起始信号的周期为280 ms,由256 ms扫频时长和24 ms间歇期组成,周期为280 ms的脉冲难以用示波器在ns级刻度仍捕捉到陡峭的边沿,在每格 $1 \mu s$ 的刻度下对两路脉冲的上升沿进行观察,可以看到两路脉冲能保持严格对齐。

雷达使用带宽500 kHz的调频波形^[15],所以距离分辨率 $= c/2B = 300$ m,一个距离元的延时 $\tau = 2R/c = 2 \mu s$ 。双站之间的时间同步误差应小于一个距离元的延时时间,测试结果可以在 $1 \mu s$ 刻度下严格对齐,满足系统设计的要求。

3.2 本地时钟的相位噪声

利用示波器测量本地时钟的相位噪声如图8所示。经过驯服后,2 kHz频偏处的相噪为 -85.56 dBc/Hz。在GPS未锁定时,晶振输出信号的相噪为 -97.32 dBc/Hz,驯服过程确实给晶振输出带来了一定的相位噪声。

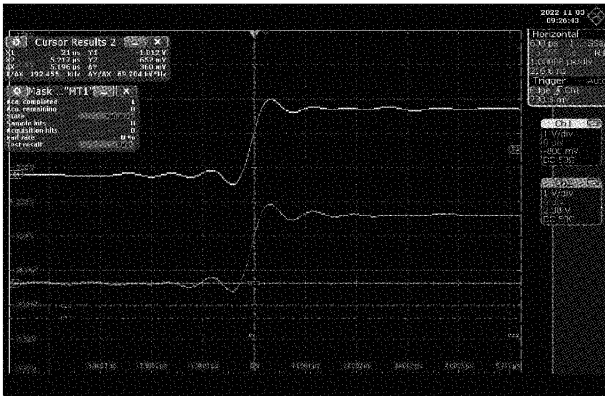


图 7 FS 信号上升沿

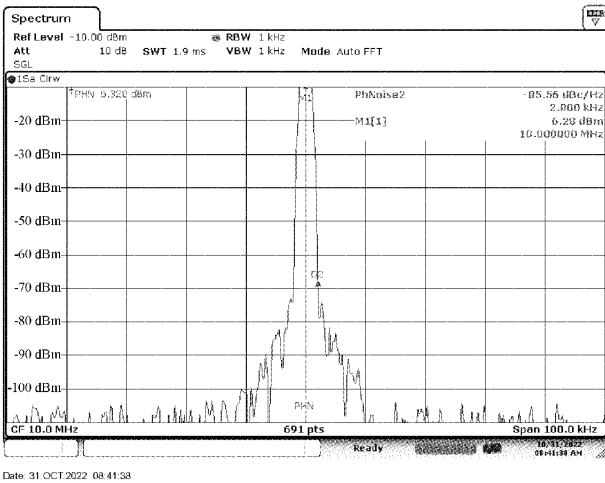


图 8 相位噪声测试结果

驯服的过程是一个带来抖动的过程。电荷泵输出的脉冲电流会不断的调节压控晶振的输出信号,这个过程会给输出信号带来一定的抖动,如图 9 所示,本地时钟 10 MHz 信号的边沿会在参考信号相位处发生一些抖动。

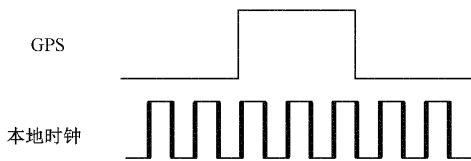


图 9 驯服过程相位误差

驯服过程带来的抖动与恒温晶振的控制电压有关,即环路滤波电路输出的直流电平,可以通过尽可能减小直流电平的纹波,使用更大调制电压范围的晶振等方式来减小驯服过程带来的抖动。

3.3 本地时钟的同步精度

利用示波器测量两路本地时钟的相位误差,如图 10 所示为两路本地时钟的相位,将通道 1 作为触发通道,调节触发电平使其波形稳定显示,即可直接观察通道 2 时钟相位的相对变化。其中通道 2 时钟相对于通道 1 的固定相位差

可以通过延时补偿。此外还存在一定的相位抖动,最大抖动范围为 22 ns,基本符合 GPS 授时芯片 20 ns 的授时精度。

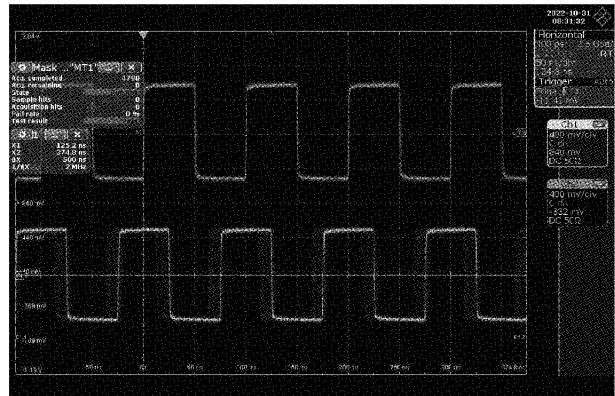


图 10 同步精度测试结果

双站同步时钟源的同步精度也就是两路时钟的相对相位误差,这个相位误差可能是随时间在一定范围内抖动,也可能是随时间缓慢漂移。使用示波器可以测量两路信号的相位误差,如果是没有经过驯服的两路信号,因为相对相位误差随机变化,所以在其中一路作为示波器的触发信号时,另一路的无法显示出稳定的波形。经过驯服的两路信号的相位是有确定的关系的,但是无法实现绝对的相干,一路信号相位相对与另一路必然会有误差,这个误差就是同步精度。

如图 11 所示为驯服后的两路本地时钟的相位误差来源,对于一路时钟而言,GPS 授时模块输出脉冲的授时精度,在时域上表现为周期抖动(period jitter),即脉冲的上升沿或下降沿提前或延后到达。这种时域上的抖动在频域上表现为谱线呈现一定的宽度,也就是相位噪声(phase noise)。

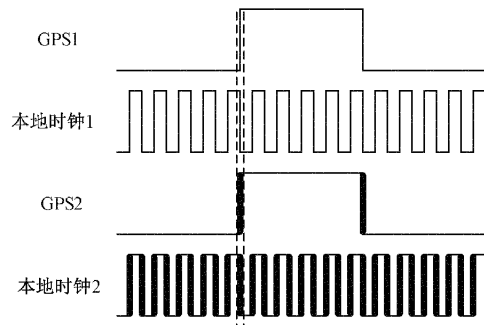


图 11 同步精度分析

对于两路同步时钟而言,GPS 授时模块输出一路时间脉冲相对于另一路时间脉冲,在脉冲边沿上存在一定的授时误差,即 GPS 芯片的时间脉冲准确度(time pulse accuracy)指标,如图 11 所示的 GPS1 与 GPS2。利用这两路脉冲信号驯服本地时钟后,这种授时误差并不会消失。对于低频的 GPS 时间脉冲而言,这种时间上的随机误差可以忽略,但是对于频率较高的压控晶振而言,会导致两路本

地时钟在相对相位差上会有很大的抖动,如图11所示的本地时钟1与本地时钟2。

该方案将频率合成器电路中的锁相环芯片应用于雷达的时频同步,根据测试结果,可以实现精度20 ns的同频同相的本地时钟源,相较于使用FPGA内部对秒脉冲进行鉴相,DAC根据相位差输出对应电平驯服本地时钟的方案,该方案使用了兆赫兹级别的鉴相频率,大大减小了鉴相时间,提高了系统的响应速度。

3.4 双基地雷达闭环测试结果

如图12所示为闭环测试的距离多普勒谱,设置发射信号延时 $51.2\ \mu\text{s}$,扫频时长256 ms带宽500 kHz时,解调出差频信号理论值为100 Hz。

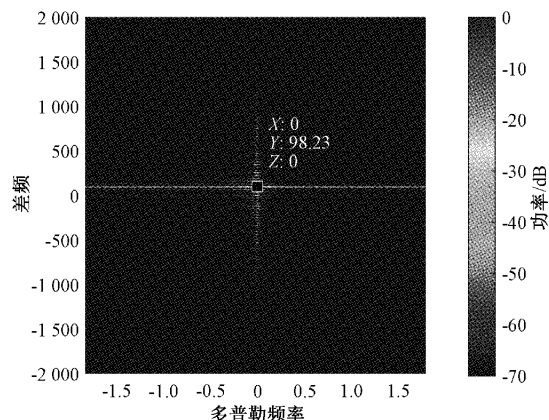


图12 距离多普勒谱

图12中横轴对应多普勒频率,纵轴对应差频,对Z轴数值进行归一化,归一化范围为 $-70\sim 0\ \text{dB}$,可以看到在差频为98.23 Hz处信号的功率最大,有对应的红色点状目标。同时因为驯服时钟存在抖动,使点状目标在多普勒频率上有一定的扩散。

4 结 论

本文将双基地雷达双站之间的同步问题分为时间同步与同步时钟源。使用PPS秒脉冲与UTC时间解决时间同步问题;使用锁相环芯片组成的驯服电路实现了同步时钟源,与文献[6]相比,减小了驯服的响应时间。对时钟的抖动、相位噪声指标进行测量,相较于文献[7],进一步测试并分析了两路时钟的同步精度及相位误差的主要来源,得到了相位误差 $<22\ \text{ns}$ 的两路同步时钟。使用该同步时钟确实增加了发射信号与本振信号混频后差频信号的相干性,使两次FFT后的对应距离元的多普勒谱呈现为一个单峰,但是因为图10所示相位抖动的影响,谱线有一定的拓宽。测试结果表明,该方案能在不增加GPS模块授时误差的情况下对本地时钟进行驯服,对于需要实现两地同频同相的高稳时钟的场景具有很高的参考意义。

参考文献

[1] ZHAO C, CHEN Z, ZENG G, et al. Evaluating radial

current measurement of multifrequency HF radar with multidepth ADCP data during a small storm [J]. Journal of Atmospheric and Oceanic Technology, 2015, 32(5): 1071-1087.

- [2] ANDERSON S J. Optimizing HF radar siting for surveillance and remote sensing in the strait of malacca[J]. IEEE Trans Geoscience and Remote Sensing, 2013, 51(3-2): 1805-1816.
- [3] 张浩,左杭,刘宝华.视觉与二维激光雷达的目标检测方法[J].电子测量与仪器学报,2022,36(3):79-86.
- [4] ZHAO C, CHEN Z, HE C, et al. Validation of sensing ocean surface currents using multi-frequency HF radar based on a circular receiving array [J]. Remote Sensing, 2018, 10(2): 184.
- [5] 魏黎宇,陈泽宗,赵晨,等. S波段船载测波雷达接收机设计及实现[J].科学技术与工程,2021,21(17):7174-7179.
- [6] 丁建松.双基地SAR同步技术研究[D].成都:电子科技大学,2013.
- [7] 胡恺珣,朱小明,邱志.基于GPS和北斗双模同步的高精度频率源的设计[C].2019年船舶电子自主可控技术发展学术年会,2019.
- [8] 胡汉昌,王茂森,戴劲松. DSP+FPGA的双核串行通信系统设计与实现[J].国外电子测量技术,2022,41(8):125-132.
- [9] 肖江涛,韩前进,王健,等.基于HMC983/984的宽带射频频源的设计[J].电子测量技术,2016,39(4):18-22.
- [10] 宋思盛,张兴,姜洋,等.战术双基地雷达的时间、频率同步方法[J].科技视界,2019,(19):96-97.
- [11] 吴久涛,曹欣荣,陈亚伟.一种用于双基地雷达的光纤相位同步技术[J].现代雷达,2018,40(2):12-16.
- [12] 陈泽宗,陈家彬,赵晨,等.岸空双基地高频/甚高频雷达同步控制器设计与实现[J].电子测量技术,2022,45(12):85-90.
- [13] WYATT L R, GREEN J J, MIDDLEDITCH A. HF radar data quality requirements for wave measurement [J]. Coastal Engineering, 2010, 58(4): 327-336.
- [14] 康晋,曹旭,姜育生.基于FPGA的软件锁相环分析与实现[J].电子设计工程,2022,30(17):37-40.
- [15] 胡泰洋,邵晓浪,肖孟煊,等.一种线性调频连续波探测抗雷达辐射源干扰方法[J].仪器仪表学报,2022,43(8):253-260.

作者简介

陈泽宗,博士,教授,主要研究方向为无线电海洋遥感。

E-mail:chenzz@whu.edu.cn

李飞扬,硕士研究生,主要研究方向为雷达系统的硬件设计。

E-mail:414143745@qq.com

赵晨(通信作者),博士,副教授,主要研究方向为高频海洋雷达技术。

E-mail:zhaoc@whu.edu.cn

陈家彬,硕士研究生,主要研究方向为雷达系统软硬件设计与实现。