

DOI:10.19651/j.cnki.emt.2314740

一种进行环路隔离的大电流高电源抑制比 LDO 设计^{*}张加宏^{1,2} 沙秩生¹ 王泽林¹ 刘祖韬¹ 邹循成¹

(1.南京信息工程大学集成电路学院 南京 210044; 2.南京信息工程大学江苏省大气环境与装备技术协同创新中心 南京 210044)

摘要: 针对传统带有电荷泵、以 NMOS 作为功率管的 LDO 驱动能力低下和输出纹波偏高的问题,基于 Huahong 0.35 μm BCD 工艺,设计了一种隔离交直流环路的大电流 LDO。该 LDO 通过将直流环路和交流环路进行隔离,降低了对电荷泵驱动能力的需求,从而保证 NMOS 功率管栅极驱动电压的较低纹波并实现大电流输出。通过加入纹波电流吸收电路,增强了 LDO 的 PSRR。结果表明,在 3.41~5.5 V 的输入电压范围内,LDO 的输出电压为 3.3 V,输出电流最高达到 3 A,压差为 110 mV。LDO 在轻负载下的 PSRR 为:111.261 dB@DC, 86.900 5 dB@1 kHz, 78.947 2 dB@1 MHz;重负载下的 PSRR 为:111.280 dB@DC, 84.123 1 dB@1 kHz, 39.263 8 dB@1 MHz。

关键词: NMOS LDO;大电流;环路隔离;高 PSRR

中图分类号: TN43 **文献标识码:** A **国家标准学科分类代码:** 510.1035

Design of a high current and high power supply rejection ratio LDO using loop isolation

Zhang Jiahong^{1,2} Sha Zhisheng¹ Wang Zelin¹ Liu Zutao¹ Zou Xuncheng¹(1. School of Integrated Circuits, Nanjing University of Information Science and Technology, Nanjing 210044, China;
2. Jiangsu Collaborative Innovation Center on Atmospheric Environment and Equipment Technology, Nanjing University of Information Science and Technology, Nanjing 210044, China)

Abstract: In view of the problems of low driving capability and high output ripple in traditional LDO with charge pump and NMOS as power transistor, a high-current LDO with isolated AC-DC loops was designed based on Huahong 0.35 μm BCD process. The demand for charge pump driving capability in this LDO is reduced by isolating the DC loop and AC loop, thereby ensuring low ripple in the gate driving voltage of the NMOS power transistor and achieve high current output. The PSRR of LDO is enhanced by adding ripple current absorbing circuit. The results show that in the input voltage range of 3.41~5.5 V, the output voltage of LDO is 3.3 V and the output current can reach 3 A. The PSRR of LDO under light load is 111.261 dB@DC, 86.900 5 dB@1 kHz, 78.947 2 dB@1 MHz. The PSRR under heavy load is 111.280 dB@DC, 84.123 1 dB@1 kHz, 39.263 8 dB@1 MHz.

Keywords: NMOS LDO; high current; loop isolation; high PSRR

0 引言

低压差线性稳压器 (low dropout linear regulator, LDO) 是一种电源芯片,因其具有稳定可靠的电源转换能力,能够为精密电子设备提供电力,而被广泛地应用于各行各业。以 N 型金属氧化物半导体 (N-metal-oxide-semiconductor, NMOS) 作为功率管的 LDO 具有较小的芯片面积和较低的输出阻抗,能更好地降低芯片制造成本并且实现更高的带宽,因此 NMOS LDO 是目前研究的热点

之一^[1],有许多文献针对 NMOS LDO 开展了相关的研究报告。譬如,2019 年刘佳宾等^[2]基于 0.18 μm 互补金属氧化物半导体 (complementary metal oxide semiconductor, CMOS) 工艺,设计了一种高电源抑制无输出电容 NMOS LDO。针对直流电源抑制比 (power supply rejection ratio, PSRR) 和带宽增强,设计了相应的直流 PSRR 补偿电路和电容消除电路,使得 PSRR 在 1 Hz~10 MHz 的带宽范围内,至少能达到 75 dB。但该 LDO 存在的问题是输出电流较小,且具有较大压差和静态电流。2020 年 Li 等^[3]基于

收稿日期:2023-10-11

^{*} 基金项目:国家重点研发计划(2022YFB3205902, 2022YFB3205903)项目资助

0.13 μm CMOS 工艺提出了一种新型频率补偿方法和超快电流反馈技术,实现了一种 1 A 电流输出、快速瞬态响应的 NMOS LDO。当负载电流大范围变化时,上冲和下冲电压都较小,但该 LDO 在中频下的 PSRR 偏低。2021 年 Cao 等^[4]基于 0.18 μm CMOS 工艺,设计了一种大电流输出的 NMOS LDO。在该电路中提出的阻抗自适应技术避免了通常所需的驱动电路,实现了更简化和节能的设计。该 LDO 能够实现 6 A 的大电流输出,但该架构并未采用电荷泵来提升功率管栅极电压,而是采用双电源供电方式,导致了芯片外围电路非常复杂、增加了成本。2022 年 Wang 等^[5]基于 0.18 μm CMOS 工艺,设计了一种带有电荷泵、以 NMOS 作为功率管的 LDO。该 LDO 中包含多个子电荷泵和振荡器,能根据输入电压的变化进行自适应配置。但这种由电荷泵对误差放大器和缓冲级直接进行驱动的方式,会将电荷泵的噪声直接传递到功率管栅极,从而导致 LDO 的输出电压产生较大纹波。

综上所述,以 NMOS 作为功率管的 LDO 容易受到输入电压范围的限制,通常具有较高的压差,以至于效率很低,采用内部电荷泵升压来解除这种限制的方式,又会引起输出纹波过大和驱动能力不足等问题,很难满足高端电子设备的需求。因此,改善 NMOS 功率管 LDO 的不足,提高此类 LDO 的性能,具有重要的现实意义。为此,本文设计了一种以 NMOS 作为功率管的大电流高 PSRR 的 LDO。为了消除采用 NMOS 管作为功率管带来的输入电压限制,设计了高稳定性的 RC 振荡器和电荷泵。为了提高该类型 LDO 的驱动能力、降低带有电荷泵的 LDO 输出纹波和提高 LDO 的 PSRR,本文提出一种对 LDO 交直流环路进行隔离的方式,并设计了功率管栅极电压控制器、采用栅极纹波电流吸收技术来解决上述问题。基于 Huahong 0.35 μm 双极-互补金属氧化物半导体-双重扩散金属氧化物半导体(bipolar-CMOS-DMOS,BCD)工艺和 Cadence IC617 平台,完成了 LDO 各个模块电路的前端电路设计与后端版图设计。后仿真结果表明所设计的 LDO 性能良好,有望应用于便携式设备、嵌入式系统和片上系统等领域。

1 NMOS LDO 的驱动方式

1.1 传统电路结构

以 NMOS 作为功率管的 LDO 传统驱动方式如图 1 所示。该结构包含振荡器(oscillator, OSC),电荷泵(charge pump, CP),误差放大器(error amplifier, EA)^[6],功率管 M_n ,功率管驱动电路 Buffer,反馈电阻 R_1, R_2 ,输出电容 C_{out} 。

通常对于小功率的 LDO,输出电流在百微安以内时,电荷泵往往直接给误差放大器和驱动级供电,从而提升功率管栅极的控制电压,采用此方式的原因在于这种量级的 LDO 功率管尺寸较小,所需要的驱动电流很小,使得误差放大器和驱动级具有小的静态电流,往往都在十几微安以

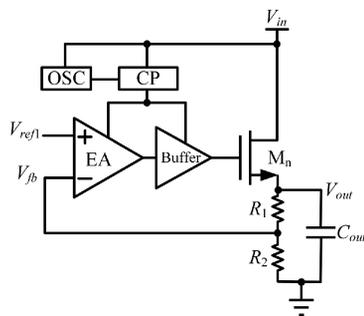


图 1 NMOS LDO 传统驱动方式

内。但是,这种用电荷泵直接驱动误差放大器和驱动级的方式,无法用在大电流(安培级别)输出的 LDO 上,这是因为完全集成电荷泵的输出电流,无法对大尺寸功率管提供足够大的驱动能力。此外,由电荷泵直接给误差放大器和驱动级供电的结构,会造成电荷泵的输出纹波电压通过误差放大器和驱动级,直接传递到功率管栅极,最终导致 LDO 的输出端产生较高的纹波电压。

1.2 交直流环路隔离结构

本文采用的 NMOS 功率管驱动结构如图 2 所示,相较于图 1 所示的结构,图 2 中多了一个功率管栅极电压控制电路(gate voltage control circuit, GVC)和隔离电容 C_c 。该结构中,通过耦合电容 C_c 对直流(direct current, DC)回路和交流(alternating current, AC)回路进行隔离。交流控制部分在负载发生变化时,通过负反馈回路产生一个交流信号,该信号通过电容 C_c 与功率器件的栅极进行耦合,形成对功率管栅极进行控制的驱动信号。直流控制部分主要用来产生功率管正常工作时的栅极静态直流工作点。

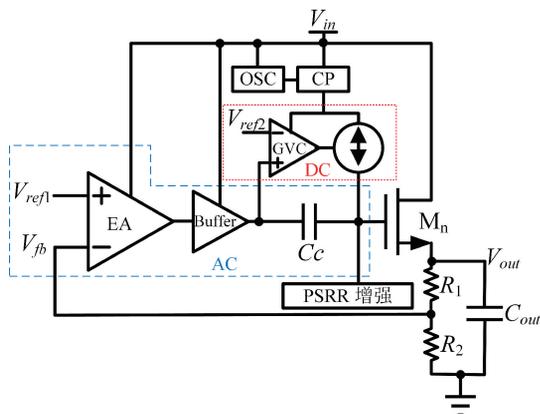


图 2 NMOS LDO 交直流环路隔离驱动方式

图 2 所示的对交流环路和直流环路进行隔离的驱动方式,能够有效降低 LDO 的输出纹波。电荷泵只是给误差放大器 EA 和功率管 M_n 的栅极提供一个很小的维持电流和高的直流偏置电压,这种方法能够显著降低负载对电荷泵的输出电流需求,使得电荷泵的输出电压更加平稳。在这种结构中,良好的瞬态响应主要是依靠着可靠的环路控制和电容 C_c 对已经放大反馈信号 V_{fb} 进行耦合来实现。

2 LDO 结构设计

2.1 LDO 核心结构

本文设计的 LDO 核心结构如图 3 所示。它由误差放

大器,偏置电路,驱动电路,隔离电容 C_c ,NMOS 功率管 M_n ,反馈电阻 R_1, R_2 以及负载电容 C_{out} 组成。

在图 3 所示 LDO 结构中,误差放大器采用的是以 P 型金属氧化物半导体 (P-metal-oxide-semiconductor, PMOS)

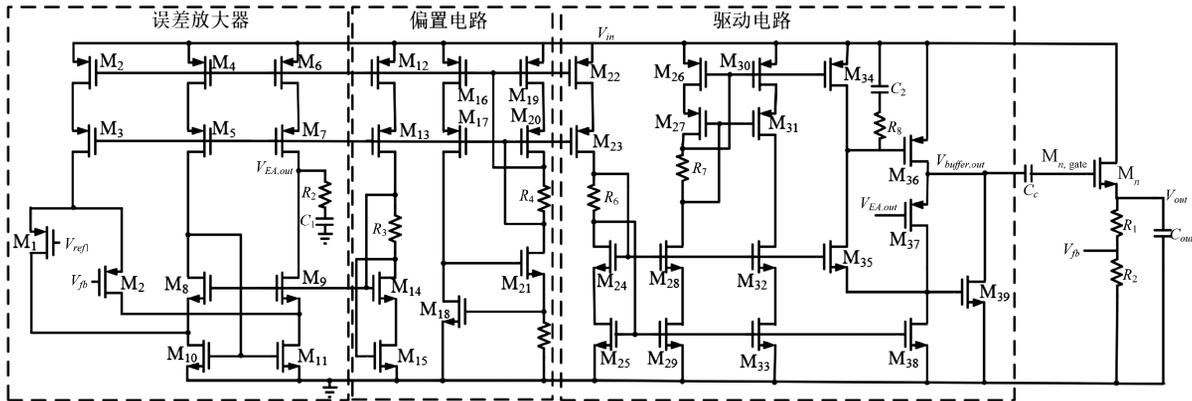


图 3 本文设计的 LDO 的核心结构

为输入对管的折叠式 Cascode 运算放大器^[7],采用该类型的原因是确保低的输入 $1/f$ 噪声、较高的低频环路增益和电源抑制比。偏置电路采用 Cascode 电流镜结构^[8],保证了高精度的电流复制,同时减少了电源噪声。驱动电路是本文 LDO 的设计重点。基于大电流 (3 A) 输出的指标要求,本文结合超级源极器和翻转电压跟随器电路结构的优点^[9-10],设计了一种具有折叠级联级翻转电压跟随器和超级源极器构成的高输入电阻、低输出电阻、强驱动能力的针对 NMOS 功率管的驱动电路。该驱动电路包含两个反馈回路,这两个回路不但能用来增加功率管栅极电流的摆率,而且能够提升电路对于负载变化的响应能力。第一个回路是折叠级联级翻转电压跟随器,由 M_{34} 和共栅器件 M_{35} 与共源器件 M_{36} 构成的负反馈回路来实现快速动态上拉功能。一方面,这个反馈回路能够在负载由轻到重时,为功率管栅极快速提供所需要灌电流,从而降低功率管输出端的下冲电压。另一方面,这种并联负反馈结构,能够降低缓冲器的小信号输出阻抗。另一个回路由 M_{37} 、 M_{38} 和 M_{39} 形成的超级源极跟随器构成。这个回路的功能是当输出负载由重变轻时,由超级源极跟随器形成的负反馈结构对功率管栅极进行快速的下拉放电,从而降低输出的过冲电压。

2.2 栅极电压控制电路

从图 2 的 LDO 控制架构可以看出,功率管 M_n 的栅极偏置电压是由 GVC 进行控制,如图 4 所示,该模块实质上是一个运算放大器,该运算放大器的驱动能力不强,仅用来提供一个可靠的输出直流偏置电压和一个非常小的维持电流。通过给予栅极电压控制器同相输入端一个稳定的直流偏置电压,利用运算放大器带来的负反馈特性,抑制 LDO 负载电流变化导致功率管栅极电压发生变化的趋势,从而稳定功率管栅极电压。

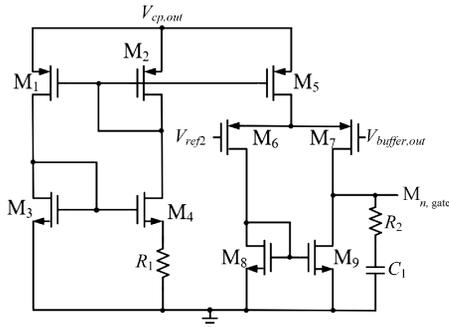


图 4 栅极电压控制器

2.3 振荡器

电荷泵的正常工作需要振荡器提供两路非交叠时钟信号,如图 5 所示,为本文设计的振荡器结构,该电路结构通过用电容电压与 MOS 管的阈值电压作比较,实现振荡的功能,输出频率 f 由 R_1, C_1 和 C_2 的大小决定。 f 的表达式由式 (1) 给出:

$$f = \frac{1}{t} = \frac{i}{C \cdot V} \tag{1}$$

$$i = \frac{V_{gs4}}{R_1} \tag{2}$$

式中: t 为电容充电时间, C 为 C_1 和 C_2 的电容值, V 为 M_{10} 和 M_{11} 的阈值电压, i 为 C_1 和 C_2 电容充电电流。式 (2) 中, V_{gs4} 为 M_4 的栅源电压。

2.4 电荷泵电路

电荷泵采用交叉耦合结构^[11],如图 6 所示,这种结构可以看成两个并联在一起、并且工作状态相反的电荷泵,两个电荷泵交替工作,互相为对方的电荷传输开关提供合适的栅极偏置电压,此外交叉耦合电荷泵具有较低的输出电压纹波^[12]。输出电压可以由式 (3) 表示:

$$V_{cp,out} = V_{in} + n \cdot V_{PH} \tag{3}$$

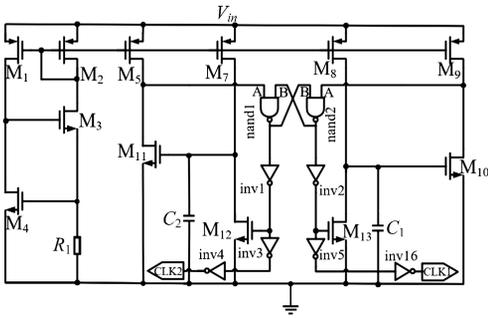


图 5 RC 振荡器

式中: V_{in} 为输入电压, n 为交叉耦合级数, $V_{\phi1}$ 为时钟电压摆幅。

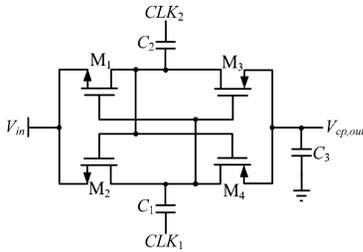


图 6 交叉耦合电荷泵

2.5 纹波电流吸收电路

如图 7 所示,该电路提高 PSRR 的主要原理是抵消从功率管栅漏电容 C_{GD} 流进功率管栅极的纹波电流 I_{ripple} , 具体的方法是用一个小尺寸 NMOS 管(图 7 中的 N_{sense}) 的栅漏电容, 产生一个等比例缩小的泄露电流 $I_{fraction}$, 将 $I_{fraction}$ 通过晶体管 Q_2 之后, 引入进一个由 $M_1 \sim M_4$ 、 $Q_3 \sim Q_6$ 、 $R_1 \sim R_6$ 、 C_1 和 C_2 构成的电流放大电路 (AC Current Gain) 中, 该电路通过晶体管 Q_3 对 $I_{fraction}$ 进行采样, 然后用晶体管 Q_1 和 MOS 管 M_2 进行复制, 再使用 M_3 将其放大, 放大之后的电流为 I_{cancel} , 电流放大的倍数为 N_{sense} 相较于 N_{pass} 缩小的倍数, 此时 I_{cancel} 的大小等于 I_{ripple} 的大小, 再采用一个由晶体管 Q_5 和 Q_6 构成的电流阱对 I_{cancel} 进行复制, 并将该电流阱连接到功率管的栅极, 对栅极进行纹波电流吸收, 吸收的电流大小等于 I_{cancel} 。因此纹波电压 V_{ripple} 通过功率管栅漏寄生电容产生的纹波电流 I_{ripple} 被该电路吸收掉, 从而保证功率管的栅极电压在纹波电压 V_{ripple} 的影响下保持稳定, 从而提升电源抑制能力。

3 PSRR 优化方案

如图 8 所示, 电源噪声主要通过以下 4 个路径传输到 LDO 的输出端: 1) 来自误差放大器 EA 的电源纹波噪声。2) 来自缓冲级 Buffer 的电源纹波噪声。3) 电源通过功率管的栅漏电容 C_{GD} 耦合到功率管栅极的电源纹波噪声。4) 电源通过功率管的自身输出阻抗耦合到 V_{out} 的电源纹波噪声^[13]。

图 8 所示的噪声传播路径中, 各个模块的电源抑制比

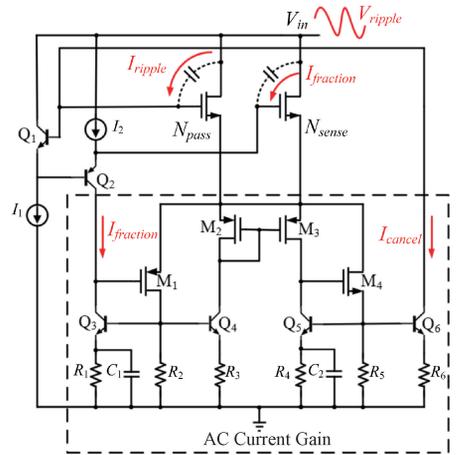


图 7 纹波电流吸收电路

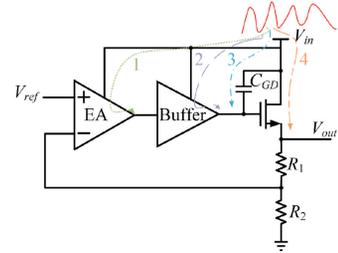


图 8 电源噪声传播路径

表达式由式(4)~(6)给出:

$$PSRR_{EA} = \frac{V_{o,EA}}{V_{in}} \quad (4)$$

式(4)中, $PSRR_{EA}$ 为误差放大器的电源抑制比, V_{in} 为输入电压, $V_{o,EA}$ 为误差放大器的输出电压。

$$PSRR_{Buffer} = \frac{V_{o,Buffer}}{V_{in}} \quad (5)$$

式(5)中, $PSRR_{Buffer}$ 为驱动级的电源抑制比, V_{in} 为输入电压, $V_{o,Buffer}$ 为驱动级的输出电压。

$$PSRR_{N_{pass}} = \frac{V_{out}}{V_{in}} \quad (6)$$

式(6)中, $PSRR_{N_{pass}}$ 为功率管的电源抑制比, V_{in} 为输入电压, V_{out} 为输出电压。

根据各个模块的电源抑制比的表达式, LDO 整体的电源抑制比可由式(7)表示:

$$PSRR_{LDO} = \frac{PSRR_{EA}}{\beta \cdot A_{EA}} + \frac{PSRR_{Buffer}}{\beta \cdot A_{EA} \cdot A_{Buffer}} + \frac{PSRR_{N_{pass}}}{\beta \cdot A_{EA} \cdot A_{Buffer} \cdot A_{N_{pass}}} \quad (7)$$

式(7)中, β 为电阻反馈网络的反馈系数, A_{EA} 为误差放大器的放大倍数, A_{Buffer} 为缓冲级的放大倍数, $A_{N_{pass}}$ 为功率管的放大倍数。依据 LDO 的 PSRR 表达式和电源噪声传播方式, 本文采用以下两种方式来提高 LDO 的 PSRR。1) 设计了以 Cascode 结构为负载的高增益高

PSRR 的误差放大器。2)为了减弱输入电压 V_{in} 通过功率管的栅漏电容 C_{GD} 耦合到功率管栅极的电源纹波噪声,设计了一种 PSRR 增强电路,通过 PSRR 增强电路内部的纹波电流吸收电路,将传递到功率管栅极处的噪声电流吸收,从而提高 LDO 的 PSRR。

4 电路版图与仿真

版图设计采用 Huahong 0.35 μm BCD 工艺库,电路设计和仿真验证采用 Cadence Spectre^[14-15]。整体 LDO 版图如图 9 所示,左侧为 NMOS 功率管部分,右侧为 LDO 内部的其余电路模块,包括误差放大器、栅极电压控制器、电荷泵、振荡器、过温保护和过流保护电路等^[16],版图尺寸为 $1\ 115\ \mu\text{m} \times 2\ 155\ \mu\text{m}$ 。经过版图规则检查(design rule check, DRC)和版图与原理图对比(layout vs. schematic, LVS)验证后,对其进行寄生参数提取(parasitic parameter extraction, PEX),然后将 PEX 网表带入仿真软件,对 LDO 的性能指标进行后仿真验证。由于引入了寄生电阻与寄生电容,因此后仿真输出相较于前仿真会有偏差,但更贴近真实流片情况。

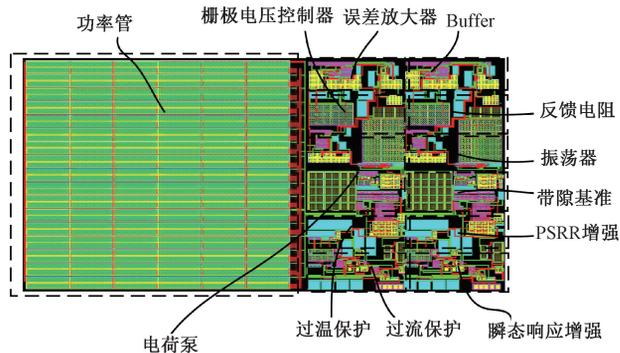


图 9 LDO 版图

在典型工艺角下,对 LDO 进行 $0 \sim 5.5\ \text{V}$ 的输入电压扫描,得到的输入输出特性仿真结果如图 10 所示,后仿真结果表明,LDO 在输入电压为 $3.41 \sim 5.5\ \text{V}$ 范围内,输出端负载电流为 $3\ \text{A}$ 时,将输出电压稳定在 $3.3\ \text{V}$,压差为 $110\ \text{mV}$ 。在输入电压 $5.5\ \text{V}$,负载电流为 $3\ \text{A}$,负载电容为

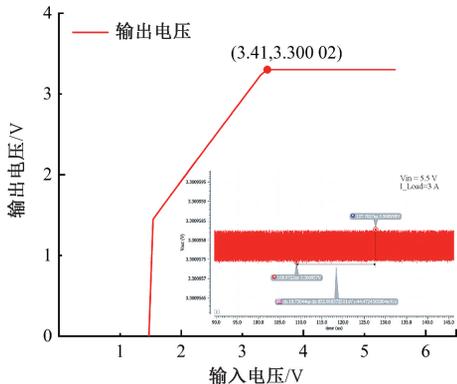


图 10 输入输出特性

$22\ \mu\text{F}$ 时,对 LDO 进行瞬态特性仿真,后仿真结果表明,LDO 的输出纹波约为 $833\ \text{nV}$ 。

在输入电压 $5.5\ \text{V}$,负载电容 $22\ \mu\text{F}$,扫描频率为 $1\ \text{Hz} \sim 1\ \text{MHz}$ 条件下,对 LDO 不同负载的 PSRR 特性仿真,得到的 PSRR 特性如图 11 所示。后仿真结果表明,在低频情况下,各个负载下的 PSRR 特性相差不大,而高频情况下,轻负载的 PSRR 明显好于重负载。

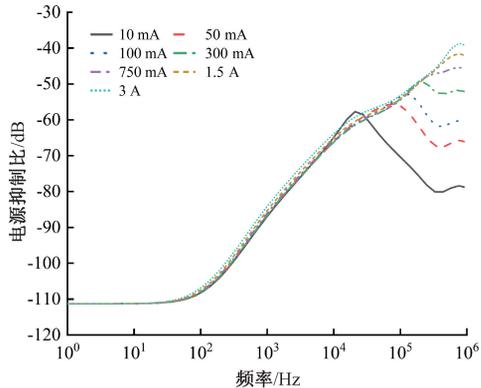


图 11 不同负载电流的 PSRR

表 1 是不同负载电流下的 PSRR 对比,仿真结果表明,不同负载对直流和 $1\ \text{kHz}$ 的 PSRR 的影响很小,如表 1 所示,主要的差异在 $1\ \text{MHz}$ 处,重负载时达到最小值 $39.263\ 8\ \text{dB}$,轻负载时达到最大值 $78.947\ 2\ \text{dB}$ 。

表 1 不同负载电流下的 PSRR 仿真情况对比

负载电流	DC	1 kHz	1 MHz
3 A	111.280 dB	84.123 1 dB	39.263 8 dB
1.5 A	111.273 dB	85.317 4 dB	42.248 6 dB
750 mA	111.269 dB	86.038 9 dB	46.079 1 dB
300 mA	111.266 dB	86.481 9 dB	52.226 3 dB
100 mA	111.264 dB	86.616 9 dB	60.627 3 dB
50 mA	111.264 dB	86.655 7 dB	66.167 1 dB
10 mA	111.261 dB	86.900 5 dB	78.947 2 dB

在输入电压 $5.5\ \text{V}$,负载电容 $22\ \mu\text{F}$,扫描频率 $1\ \text{Hz} \sim 10\ \text{MHz}$ 的条件下,对 LDO 不同负载的 PSRR 特性进行仿真。仿真结果如图 12 所示,结果表明,在各个负载下的相位裕度都在 $59.48^\circ \sim 82.22^\circ$ 以内,符合要求,没有出现过低的情况。

表 2 是不同负载电流下的环路稳定性数据对比情况,从表 2 中不难发现,最高的相位裕度在负载电流为 $2\ \text{A}$ 时,达到了 82.22° ,最低的相位裕度则在负载电流为 $250\ \text{mA}$ 时,为 59.48° 。由此可见,不同负载下的环路稳定性良好。当负载电流为 $3\ \text{A}$ 时,LDO 获得最大带宽,为 $4.039\ \text{MHz}$,当负载电流为 $10\ \text{mA}$ 时,最小带宽为 $53.4\ \text{kHz}$ 。

表 3 给出了本文与其他文献中 LDO 电路的参数对比,数据表明,本文设计的 LDO 在输出电流、压差、输入电

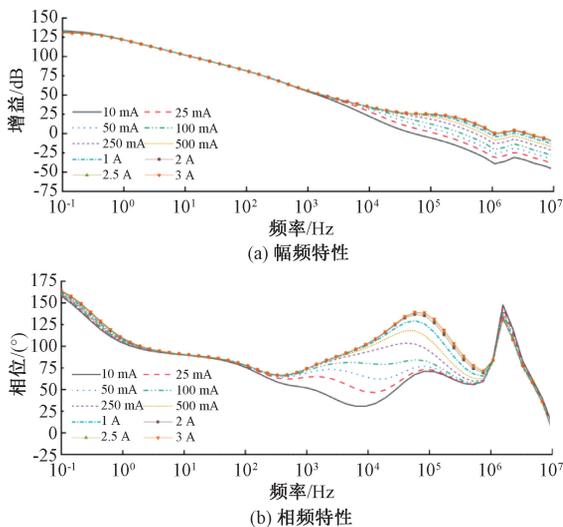


图 12 不同负载电流下的环路稳定性后仿真结果

表 2 不同负载电流下的环路稳定性情况对比

负载电流	相位裕度	带宽
3.00 A	69.07°	4.039 MHz
2.50 A	71.73°	3.814 MHz
2.00 A	82.22°	1.600 MHz
1.00 A	72.95°	904.55 kHz
500 mA	62.54°	722.35 kHz
250 mA	59.48°	533.65 kHz
100 mA	61.32°	329.17 kHz
50.0 mA	66.47°	210.70 kHz
25.0 mA	72.21°	120.55 kHz
10.0 mA	65.32°	53.400 kHz

压范围方面相较于文献[3]有明显提升,在 PSRR 方面相较于文献[4]有明显提升。

表 3 本文与其他文献中 LDO 电路的参数对比

参数	本文	文献[3]	文献[4]
工艺/ μm	0.35	0.13	0.35
负载电容/ μF	22	1	17
输入电压/V	3.41~5.5	3.4~4.2	1.5~3.3
输出电压/V	3.3	1.2~1.8	0.8~1.8
输出电流/A	3	1	6
压差/mV	110	200	114
电源抑制比/dB	111.28@DC	—	—
	39.3@1 MHz	50@1 MHz	30@1 MHz

5 结 论

基于 Huahong 0.35 μm BCD 工艺设计了一种对交直

流环路进行隔离的大电流高电源抑制比 LDO 电路。为了实现大电流输出并降低芯片的制造成本,采用 NMOS 作为功率管。为了消除采用 NMOS 管作为功率管带来的输入电压限制,设计了一种高稳定性的 RC 振荡器和电荷泵。为了降低带有电荷泵模块 LDO 的输出电压纹波,将 LDO 负反馈环路中交流和直流信号进行隔离,并设计了功率管栅极电压控制器。为了减弱输入电压通过功率管的栅漏电容耦合到功率管栅极的电源纹波噪声,设计了一种纹波电流吸收电路,将传递到功率管栅极处的噪声电流吸收,从而提高 LDO 的 PSRR。基于 Cadence IC617 平台完成了 LDO 各个模块电路的前端电路设计和后端版图设计,在 Cadence Spectre 下进行仿真验证,对 10 mA~3 A 范围内的环路稳定性和电源抑制比进行测试,后仿真结果表明,输出电流最高能达到 3 A,LDO 在轻负载和重负载下的电源抑制比性能较优,稳定性良好,适合应用于便携式电子设备中。本文设计的 LDO 负载电容变化范围小,不能随意改变,在后续的研究中可以朝着任意电容的方向进行改善。

参考文献

- [1] LU Y, KI W H, YUE C P. An NMOS-LDO regulated switched-capacitor DC-DC converter with fast-response adaptive-phase digital control[J]. IEEE Transactions on Power Electronics, 2015, 31(2): 1294-1303.
- [2] 刘佳宾, 毛欣, 黄亮, 等. 高电源抑制无输出电容 NMOS 低压差线性稳压器设计[J]. 电子器件, 2019, 42(2): 350-356.
- [3] LI K, YANG C, GUO T, et al. A multi-loop slew-rate enhanced NMOS LDO handling 1 A load current step with fast transient[C]. 2020 IEEE International Symposium on Circuits and Systems (ISCAS), IEEE, 2020: 1-4.
- [4] CAO H, YANG X, LI W, et al. An impedance adapting compensation scheme for high current NMOS LDO design[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2021, 68(7): 2287-2291.
- [5] WANG Y, WU T, GUO J. A charge pump based 1.5 A NMOS LDO with 1.0~6.5 V input range and 110 mV dropout voltage[C]. 2022 IEEE International Conference on Integrated Circuits, Technologies and Applications (ICTA), IEEE, 2022: 188-189.
- [6] 谭传武, 周玲, 刘红梅, 等. LDO 调制的电荷泵稳压电路设计[J]. 国外电子测量技术, 2019, 38(2): 66-69.
- [7] 王娜. 具有快速响应的低压差线性稳压器电路的研究与设计[D]. 湘潭: 湘潭大学, 2019.

- [8] 王梓淇. 一种全 CMOS 基准的低功耗 LDO 设计与研究[D]. 兰州: 兰州交通大学, 2020.
- [9] GUPTA S, MEHRA R, SHARMA S. Design and analysis of flipped voltage follower for different aspect ratio [J]. International Journal of Computer Applications, 2016, 143(13): 29-32.
- [10] SHEDGE D K, ITOLE M D, GAJARE M M, et al. Analysis and design of CMOS source followers and super source follower [J]. ACEEE International Journal on Control System and Instrumentation, 2013, 4(2): 54-58.
- [11] RASHIDI A, YAZDANI N, SODAGAR A M. Fully-integrated, high-efficiency, multi-output charge pump for high-density microstimulators[C]. 2018 IEEE Life Sciences Conference(LSC), s IEEE, 2018: 291-294.
- [12] 万悦, 吕坚, 周云, 等. 一种具有对称结构的低损耗低纹波电荷泵[J]. 微处理机, 2018, 39(3): 1-5.
- [13] 胡广亮, 李开宇, 李磊, 等. 高精度低纹波的可调线性稳压电源设计[J]. 电子测量技术, 2019, 42(20): 24-27.
- [14] 孙力, 王志亮, 杨雨辰, 等. 一种快速瞬态响应的 LDO 设计[J]. 半导体技术, 2023, 48(8): 690-698.
- [15] 赵川粤, 冯全源, 刘恒毓. 低压系统中的过压欠压保护电路设计[J]. 电子测量技术, 2022, 45(7): 88-92.
- [16] 贾志超, 赵丽, 何兴霖, 等. 一种基于滞回比较的过温保护电路设计[J]. 国外电子测量技术, 2021, 40(8): 125-128.

作者简介

张加宏(通信作者), 博士, 教授, 硕士生导师, 主要研究方向为模拟集成电路设计与微电子机械系统。

E-mail: jh Zhang@nuist.edu.cn