

DOI:10.19651/j.cnki.emt.2416081

基于 28 nm MOSFET 集成 RNVM 的 1T1R 纳米阵列器件可靠性研究*

徐顺^{1,2} 陈冰³

(1. 浙江经济职业技术学院汽车技术学院 杭州 310018; 2. 浙江理工大学机械工程学院 杭州 310018;
3. 浙江大学信息与电子工程学院 杭州 310027)

摘要: 针对下一代新型纳米电子器件应用可靠性,设计制备了基于 28 nm CMOS 工艺 MOSFET 有源集成 RNVM 的存算一体化 1T1R 纳米阵列器件,测试评价了其在开关比(10^{7-8})、操作电压(± 1 V)、存储窗口等方面的综合电学性能,并设计实施了专门的可靠性试验。结果表明 1T1R 纳米阵列器件存在 MOSFET I_{on}/I_{leak} 应力退化 -44.90%、751.64% 以及 RRAM 循环耐受过程反向硬击穿等不单独出现于分立器件的特有失效现象。分析微观器件物理,得出 1T1R 纳米阵列器件因其独特结构特征和操作模式下复杂微观交互机制引发高源漏电压和弱栅控条件下特有可靠性原理的结论。提出了专门测试调控方案以提高 1T1R 纳米阵列器件可靠性。为解决 28 nm 及以下节点 CMOS 逻辑器件集成纳米 RNVM 技术引发的特有可靠性问题提供参考。

关键词: 新型纳米电子器件;1T1R 存算一体化;MOSFET;RNVM;28 nm 制程;可靠性测试;器件物理
中图分类号: TN306;TB34 **文献标识码:** A **国家标准学科分类代码:** 510.3010

Research on the reliability of 1T1R nano-device in array integrated RNVM with 28 nm MOSFET

Xu Shun^{1,2} Chen Bing³

(1. College of Automotive Technology, Zhejiang Technical Institute of Economics, Hangzhou 310018, China;
2. College of Mechanical Engineering, Zhejiang Sci-Tech University, Hangzhou 310018, China;
3. College of Information Science & Electronic Engineering, Zhejiang University, Hangzhou 310027, China)

Abstract: Aiming at the application reliability of the next generation of new electronic nano-devices, the storage-computing 1T1R nano-devices in array actively integrated RNVM with MOSFET based on the 28 nm CMOS process were designed and fabricated, and its comprehensive electrical performances were tested and evaluated in terms of switching ratio(10^{7-8}), operating voltage(± 1 V), storage windows and so on. The specific reliability experiments were designed and implemented. The results indicated that the unique failure phenomena which did not occur separately in discrete devices truly existed in 1T1R nano-devices in array including the I_{on}/I_{leak} degradation (-44.90%/751.64%) of MOSFET in stress and the reverse hard-breakdown of RRAM during cycling tolerance. Taking the microscopic physics mechanism of nano-device into account, the conclusions were summarized that the unique reliability principles triggered by high source-drain voltage and weak gate-control conditions were attributed to the complex micro interaction mechanisms due to its unique structural features and operating modes of 1T1R nano-devices in array. The pertinently specialized test regulation schemes were proposed to improve the reliability of 1T1R nano-devices in array. References for resolving the unique reliability issues caused by the integration of RNVM nanotechnology with logic devices at 28 nm CMOS nodes and below were provided.

Keywords: new electronic nano-device; storage-computing integrated of 1T1R; MOSFET; RNVM; 28 nm manufacturing process; reliability measurement; device physics

0 引言

“互联网+”产业发展与“大数据”时代背景下,数据吞

吐量爆炸式增长及其引发的芯片可靠性等问题成为未来信息技术产业亟待解决的关键问题。相比于互补金属氧化物半导体(complementary metal-oxide-semiconductor, CMOS)

收稿日期:2024-05-21

* 基金项目:国家自然科学基金(61704152)项目资助

逻辑器件,存储器的操作速度较慢,这源于存储数据读写延迟及较高功耗,严重限制了计算机工作效率。为满足下一代新型纳米电子器件产业应用需求,实现逻辑器件与存储器件间操作速度与性能的匹配,以可变电阻式随机存取存储器(resistive random access memory, RRAM)、导电桥式随机存取存储器(conductive bridging random access memory, CBRAM)和相变存储器(phase change memory, PCM)等为代表的电阻型非挥发性存储技术(resistive type nonvolatile memory, RNVM)因其高速、高性能、低功耗、可微缩化能力强等优势获得广泛关注^[1-2],如嵌入式 RRAM 存储技术被广泛应用于微控制器,使其在操作速度、功耗等方面相比于基于嵌入式闪存的传统存储技术获得明显改善^[3]。随着摩尔定律持续推进,逻辑器件制造工艺节点已步入 28 nm 甚至更低,将先进逻辑器件有源集成于 RNVM 技术将进一步提升其在性能和功耗等方面的竞争力。因此,设计一种具有高可靠性的存算一体化器件是面向下一代纳米电子器件产业应用的重要策略。

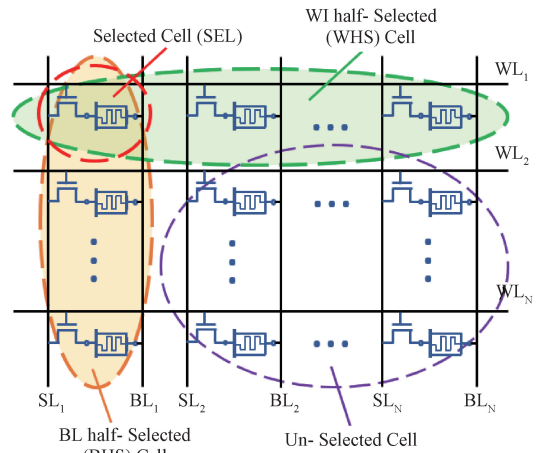
本文采用中芯国际公司(Semiconductor Manufacturing International Corporation, SMIC)28 nm 标准 CMOS 工艺技术的金属-氧化物-半导体场效应晶体管(metal-oxide-semiconductor field-effect transistor, MOSFET)作为选择器件,并将其集成于 RRAM 十字交叉阵列,构成一种具备存算一体化功能的纳米晶体管-阻变存储器(one transistor one RRAM, 1T1R)有源集成阵列。虽然 28 nm 技术节点的 CMOS 逻辑器件已被证实兼具高性能和高可靠性,且针对 RNVM 本身的可靠性已经被广泛研究^[4-9],然而,基于 28 nm 甚至更低节点 CMOS 逻辑器件与存储器件普遍存在耐久性与循环耐受性等方面的应用可靠性问题,同时鉴于采用 28 nm MOSFET 集成 RNVM 后独特的操作模式,存算一体化 1T1R 纳米器件易引发额外的可靠性问题^[10-12]。目前,国内外研究尚未针对 1T1R 纳米器件开展专门的可靠性测试与评价,尚未探究该新型纳米集成阵列器件特有的失效与退化机制,存算一体化 1T1R 纳米阵列器件特有的可靠性问题尚未明晰。本文针对新型纳米电子器件应用的瓶颈问题,设计制备并重点研究了纳米 1T1R 阵列器件因其独特操作模式、结构特点和微观交互机制而引发的 MOSFET 和 RRAM 特有的可靠性问题。通过设计并实施专门的可靠性测试技术,并结合纳米器件与微观物理机制,明确了基于 28 nm CMOS 工艺 MOSFET 有源集成 RNVM 的存算一体化 1T1R 纳米阵列器件中特有的失效机制,并针对性提出了解决方案,为全面提升新型纳米电子器件应用价值提供参考。

1 1T1R 阵列、器件与测试

1.1 1T1R 阵列器件设计与制备

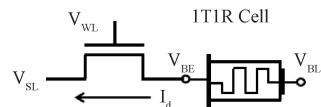
为充分发挥 RRAM 两端口特性与易微缩化优势,采用十字交叉阵列结构在理论上可实现最高集成密度 $4F^2$ ^[13],

但其易误读及功耗浪费严重限制了其应用,常在 RRAM 十字交叉阵列中引入整流器件以解决该问题^[14]。本文探究的 1T1R 阵列为典型有源集成结构,如图 1 所示,选用 MOSFET 集成于 RRAM 阵列控制其读写。飞索半导体公司研发的以 Cu_2O 为 RRAM 阻变介质的 1T1R 阵列中 MOSFET 起到选通、隔离和限流作用。Wang 等提出了垂直型三维环绕栅 1T1R 结构有效克服了传统 1T1R 阵列难以微缩化的瓶颈,将 1T1R 单元面积缩减至 $4F^2$,将有望应用于下一代新型逻辑存储集成技术^[15-16]。



(a) 1T1R 阵列及其区域分类

(a) 1T1R array and its region classification



(b) 1T1R 器件单元结构

(b) Unit structure of 1T1R device

图 1 1T1R 阵列与器件示意图

Fig. 1 Schematic diagram of 1T1R array and device

本文设计的 1T1R 阵列不仅需要通过字线(word line, WL)和位线(bit line, BL)来选通阵列中的测试器件,加之 MOSFET 有源特性,还需要选择线(selection line, SL)共同参与选通测试器件。根据 WL、BL 和 SL 接线电压偏置,可将规模为 $N \times N$ 的 1T1R 阵列分为 4 个部分,如图 1(a)所示为本文 1T1R 阵列示意图及其区域分类,分别为被选中单元(selected cell, SEL)、仅字线选中单元(WL half-selected cell, WHS)、仅位线选中单元(BL half-selected cell, BHS)以及未选中单元(un-Selected cell)。图 1(b)示出了 1T1R 器件结构模型图。

图 2 示出了本文设计的 1T1R 纳米阵列器件单元的组成示意图。1T1R 纳米阵列器件采用 SMIC 28 nm 1P10M 标准 CMOS 工艺流片制造,其中 nMOSFET 采用多晶氮化硅栅电极且沟道长度为 30 nm,RRAM 的结构为 $\text{W}/\text{HfO}_x/\text{TiN}$ 。1T1R 主要集成工艺为:在 nMOSFET 漏极溅射约 50 nm 金属 W 作为 RRAM 底电极,通过原子层沉积(atomic layer deposition, ALD)薄膜生长技术沉积

5 nm High- κ 介质 HfO_x 和 30 nm TiN 分别作为 RRAM 阻变层和顶电极,通过光刻实现区域定义。本文在基于 High- κ 绝缘层和多晶氮氧化硅栅电极改进工艺的基础上,进一步基于后端工艺设计并实现了可以与标准 CMOS 工艺平台兼容的 5 nm 非挥发存储器件 RRAM 集成工艺,实现了 1T1R 存算一体化新型纳米器件制备,解决了嵌入式非挥发存储器件的技术难点。

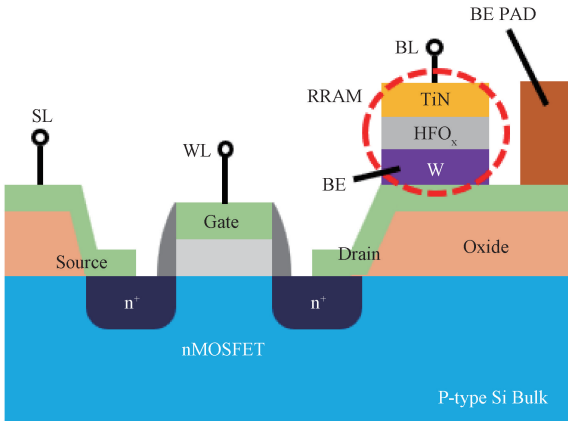


图 2 1T1R 器件单元组成示意图与端口标识

Fig. 2 Composition schematic diagram and port table of 1T1R device unit

1.2 1T1R 阵列器件测试条件分析

采用半导体测试专用探针台及型号为 Agilent B1500A 10 插槽配置的模块化半导体器件测试分析仪对 1T1R 纳米阵列器件实施电学性能与可靠性测试。1T1R 五端器件结构示意图如图 3(a)所示,将 MOSFET 的栅极、源端和底电极引线分别记作 WL 端、SL 端和 Bulk 端,RRAM 集成于 MOSFET 漏端,其顶电极引线记作 BL 端,并将 RRAM 底电极额外引出记为 BE 端。1T1R 集成结构测试单元示意图如图 3(b)所示,每组 4 个器件共用 Bulk 端和 WL 端,每个器件 BL 端、SL 端和 BE 端被分列,该设计可实现 MOSFET 与 RRAM 单一器件测试和 1T1R 器件整体测试。

为便于表达,1T1R 器件测试时写入 (SET)、擦除 (RESET)、读取 (READ) 等操作对应施加的操作电压配置如表 1 所示,为与图 1(a)对应,其中粗体符号为该区域器件操作有效端。

表 1 1T1R 阵列器件操作电压配置标识
Table 1 Device operating voltage configuration in 1T1R array

操作单元	操作线	操作电压标识		
		Read	SET	RESET
SEL Cell	WL	V_{dd}	V_{dd}	V_{dd}
	SL	V_{read}	V_{1T1R}	GND
	BL	GND	GND	V_{1T1R}
WHS Cell	WL	V_{dd}	V_{dd}	V_{dd}
	SL	GND	GND	GND
	BL	GND	GND	GND
BHS Cell	SL	V_{read}	V_{1T1R}	GND
	BL	GND	GND	V_{1T1R}

表 2 说明了操作电压与端口电压关系以及测试应满足的条件。图 1(b)中 1T1R 器件单元标注的端口电压与表 1 中操作电压的关系如表 2 式(1)~(4)所示。1T1R 器件测试时操作电压应满足以下条件:BL-SL 施加在 1T1R 上的电压偏置分压于 MOSFET 和 RRAM,为在 BL-SL 电压偏置下正确操作 SEL 器件,其栅极电压 V_{WL} 和 BL-SL 两端电压降 V_{1T1R}/V_{1T1R}' 均需足够高,以保证 1T1R 器件在 SET/RESET 过程中满足阈值转变条件,如表 2 中式(5)、(6)所示,其中 V_{SET} 、 V_{RESET} 分别为 RRAM 在 SET、RESET 过程中的最大电压, I_{SET} 、 I_{RESET} 分别为 SET、RESET 过程对应电流;MOSFET 开启电流 I_{on} 和 RRAM 压降均应大于器件 SET/RESET 过程中相应的电流和电压。BHS 器件仅有 BL-SL 两端压降 V_{1T1R} 而 MOSFET 无栅控,因此通过其 MOSFET 的电流 I_{leak} 应足够小,以保证 BL-SL 两端压降主要落在 MOSFET 上,如表 2 中式(7)所示。1T1R 器件测试过程中操作电压应满足以上条件,以规避误操作与串扰等问题。

对于规模为 $N \times N$ 的 1T1R 阵列结构,通常采用脉冲宽度 t_0 的电压信号操作选中的测试单元,也常采用应力测试技术表征器件在测试过程中退化和失效方面的可靠性。对于处于应力状态的 SEL 器件单元,MOSFET 端有效应力时间应为 $t_0 \times E$,其中 E 为存储器件设定耐久度;对于 BHS 和 WHS 区域中的 MOSFET,其有效应力时间应为 $t_0 \times E \times (N-1)$ 。1T1R 器件应力退化测试过程中不同区域器件有效应力时间如表 3 右列所示。考虑到在 BL-SL 两端电压 V_{1T1R} 扫描过程中落在 MOSFET 两端压降始终小于 V_{1T1R} 的一半,因此本文将 $1/2 V_{1T1R}$ 作为 SEL 器件

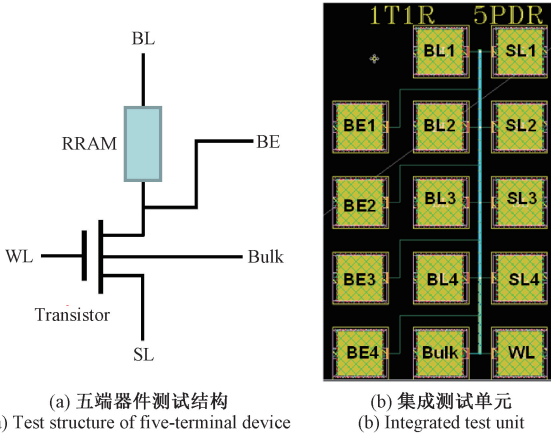


图 3 1T1R 器件测试结构示意图

Fig. 3 Schematic diagram of 1T1R device testing structure

表 2 端口电压与操作电压关系及器件测试电压所需满足的条件

Table 2 Relationship between the port voltage and the operating voltage, and the voltage conditions which should be satisfied during device testing

描述	关系/条件
端口电压与操作电压关系	$V_{ds} = V_{BE} - V_{SL} \quad (1)$
	$V_{1T1R} = V_{BL} - V_{SL} \quad (2)$
	$I_{on} = I_d @ (V_{WL} = V_{dd}) \quad (3)$
	$I_{leak} = I_d @ (V_{WL} = 0) \quad (4)$
器件测试电压满足条件	SET: $V_{1T1R} > V_{SET} + V_{ds} @ I_{SET} \quad (5)$
	RESET: $V_{1T1R} > V_{RESET} + V_{ds} @ I_{RESET} \quad (6)$
	BHS Cell
	$ V_{1T1R} - V_{ds} < @ (V_{WL} = 0) \quad \text{Min}(V_{RESET}, V_{SET}) \quad (7)$

MOSFET 操作过程源漏两端压降最大值。1T1R 器件 MOSFET 操作电压配置如表 3 所示。

表 3 1T1R 器件中 MOSFET 操作电压与应力配置

Table 3 Operating voltage and stress configuration of MOSFET in 1T1R device

应力区域与操作	V_{ds}	V_g	$t_{\text{Effective Stress}}$
SEL Cell	SET	$1/2 V_{1T1R}$	V_{dd}
	RESET	$1/2 V_{1T1R}$	V_{dd}
WHS Cell	SET	GND	V_{dd}
	RESET	GND	V_{dd}
BHS Cell	SET	V_{1T1R}	GND
	RESET	V_{1T1R}	GND

2 1T1R 阵列器件可靠性测试与分析

2.1 1T1R 器件性能测试与评价

为评价设计制备的 1T1R 纳米阵列器件性能并证实本文器件设计与测试方法的完备性与先进性,本节采用 1.2 节陈述的测试方案与条件,分别配置了 1T1R 28 nm MOSFET 与 5 nm RRAM 器件操作电压方案,如表 4 与表 5 所示,并实施了器件性能测试试验。图 4 示出了 1T1R MOSFET 转移与输出特性曲线,可见本文制造的 MOSFET 具有 7~8 个数量级的开关比和陡峭亚阈值摆幅;具有清晰线性区和饱和区。

本节批量测试 1T1R RRAM 器件时操作模式如图 5 中左侧插图所示,为使 MOSFET 源漏端压降维持在合理范围内,在初始化(Forming)过程维持 V_{wl} 为 2.5 V,SET 和 RESET 过程分别维持 V_{wl} 为 2 V 和 3 V,使 RRAM 两端分压足以满足器件 Forming、SET、RESET 等行为阈值

表 4 1T1R 28 nm nMOSFET 测试电压配置

Table 4 Test voltage configuration of 28 nm

操作	nMOSFET in 1T1R			V
	WL	BE	SL	Bulk
转移特性($I_D - V_G$)	0~2.5	1.05/2	0	0
输出特性($I_D - V_D$)	2.5	0~2	0	0

表 5 1T1R 5 nm RRAM 测试电压配置

Table 5 Test voltage configuration of 5 nm RRAM in 1T1R

操作	V			
	WL	BL	SL	Bulk
Forming	2.5	0	0~3	0
SET	2	0	0~2.5	0
RESET	3	0~1.5	0	0

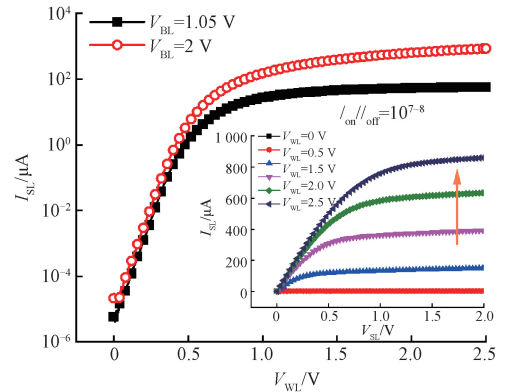


图 4 1T1R 器件中 MOSFET 转移特性曲线;插图:输出特性曲线

Fig. 4 Transfer characteristic curve of transistor in 1T1R device; Illustration: output characteristic curve

转变条件。RRAM 器件在周期循环扫描电压下的 I-V 特性曲线如图 5 所示,右侧插图为该器件 Forming 过程的 I-V 特性曲线。

RRAM Forming 电压约 1.7 V,Forming 过程中导电通道首次贯穿于器件阻变层,阻变层被激活。持续施加 $-1.5 \sim 1.5$ V 的循环扫描电压,RRAM 将分别在 1 V 和 -1 V 处实现阻态转变。可见本文 1T1R 器件操作电压为 ± 1 V,满足标准 Si 基逻辑电路操作电压应在 1.1 V 以内的要求^[17];器件在 SET 和 RESET 时具有清晰可识别的存储窗口,有利于外围电路存读信息。

循环耐受性直接表征器件可重复擦写能力,是器件寿命的评价指标之一。图 6 为本文 1T1R RRAM 器件单元的循环耐受性测试图,分别示出了第 1 次和第 20 次电压循环的 I-V 输出特性。可见本文 RRAM 操作电压、存储窗口等均具有较好的重复性,反复擦写过程中仍能保持稳定的工作状态,具有较好的循环耐受性。

以上试验结果表明本文设计制备的存算一体化 1T1R

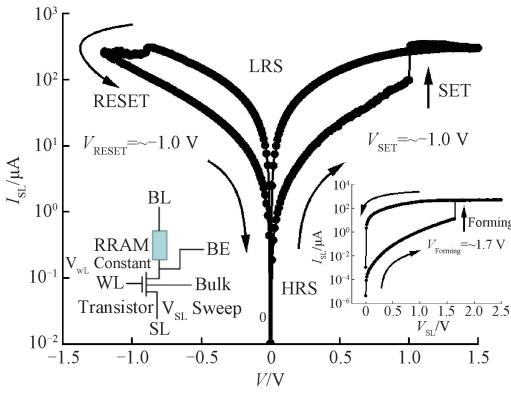


图 5 RRAM 器件在一个周期循环电压下输出 I-V 特性曲线;插图:器件测试操作模式示意图;器件 Forming 过程 I-V 特性曲线

Fig. 5 The output I-V characteristic curve of the RRAM device with cyclic voltage; Illustration: Schematic diagram of device testing operation mode; I-V characteristic curve of device Forming process

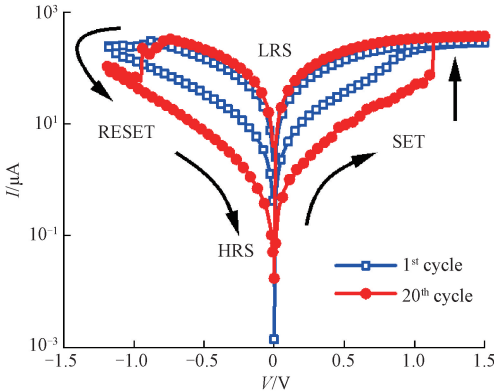


图 6 1T1R 器件循环耐受性测试曲线图

Fig. 6 Cyclic tolerance test curve of 1T1R device

纳米阵列器件在输出与转移特性、开关比(10^{7-8})、操作电压($\pm 1V$)、存储窗口、循环耐受性(>20)等方面均具有优异的电学性能,证实了本文 1T1R 纳米阵列器件结构与制造工艺设计的可行性与先进性,以及本文测试方案制定与测试条件分析的完备性与合理性。

2.2 1T1R 器件可靠性测试

为进一步研究本文设计的 1T1R 纳米阵列器件特有的可靠性,本节针对 1T1R 28 nm MOSFET 与 5 nm RRAM 器件分别设计并实施了可靠性测试试验。

1) 1T1R 28 nm nMOSFET 可靠性测试

根据 1.2 节测试分析和表 2 中式(5)~(7)可知, RNVM 器件需要高操作电压以满足阈值转变条件,因此 1T1R 器件中由高操作电压 V_{1T1R} 导致的 MOSFET 高源漏压降 V_{DS} 是影响其可靠性的关键。为表征 1T1R 器件中 MOSFET 在高速测试下的可靠性,本文对 28 nm 标准 CMOS 工艺制造的 1T1R nMOSFET 进行应力退化测试。针对 100 MHz 高频测试需求,将 BL-SL 两端压降 V_{1T1R} 设

为 2.8 V,将 $V_{1T1R}/2$ 作为 SEL 器件 MOSFET 源漏压降最大值,设源漏电压 V_{ds} 为 1.4 V,栅控电压 V_g 为 1.2 V,并相应地配置 WHS 和 BHS 区域测试参数。对于 WHS 区域内的 MOSFET,源漏电压 V_{ds} 应为 0 且栅控电压 V_g 应为 1.2 V;对于 BHS 区域内 MOSFET,因栅控电压 V_g 为 0,当 RRAM 导通时电压 V_{1T1R} 全部落在 MOSFET 两端,故源漏电压 V_{ds} 应为 2.8 V。基于以上测试参数配置,分别对 SEL、WHS、BHS 区域器件 MOSFET 在 V_{ds} 为 1.4 V、 V_g 为 1.2 V 时的开启电流 I_{on} 和在 V_{ds} 为 2.8 V、 V_g 为 0 时关断电流 I_{leak} 进行应力退化测试,测试结果如图 7(a)与(b)所示。

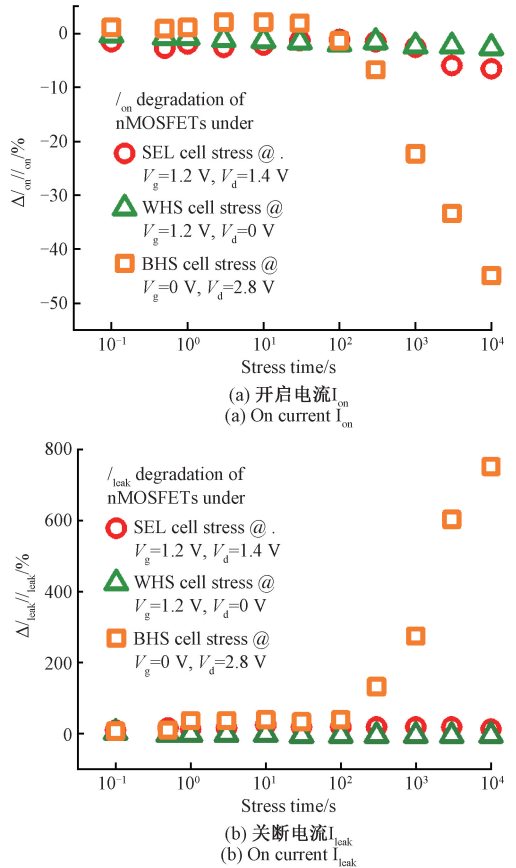


图 7 1T1R 阵列中 SEL、WHS 和 BHS 区域 nMOSFET 应力退化测试结果

Fig. 7 Stress degradation test results of nMOSFET in SEL, WHS and BHS regions of 1T1R array

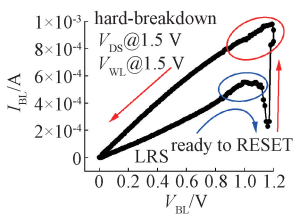
应力退化测试中有效应力施加时间达 10^4 s,量级与 16 MB 1T1R 阵列中 RNVM 器件在 100 MHz 测试频率及电压脉冲宽度为 10 ns 且设定耐久度为 10^8 测试条件下 BHS 与 WHS 区域的有效应力时间量级一致。根据测试结果,随着有效应力时间从 10^{-1} s 对数增长至 10^4 s 过程中,SEL 和 WHS 区域 MOSFET I_{on} 退化比例分别从 -1.49% 和 -0.28% 增长至 -6.54% 和 -2.57%, I_{leak} 退化程度分别从 9.42% 和 3.46% 增长至 12.40% 和 5.48%,均未发生明

显退化;而 BHS 区域 MOSFET I_{on} 和 I_{leak} 在有效应力时间 10^2 s 后开始发生明显退化,在 10^4 s 时 I_{on} 和 I_{leak} 电流退化比例分别为 -44.90% 和 751.64% ,退化程度显著。

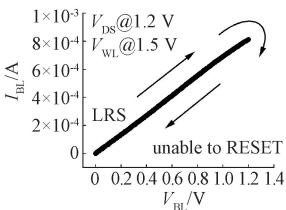
MOSFET 开启电流 I_{on} 退化导致 RRAM 端电压减小直到其不足以满足器件 SET/RESET 操作电压而失效;MOSFET 关断电流 I_{leak} 退化导致 BHS 区域内 RRAM 两端压降增大至器件 SET/RESET 操作电压,从而产生干扰和误操作等失效行为。1T1R MOSFET 开启电流 I_{on} 和关断电流 I_{leak} 退化皆源于 1T1R 纳米器件特有的结构特征和操作模式下复杂交互机制与高源漏电压需求下额外引发的专门可靠性问题,这种专门失效机制将严重影响和限制 1T1R 纳米器件应用。

2) 1T1R 5 nm RRAM 可靠性测试

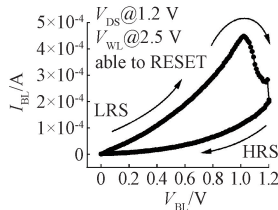
为表征 1T1R 器件中 5 nm RRAM 的可靠性,本节对 28 nm 标准 CMOS 工艺制造的 1T1R 中 RRAM 器件进行批量测试,测试方案与配置参数与 1.2 节陈述一致。根据批量测试结果,限制 RRAM 器件循环耐受性的典型失效行为是其在循环扫描电压下 RESET 时发生的反向硬击穿现象,如图 8(a)所示,正在进行 RESET 的器件电流突然反向激增,此后 I-V 关系呈欧姆依赖。此时 RRAM 阻变层被击穿,上下电极接通,无法再进行阻变循环,是一种不可逆的永久失效现象。



(a) 反向硬击穿
(a) Reverse hard-breakdown



(b) 无法 RESET
(b) Unable to RESET



(c) 正常 RESET
(c) RESET normally

图 8 1T1R 器件单元中 RRAM 在不同操作电压下 RESET 输出对比与失效特性

Fig. 8 Output comparison and failure characteristics of RRAM in 1T1R device unit with different operating voltages during RESET

对比图 8(a)与(b),当 $V_{DS} = 1.2$ V 且 $V_{WL} = 1.5$ V 时 RRAM 无法 RESET,若保持 V_{WL} 不变而增大源漏电压 V_{DS} 至 1.5 V,RRAM 将反向硬击穿失效;对比图 8(b)与(c),若保持 V_{DS} 不变而增大栅极电压 V_{WL} 至 2.5 V,在 BL 端施加相同扫描电压可使 RRAM 正常 RESET。

由于集成 MOSFET 和 RRAM 后的 1T1R 器件测试时

需满足表 2 中分析的测试电压条件式(5)~(7),RRAM 器件相比于逻辑器件通常需要更高的操作电压来满足其阈值转变条件,因此需采用相对更大的操作电压以保证 RRAM 正常 SET/RESET,否则其后续阻变循环无法进行,且操作电压与测试频率相关,高频测试场景下往往需匹配更大的操作电压。然而大操作电压又将额外引发独特的可靠性问题。试验结果表明,1T1R 纳米阵列器件测试操作电压配置对其 5 nm RRAM 循环耐受性具有重要影响,而 RRAM 循环耐受性是限制 1T1R 工作可靠性的主要因素。

综上,1T1R 纳米阵列器件因其有源集成了 28 nm MOSFET 后独特的工作模式及其与 RNVM 器件复杂交互机理,额外引发的特有可靠性问题是亟待解决的关键。

2.3 1T1R 器件失效微观物理机制分析

结合纳米器件微观物理机制,本节分析了 1T1R 器件中 MOSFET 和 RRAM 特有的失效机制与微观机理,并提出了专门的解决方案。

根据图 7 MOSFET 应力退化测试结果分析,高源漏电压是引发其可靠性下降的主要原因。结合器件物理机制,当 MOSFET 源漏压降较大时,耗尽层边缘电场相应增大,从源端注入到漏端的电子在高边缘电场作用下在耗尽层内漂移过程中,因其能量足够高,与耗尽层空间电荷发生散射从而注入到栅介质层形成界面缺陷态 D_{it} ,同时高能电子的碰撞离化作用将产生缺陷和陷阱,如图 9 所示。以上微观电学行为均会导致 MOSFET 在持续应力过程中退化失效,且失效程度将随着器件尺寸微缩化而更加显著。

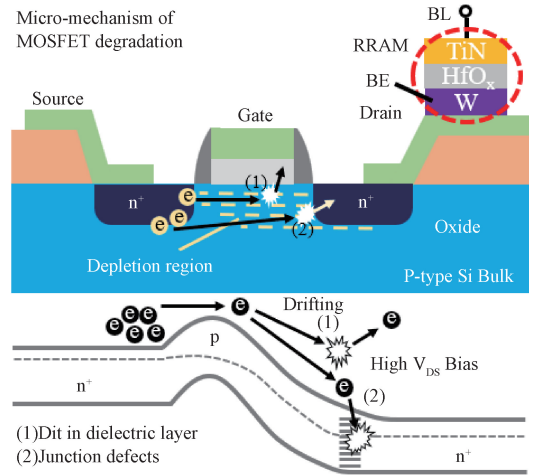


图 9 1T1R MOSFET 退化微观物理机制示意图

Fig. 9 Schematic diagram of the physical micro-mechanism of MOSFET degradation in 1T1R

对比图 8 RRAM 失效测试结果,引发 RRAM 永久反向硬击穿失效的根本原因在于 RRAM RESET 时在极短时间内从低阻态转变为高阻态,其端电压同样激增。RRAM 该失效行为仅存在于 1T1R 结构中,RRAM 单独工作时并无该现象。若源漏压降 V_{DS} 较大(1.5 V)且栅压 V_{WL} 较小

(1.5 V)时,前述由 MOSFET 漏极注入 RRAM 的高能过冲电子更易导致其击穿失效;若源漏电压 V_{DS} 较小(1.2 V)且栅压 V_{wl} 较大(2.5 V)时,栅极增强了对 MOSFET 沟道栅控,相应地提高了 RRAM 两端压降,使其满足 RESET 阈值转变条件,避免了 RESET 过程中因阻态突变而引发的永久失效现象,提高了 1T1R 中 RRAM 工作可靠性。

基于上述器件物理机制分析,高操作电压下沟道耗尽层漂移的过冲高能电子是引发 1T1R 器件失效的微观原因,因此在宏观层面,操作电压合理调控与配置是改进 1T1R 可靠性的关键措施。将源漏电压 V_{DS} 保持在合理较小值(1.2 V)的同时适当增大栅极电压 V_{wl} (2.5 V)以增强 MOSFET 栅控,可规避过冲高能电子漂移对 MOSFET 和 RRAM 的影响,提高 1T1R 纳米器件工作可靠性。试验结果和微观机制分析表明,本文所研究的存算一体化 1T1R 纳米阵列器件可靠性及其相关失效机理并不独立出现于分立器件,而是源于 1T1R 纳米阵列器件独特的结构特点、测试操作模式及其复杂微观交互机制。而后摩尔时代器件微缩化以及 1T1R 独特操作模式和复杂微观交互,由高操作电压引发的可靠性问题更为严峻。通过合理配置操作电压、优化结构设计与工艺制程等实现其性能平衡,提高工作可靠性,是 28 nm 及以下技术节点 CMOS 逻辑器件集成 RNVM 技术^[18-20]应用关键。

3 结 论

为提升下一代新型纳米电子功能器件的实用价值,本文设计并制备了结构为 28 nm MOSFET 集成 W/5 nm HfO_x/TiN RRAM 的新型纳米存算一体化 1T1R 阵列器件,并通过专门的可靠性测试技术研究了该新型纳米电子功能器件因其独特操作模式、结构特点和复杂微观交互等因素引发的特有可靠性问题。分别针对存算一体化 1T1R 纳米阵列器件中 MOSFET 和 RRAM 实施了可靠性测试试验,通过 MOSFET 应力退化测试和 RRAM 循环耐受过程中 RESET 反向硬击穿测试归纳了存算一体化 1T1R 纳米阵列器件特有的失效原因,结合器件物理微观机制,分析了 MOSFET 开启电流 I_{on} 和关断电流 I_{leak} 退化程度—44.90%和 751.64%源于高源漏电压下耗尽层中漂移的高能电子及其过冲带来的缺陷;RRAM RESET 反向硬击穿源于高源漏电压和弱栅控条件下注入其阻变层的高能过冲电子。上述可靠性问题及其微观器件物理机制均源于 1T1R 纳米阵列器件特有的集成结构和测试操作模式,并不单独出现于分立器件。合理调控测试操作电压、平衡器件性能是提高存算一体化 1T1R 纳米阵列器件可靠性的重要解决方案,是 28 nm 及以下节点 CMOS 逻辑器件集成 RNVM 技术应用的关键。随着后摩尔时代逻辑器件材料与结构更迭,鳍型器件(FinFET)、环栅器件(GAA)等三维立体器件不断被提出,集成纳米 RNVM 技术引发的特有可靠性问题更为严峻。新型纳米电子器件特有的可靠性及

其失效机制研究依赖专门的测试操作模式和测试配置方案,具有重要研究意义。本文设计制备并探讨的 28 nm 1T1R 存算一体化新型功能器件及其特有的可靠性机理为提升新型电子功能器件面向下一代工业应用的可行性与实际价值提供关键参考。

参考文献

- [1] WASER R, DITTMANN R, STAIKOY G, et al. Redox-based resistive switching memories-nanoionic mechanisms, prospects, and challenges[J]. *Advance Materials*, 2009, 21(25-26):2632-2663.
- [2] BAEK S, YOO H H, JU J H, et al. Ferroelectric field effect transistor integrated with ferroelectrics heterostructure[J]. *Advanced Science*, 2022, 9(21), DOI:10.1002/advs.202200566.
- [3] ZHANG Z H, WANG S Y, LIU C S, et al. All-in-one two-dimensional retinomorphic hardware device for motion detection and recognition [J]. *Nature Nanotechnology*, 2022, 17(1): 27-32.
- [4] CHEN B, ZHANG Y, LIU W, et al. Ge-based asymmetric RRAM enable $8F^2$ content addressable memory[J]. *IEEE Electron Device Letters*, 2018, 39(9):1294-1297.
- [5] CHO S W, KWON S M, KIM Y H, et al. Recent progress in transistor-based optoelectronic synapses: from neuromorphic computing to artificial sensory system [J]. *Advanced Intelligent Systems*, 2021, 3(6), DOI:10.1002/aisy.202000162.
- [6] 李张倩, 马银鸿, 洪应平, 等. 多通道固态存储器测试系统设计与研究[J]. *电子测试技术*, 2021, 44(9): 158-162.
LI ZH Q, MA Y H, HONG Y P, et al. Design and research of multichannel solid state memory testing system [J]. *Electronic Measurement Technology*, 2021, 44(9): 158-162.
- [7] CHO S W, KWON S M, KIM Y H, et al. Recent progress in transistor-based optoelectronic synapses: from neuromorphic computing to artificial sensory system [J]. *Advanced Intelligent Systems*, 2021, 3(6), DOI:10.1002/aisy.202000162.
- [8] SUN F Q, LU Q F, FENG S M, et al. Flexible artificial sensory systems based on neuromorphic devices[J]. *ACS Nano*, 2021, 15(3):3875-3899.
- [9] 李钰浣, 马少翔, 黄健翔, 等. 一种优化动态特性 SiC-MOSFET 模型及其在高压固态开关的应用[J]. *电子测量技术*, 2021, 44(14):1-7.
LI Y L, MA SH X, HUANG J X, et al. An optimized model for SiC-MOSFET dynamic characteristics and its application to high-voltage solid-state switch [J].

- Electronic Measurement Technology, 2021, 44(14): 1-7.
- [10] YUN S J, CHOI S H, KIM J W, et al. Internal thermal stress-driven phase transformation in van der Waals layered materials [J]. ACS Nano, 2022, 16(10):17033-17040.
- [11] 张倩. 基于文献计量的我国功率半导体器件研究状况分析[J]. 电子测量技术, 2020, 43(4): 29-33.
ZHANG Q. Analysis of research status of power semiconductor devices in China based on bibliometrics[J]. Electronic Measurement Technology, 2020, 43(4): 29-33.
- [12] ZHENG X D, HAN W, YANG K, et al. Phase and polarization modulation in two-dimensional In_2Se_3 via in situ transmission electron microscopy[J]. Science Advances, 2022, 8(42): 773.
- [13] LANZA M, SEBASTIAN A, LU W D, et al. Memristive technologies for data storage, computation, encryption, and radio-frequency communication [J]. Science, 2022, DOI:10.1126/science.abj9979.
- [14] KWON K C, BAEK J H, HONG K, et al. Memristive devices based on two-dimensional transition metal chalcogenides for neuromorphic computing[J]. Nano-Micro Letters, 2022, 14(4): 30.
- [15] HUANG Y T, CHEN N K, LI Z Z, et al. Two-dimensional In_2Se_3 : A rising advanced material for ferroelectric data storage[J]. InfoMat, 2022, 4: 1-28.
- [16] TENG C J, YU Q M, SUN Y J, et al. Homologous gradient heterostructure-based artificial synapses for neuromorphic computation[J]. InfoMat, 2023, 5(1): 1-11.
- [17] STRUKOY D, SNIDER G, STEWART D, et al. The missing memristor found[J]. Nature, 2018, 453: 80-83.
- [18] REN J W, SHEN H Z, LIU Z Y, et al. Artificial synapses based on WSe_2 homojunction via vacancy migration[J]. ACS Applied Materials & Interfaces, 2022, 14(18): 21141-21149.
- [19] LIU P, LUO H M, YIN X M, et al. A memristor based on two-dimensional $\text{MoSe}_2/\text{MoS}_2$ heterojunction for synaptic device application [J]. Applied Physics Letters, 2022, 121(23): 1-7.
- [20] CHENG S Q, ZHONG L, YIN J X, et al. Controllable digital and analog resistive switching behavior of 2D layered WSe_2 nanosheets for neuromorphic computing[J]. Nanoscale, 2023, 15(10): 4801-4808.

作者简介

徐顺(通信作者), 博士研究生, 讲师, 主要研究方向为新型纳米电子器件设计、工艺与测试技术。

E-mail: 202210501019@mails.zstu.edu.cn

陈冰, 博士, 教授, 主要研究方向为半导体集成电路与器件。

E-mail: bchen@zju.edu.cn